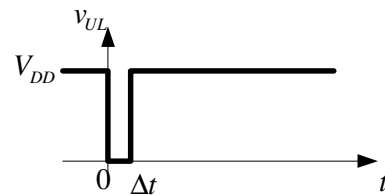
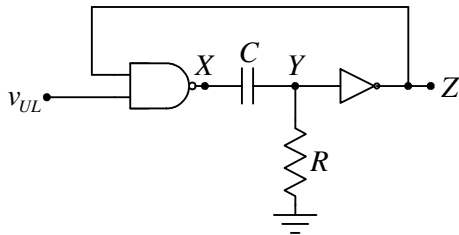


OSNOVI DIGITALNE ELEKTRONIKE (SI2ODE)

19. U kolu sa slike logička kola pripadaju CMOS familiji, napajaju se sa $V_{DD} = 5\text{ V}$, imaju idealnu prenosnu karakteristiku sa naponom praga $V_T = 2,5\text{ V}$, beskonačnu ulaznu i nultu izlaznu otpornost. Poznate su i vrednosti elemenata $R = 50\text{ k}\Omega$ i $C = 20\text{ nF}$. Ukoliko se na ulaz kola dovede kratkotrajni naponski impuls, trajanja $\Delta t \ll RC$ sa silaznom ivicom u trenutku $t = 0$, prikazan na slici, odrediti i nacrtati vremenske dijagrame napona u tačkama X, Y i Z za $t > 0$. Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju.



Rešenje:

Za $t < 0$ u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost invertora beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik R, što znači da je $v_Y = 0$. Na osnovu ovoga sledi da je $v_Z = V_{DD}$ i kako je za $t < 0$ $v_{UL} = V_{DD}$, sledi da je $v_X = 0$. Kolo se nalazi u opisanom stanju sve dok se na ulazu ne pojavi pobudni impuls u trenutku $t = 0$. Tada se vrednost napona na izlazu NI kola promeni na $v_X = V_{DD}$, i s obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, i vrednost napona desnog priključka kondenzatora se promeni na $v_Y = V_{DD}$. To ima za posledicu pad napna na izlazu invertora na $v_Z = 0$. Dakle u trenutku $t = 0^+$ važi:

$$v_{UL}(0^+) = 0$$

$$v_X(0^+) = V_{DD}$$

$$v_Y(0^+) = V_{DD}$$

$$v_Z(0^+) = 0$$

Potom se napon na kondenzatoru eksponencijalno povećava sa vremenskom konstantom $\tau = RC$. To se dešava na način pri kome je $v_X = V_{DD}$ (jer je izlaz invertora na nivou logičke jedinice), dok se napon v_Y eksponencijalno smanjuje sa pomenutom vremenskom konstantom. Vrednost kojoj teži napon v_Y je određena novim stacionarnim stanjem koje bi nastupilo kada bi struja kroz kondenzator opala na nulu, a to je $v_Y(\infty) = 0$. Jednačina koja opisuje napon v_Y u toj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_Y(t) = 0 - [0 - V_{DD}] \cdot e^{-\frac{t}{RC}} = 5V \cdot e^{-1000t}$$

Ova zavisnost će važiti sve dok napon v_Y ne opadne do praga invertora $V_T = \frac{V_{DD}}{2}$, kada će se izlaz invertora promeniti na logičku jedinicu. S obzirom da je ulazni napon $v_{UL} = V_{DD}$ (jer je u međuvremenu kratkotrajni ulazni impuls prošao), ova promena logičkog nivoa invertora ima za posledicu pad izlaznog napona NI kola na nivo logičke nule tj. na $v_X = 0$. Zbog ovoga će i napon v_Y da se momentalno smanji na vrednost $-\frac{V_{DD}}{2}$ (jer vrednost napona na kondenzatoru ne može trenutno da se promeni). Ukoliko se trenutak promene nivoa signala na izlazu invertora označi sa $t = T_1$, na osnovu opisane analize sledi:

$$v_X(T_1^+) = 0$$

$$v_Y(T_1^+) = -\frac{V_{DD}}{2}$$

$$v_Z(T_1^+) = V_{DD}$$

Dalje će napon v_Y da eksponencijalno raste ka novoj stacionarnoj vrednosti $v_Y(\infty) = 0$ sa vremenskom konstantom $\tau = RC$, dok će nivoi naponskih signala v_X i v_Z da ostanu nepromenjeni. Jednačina koja opisuje v_Y u ovoj situaciji je:

$$v_Y(t) = v_Y(\infty) - [v_Y(\infty) - v_Y(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_Y(t) = 0 - [0 + \frac{V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{RC}} = -\frac{V_{DD}}{2} \cdot e^{-\frac{t-T_1}{RC}} = -2,5V \cdot e^{-1000(t-T_1)}$$

Vremenski trenutak $t = T_1$ se može odrediti iz uslova:

$$v_Y(T_1^-) = 5V \cdot e^{-1000T_1} = 2,5V$$

odakle se dobija:

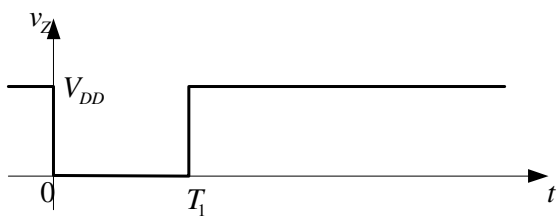
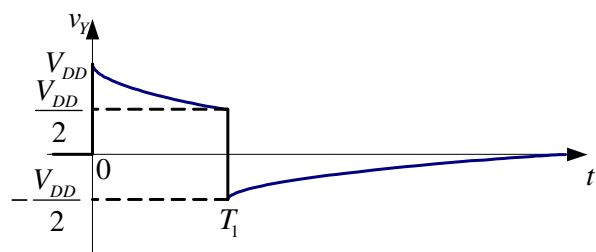
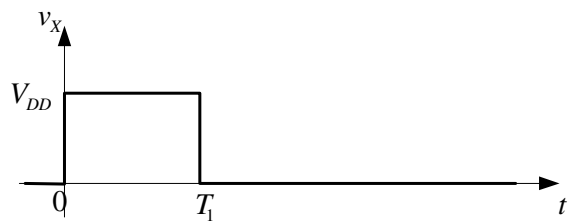
$$T_1 = 0,001 \ln 2 = 0,693ms$$

Dakle, konačno je:

$$v_Y(t) = 5V \cdot e^{-1000t}, \text{ za } 0 < t < T_1$$

$$v_Y(t) = -2,5V \cdot e^{-1000(t-T_1)}, \text{ za } t > T_1.$$

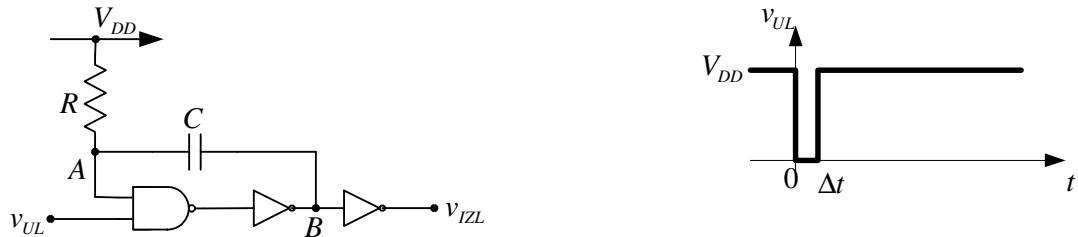
Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



20. a) Na slici je prikazano kolo monostabilnog multivibratora. Sva logička kola pripadaju CMOS familiji i imaju idealnu prenosnu karakteristiku sa naponom praga $V_T = V_{DD}/2$, beskonačnu ulaznu i nultu izlaznu otpornost. Poznato je: $V_{DD} = 5\text{V}$, $R = 25\text{k}\Omega$ i $C = 20\text{nF}$.

Ako se na ulaz kola dovede kratkotrajni naponski impuls trajanja $\Delta t \ll RC$ sa silaznom ivicom u trenutku $t = 0$ prikazan na slici, odrediti i nacrtati vremenske oblike izlaznog napona i napona u tačkama A i B za $t > 0$. Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju.

b) Ako se kratkotrajni naponski impuls dovodi češće na ulaz da li može da dođe do promene trajanja kvazistabilnog stanja i kako? Kratko obrazložiti odgovor.



Rešenje:

a) Prema uslovu zadatka, za $t < 0$ u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost NI kola beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik R, što znači da je $v_A = V_{DD}$. S obzirom da je za $t < 0$ $v_{UL} = V_{DD}$ sledi da je napon na izlazu NI kola na nivou logičke nule, tako da je $v_B = V_{DD}$ i $v_{IZL} = 0$.

Kada se na ulazu pojavi pobudni impuls u trenutku $t = 0$, vrednost napona na izlazu NI kola se promeni na nivo logičke jedinice, a napon v_B padne na nulu. S obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, sledi da se vrednost napona v_A promeni na $v_A = 0$. Dakle u trenutku $t = 0^+$ važi:

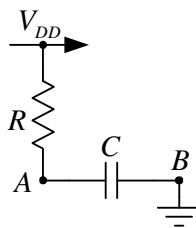
$$v_{UL}(0^+) = 0$$

$$v_A(0^+) = 0$$

$$v_B(0^+) = 0$$

$$v_{IZL}(0^+) = V_{DD}$$

Ekvivalentna šema kola je tada:



Zatim se napon u tački A eksponencijalno povećava sa vremenskom konstantom $\tau = RC$. Vrednost kojoj teži napon v_A je određena novim stacionarnim stanjem koje bi

nastupilo kada bi struja kroz kondenzator opala na nulu, a to je $v_A(\infty) = V_{DD}$. Jednačina koja opisuje napon v_A u toj situaciji je:

$$v_A(t) = v_A(\infty) - [v_A(\infty) - v_A(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_A(t) = V_{DD} - [V_{DD} - 0] \cdot e^{-\frac{t}{RC}} = 5V \cdot (1 - e^{-2000t})$$

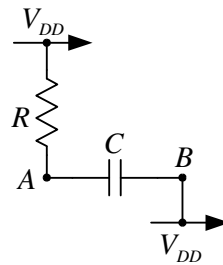
Ova zavisnost će važiti sve dok napon v_A ne poraste do praga NI kola $V_T = \frac{V_{DD}}{2}$, kada će izlaz NI kola pasti na logičku nulu (jer je u međuvremenu ulazni signal skočio na vrednost logičke jedinice pošto je kratkotrajni ulazni impuls prošao). Istovremeno, napon v_B skače na logičku jedinicu, što će za posledicu imati pad napona na izlazu na $v_{IZL} = 0$. Zbog promene napona v_B , napon v_A se momentalno poveća na vrednost $\frac{3V_{DD}}{2}$ (jer vrednost napona na kondenzatoru ne može trenutno da se promeni). Ukoliko se trenutak promene nivoa signala na izlazu NI kola označi sa $t = T_1$, na osnovu opisane analize sledi:

$$v_A(T_1^+) = \frac{3V_{DD}}{2}$$

$$v_B(T_1^+) = V_{DD}$$

$$v_{IZL}(T_1^+) = 0$$

Ekvivalentna šema kola je tada:



Dalje će napon v_A da eksponencijalno opada ka stacionarnoj vrednosti $v_A(\infty) = V_{DD}$ sa vremenskom konstantom $\tau = RC$, dok će nivoi naponskih signala v_B i v_{IZL} da ostanu nepromenjeni. Jednačina koja opisuje v_A u ovoj situaciji je:

$$v_A(t) = v_A(\infty) - [v_A(\infty) - v_A(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_A(t) = V_{DD} - [V_{DD} - \frac{3V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{RC}} = 5V + 2,5V \cdot e^{-2000(t-T_1)}$$

Vremenski trenutak $t = T_1$ se može odrediti iz uslova:

$$v_A(T_1^-) = 5V \cdot (1 - e^{-2000T_1}) = 2,5V$$

odakle se dobija:

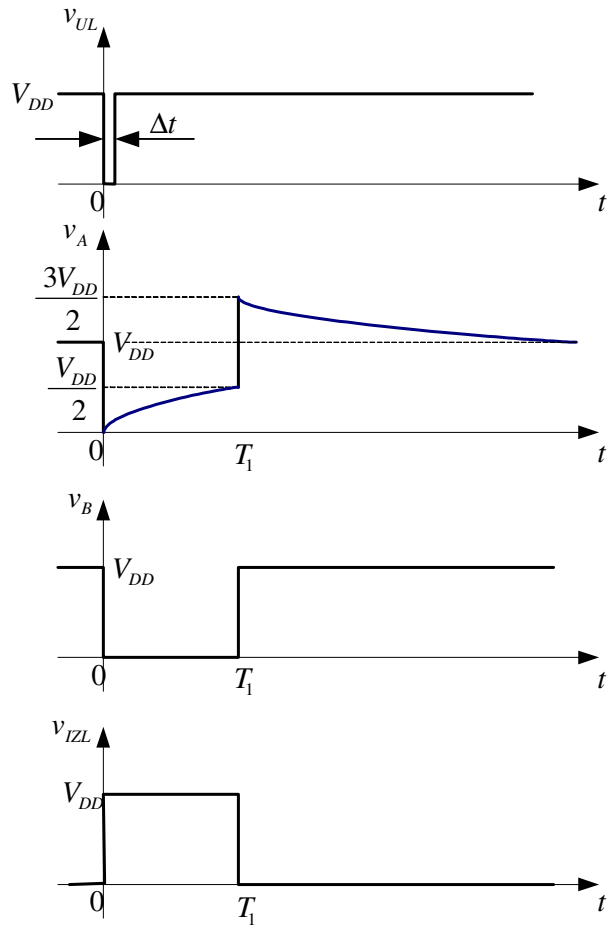
$$T_1 = 0,0005 \ln 2 = 0,347 \text{ms}$$

Dakle, konačno je:

$$v_A(t) = 5V \cdot (1 - e^{-2000t}), \text{ za } 0 < t < T_1$$

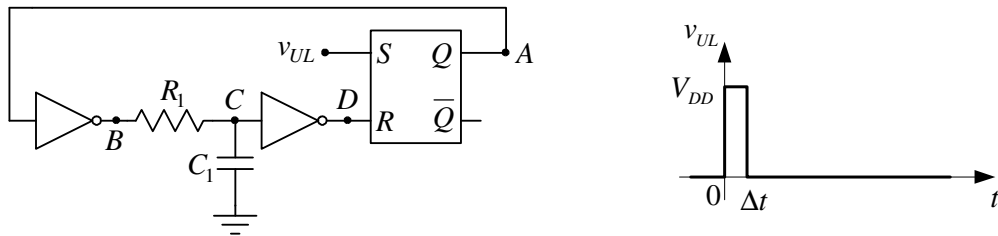
$$v_A(t) = 5V + 2,5V \cdot e^{-2000(t-T_1)}, \text{ za } t > T_1.$$

Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



b) Može. U tom slučaju će silazna ivica impulsa v_{UL} da se pojavi još dok napon v_A ima nezanemarljivo veću vrednost od V_{DD} , što će imati za posledicu obaranje napona v_A na vrednost veću od 0 u trenutku neposredno nakon pojave silazne ivice impulsa v_{UL} . Samim tim, vreme potrebno da v_A dostigne prag $\frac{V_{DD}}{2}$ će biti kraće od onog izračunatog pod tačkom a), tj. trajanje kvazistabilnog stanja se u tom slučaju smanjuje.

21. U monostabilnom multivibratoru sa slike invertori kao i logička kola koja sačinjavaju SR leč pripadaju CMOS familiji, napajaju se sa $V_{DD} = 5\text{V}$, imaju idealnu prenosnu karakteristiku sa naponom praga $V_T = 2,5\text{V}$, beskonačnu ulaznu i nultu izlaznu otpornost. Ukoliko se na ulaz kola dovede kratkotrajni naponski impuls trajanja $\Delta t \ll R_1 C_1$ sa uzlaznom ivicom u trenutku $t = 0$ prikazan na slici, odrediti i nacrtati vremenske oblike napona u tačkama A, B, C i D za $t > 0$, ako je poznato da je $R_1 = 10\text{k}\Omega$ i $C_1 = 1\mu\text{F}$. Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju. Odrediti trajanje kvazistabilnog stanja.



Rešenje:

Za $t < 0$ u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost invertora beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik R_1 , što znači da je $v_B = v_C$. Imajući u vidu logičku funkciju invertora, može se zaključiti da su logički nivoi napona v_A i v_D suprotni od logičkog nivoa v_B . Stoga se može zaključiti da je $v_A = 0$, jer bi pretpostavka da je $v_A = V_{DD}$ imala za posledicu da je i $v_D = V_{DD}$ (R ulaz SR leča) što je kontradikcija sa činjenicom da se na Q izlazu SR leča nalazi visok logički nivo (po pretpostavci). Na osnovu ovoga sledi da je za $t < 0$ $v_{UL} = 0$, $v_A = 0$, $v_B = V_{DD}$, $v_C = V_{DD}$ i $v_D = 0$.

Kolo se nalazi u opisanom stanju sve dok se na ulazu ne pojavi pobudni impuls u trenutku $t = 0$. Tada se vrednost napona na Q izlazu SR leča promeni na $v_A = V_{DD}$, što uzrokuje i promenu napona na izlazu levog invertora na $v_B = 0$. S obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, napon na njemu ostaje na nivou $v_C = V_{DD}$, tako da se ni napon na izlazu desnog invertora ne menja. Dakle u trenutku $t = 0^+$ važi:

$$v_{UL}(0^+) = V_{DD}$$

$$v_A(0^+) = V_{DD}$$

$$v_B(0^+) = 0$$

$$v_C(0^+) = V_{DD}$$

$$v_D(0^+) = 0$$

Potom se napon na kondenzatoru eksponencijalno smanjuje sa vremenskom konstantom $\tau = R_1 C_1$. Vrednost kojoj teži napon v_C je određena novim stacionarnim

stanjem koje bi nastupilo kada bi struja kroz kondenzator opala na nulu, a to je $v_C(\infty) = 0$. Jednačina koja opisuje napon v_C u toj situaciji je:

$$v_C(t) = v_C(\infty) - [v_C(\infty) - v_C(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_C(t) = 0 - [0 - V_{DD}] \cdot e^{-\frac{t}{R_1 C_1}} = 5V \cdot e^{-100t}$$

Ova zavisnost će važiti sve dok napon v_C ne dostigne prag desnog invertora $V_T = \frac{V_{DD}}{2}$, kada će se izlaz tog invertora promeniti na logičku jedinicu. S obzirom da je ulazni napon $v_{UL} = 0$ (jer je u međuvremenu kratkotrajni ulazni impuls prošao), ova promena logičkog nivoa invertora ima za posledicu obaranje izlaznog napona Q izlaza SR leča na nivo logičke nule tj. na $v_A = 0$, što dalje uzrokuje promenu napona na izlazu levog invertora na $v_B = V_{DD}$. Naponski nivo na kondenzatoru u trenutku opisane promene se neće promeniti. Ukoliko se trenutak promene nivoa signala na Q izlazu SR leča označi sa $t = T_1$, na osnovu opisane analize sledi:

$$v_A(T_1^+) = 0$$

$$v_B(T_1^+) = V_{DD}$$

$$v_C(T_1^+) = \frac{V_{DD}}{2}$$

Dalje će napon v_C da eksponencijalno raste ka novoj stacionarnoj vrednosti $v_C(\infty) = V_{DD}$ sa vremenskom konstantom $\tau = R_1 C_1$, što će imati za posledicu ponovni pad napona na izlazu desnog invertora na nivo logičke nule (čim napon v_C ponovo poraste iznad $V_T = \frac{V_{DD}}{2}$). Jednačina koja opisuje v_C u ovoj situaciji je:

$$v_C(t) = v_C(\infty) - [v_C(\infty) - v_C(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_C(t) = V_{DD} - [V_{DD} - \frac{V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{R_1 C_1}} = V_{DD} - \frac{V_{DD}}{2} \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 2,5V \cdot e^{-100(t-T_1)}$$

Vremenski trenutak $t = T_1$ se može odrediti iz uslova:

$$v_C(T_1^-) = 5V \cdot e^{-100T_1} = 2,5V$$

odakle se dobija:

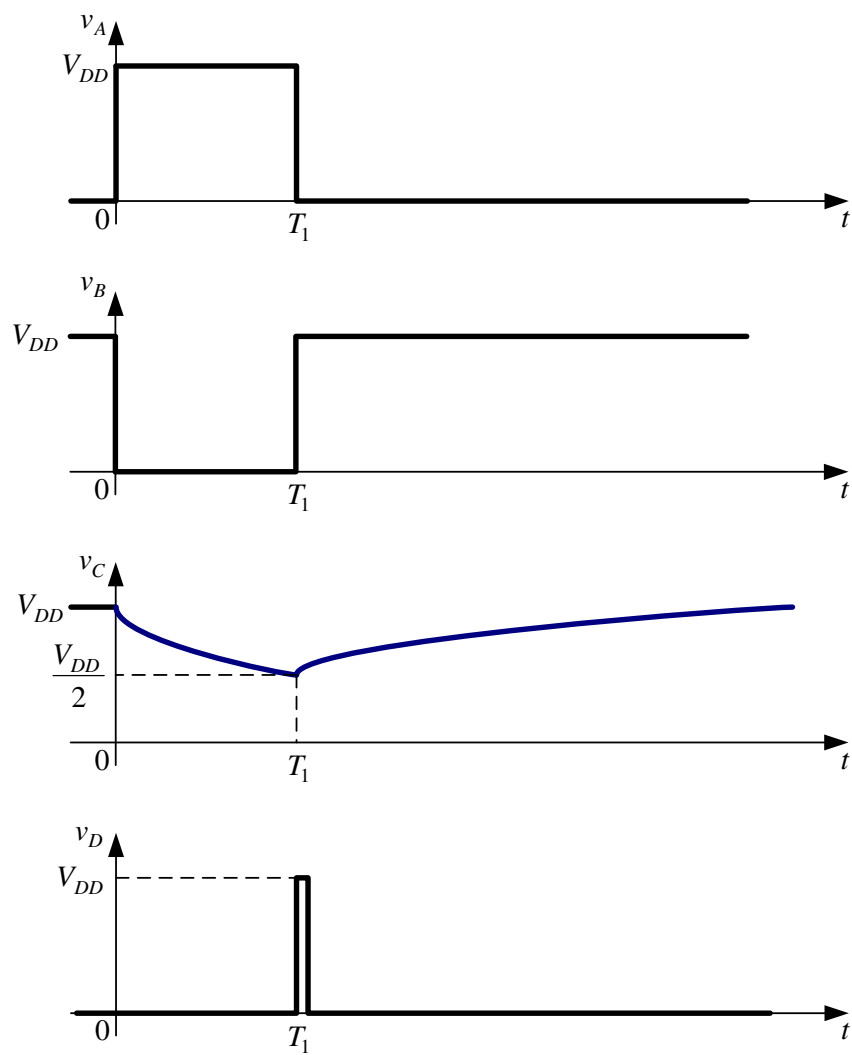
$$T_1 = 0,01 \ln 2 = 6,93ms \text{ i ovaj interval predstavlja trajanje kvazistabilnog stanja.}$$

Dakle, konačno je:

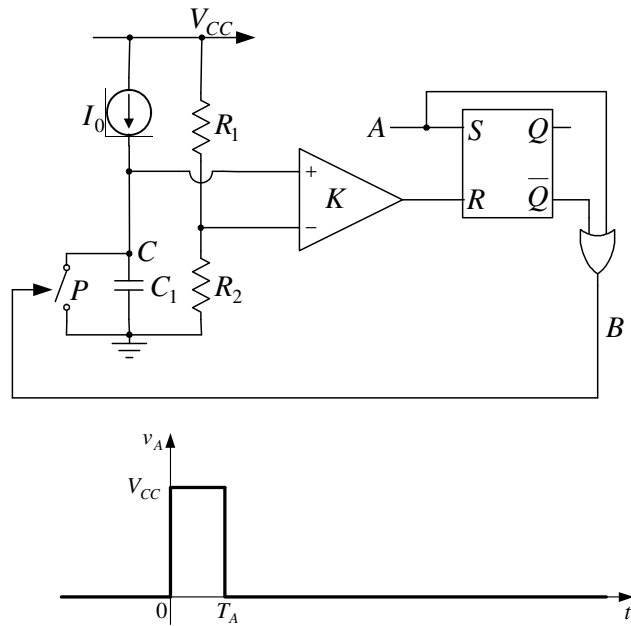
$$v_C(t) = 5V \cdot e^{-100t}, \text{ za } 0 < t < T_1$$

$$v_C(t) = 5V - 2,5V \cdot e^{-100(t-T_1)}, \text{ za } t > T_1.$$

Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



22. U kolu sa slike, otpornosti oba otpornika, kapacitivnost kondenzatora C_1 , napon napajanja V_{CC} i struja strujnog izvora I_0 se mogu smatrati poznatim. Naponski kontrolisani prekidač P je zatvoren ako je $B=1$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow 0$, a otvoren je ako je $B=0$ i tada se može ekvivalentirati otpornošću $R_{OFF} \rightarrow \infty$. Logičko ILI kolo je idealano, CMOS tipa sa naponom napajanja V_{CC} , a SR leč sačinjavaju CMOS logička kola sa naponom napajanja V_{CC} . Komparator K je idealan sa naponom napajanja V_{CC} . Za $t < 0$ se celo kolo nalazilo dovoljno dugo vremena u stacionarnom stanju. Odrediti i nacrtati vremenske dijagrame napona u tačkama B, C i izlazu leča Q, ako se na ulaz A dovede kratkotrajni naponski impuls prikazan na slici. Odrediti trajanje impulsa u tački B i tački Q.



Rešenje:

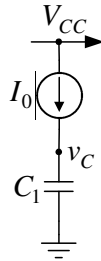
Za $t < 0$ i $v_A = 0$, u stabilnom stanju je $S=0$, a R može biti ili na nivou logičke jedinice ili na nivou logičke nule. Ako se pretpostavi da je $R=1$, tada sledi da je $Q=0$, $\bar{Q}=1$ i $B=1$ što prema uslovu zadatka zatvara prekidač, a zatvoren prekidač daje napon na kondenzatoru C_1 ravan nuli, a to daje $R=0$, što je u suprotnosti sa polaznom pretpostavkom (što znači da je polazna pretpostavka $R=1$ bila pogrešna). Iz navedenog se može zaključiti da je u stabilnom stanju $R=0$.

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli, i ostaje da se utvrdi na kom nivou su signali Q i \bar{Q} . Ukoliko se pretpostavi da je u stacionarnom stanju $Q=1$ i $\bar{Q}=0$, sledi zaključak da je $B=0$, što znači da je prekidač P otvoren i da je kondenzator napunjen. U tom slučaju bi bilo $R=1$, što bi značilo da je $Q=0$ i $\bar{Q}=1$, što je u suprotnosti sa uvedenom pretpostavkom (da je $Q=1$ i $\bar{Q}=0$).

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli $Q=0$, $\bar{Q}=1$, $B=1$, P-zatvoren i $v_C = 0$. Neposredno nakon pojave uzlazne ivice impulsa u tački A

(tj. u trenutku $t = 0^+$) je: $v_A = 1$, ulaz leča S je na logičkoj jedinici, ulaz leča R je na logičkoj nuli, tako da je $Q = 1$, $\overline{Q} = 0$, $B = 1$ i P-zatvoren.

Nakon pojave silazne ivice impulsa u tački A je: $v_A = 0$, ulaz leča S je na logičkoj nuli, ulaz leča R je na logičkoj nuli, tako da je $Q = 1$ i $\overline{Q} = 0$, $B = 0$, P-otvoren, a dato kolo se može ekvivalentirati na način prikazan na sledećoj slici:



Tada se kondenzator puni vremenski konstantnom strujom I_0 . Stoga će se napon na kondenzatoru linearno povećavati sa nagibom $\frac{I_0}{C_1}$ (s obzirom da je veza između struje

i napona kondenzatora definisana relacijom $v_C(t) = \frac{1}{C_1} \int i_{C_1}(t) dt$). Ovaj proces će se

dešavati sve dok napon na kondenzatoru (tj. na ulazu gornjeg komparatora) ne dostigne vrednost $\frac{R_2 V_{CC}}{R_1 + R_2}$ kada izlaz komparatora postaje logička jedinica što

resetuje leč i nakon toga je: $Q = 0$ i $\overline{Q} = 1$, $B = 1$, P-zatvoren i $v_C = 0$. Pad napona u tački C sa vrednosti $\frac{R_2 V_{CC}}{R_1 + R_2}$ na 0 se dešava momentalno zbog otpornosti prekidača P

kada je zatvoren $R_{ON} \rightarrow 0$.

Period za koji je prekidač P bio otvoren (tj. trajanje impulsa u tački B) se određuje iz uslova:

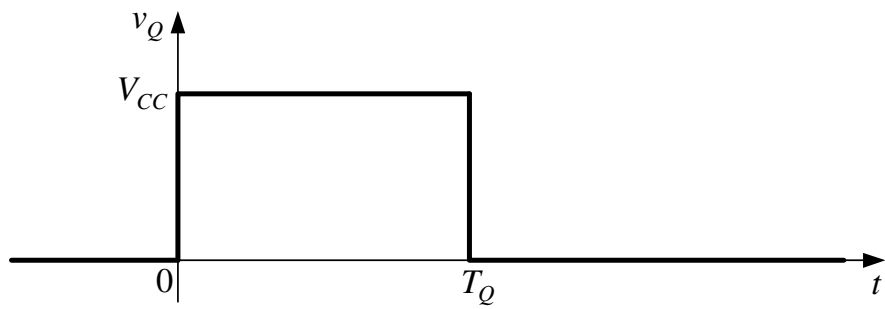
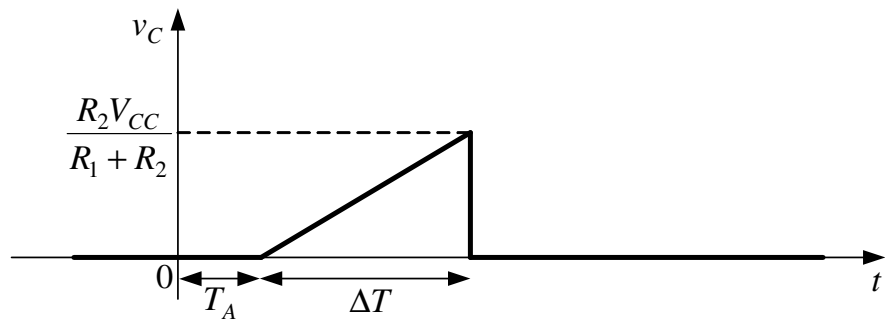
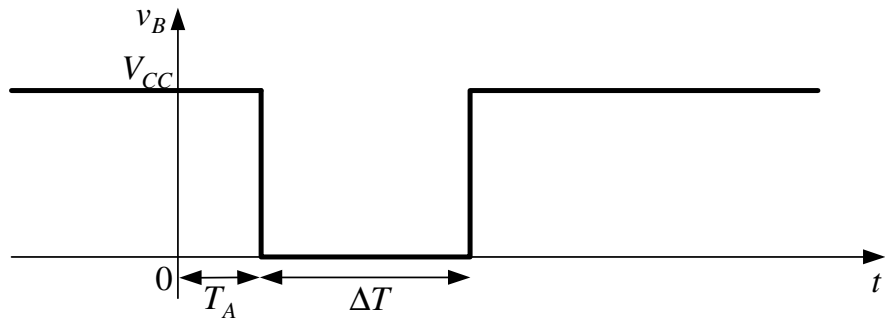
$$\frac{I_0}{C_1} = \frac{R_2 V_{CC}}{\Delta T}$$

$$\text{odakle se dobija da je: } \Delta T = \frac{R_2 V_{CC} C_1}{(R_1 + R_2) I_0}.$$

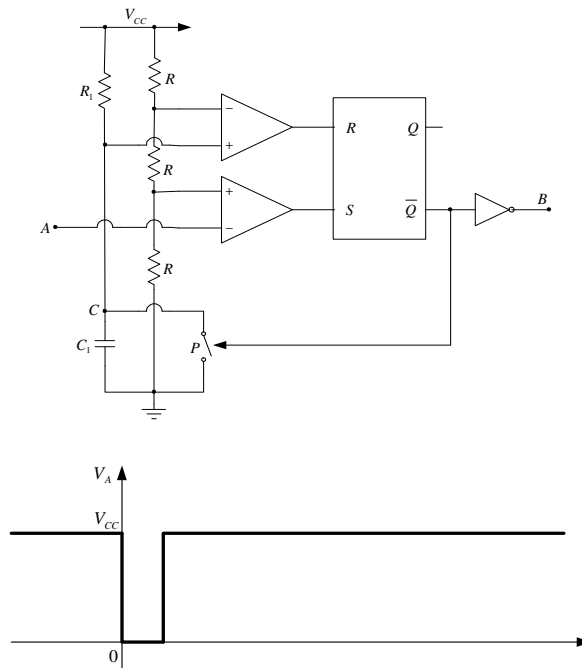
Trajanje impulsa u tački Q je:

$$T_Q = T_A + \Delta T = T_A + \frac{R_2 V_{CC} C_1}{(R_1 + R_2) I_0}$$

Vremenski dijagrami napona u tačkama A, B, C i Q su prikazani na sledećim slikama:



23. Za kolo sa slike odrediti i nacrtati vremenske dijagrame napona u tačkama B i C, ako se na ulaz A dovede kratkotrajni naponski impuls kao što je to prikazano na slici. Odrediti trajanje impulsa u tački B. Otpornosti svih otpornika u kolu, kapacitivnost kondenzatora C_1 i napon napajanja V_{CC} smatrati poznatim. Naponski kontrolisani prekidač P je zatvoren ako je $\bar{Q}=1$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow 0$, a otvoren je ako je $\bar{Q}=0$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow \infty$. Invertor u kolu je idealan, CMOS tipa sa naponom napajanja V_{CC} . Za $t < 0$ se kolo nalazilo dugo vremena u stacionarnom stanju.



Rešenje:

Za $t < 0$ i $V_A = V_{CC}$, u stabilnom stanju je $S=0$, a R može biti 1 ili 0. Da bi se izveo zaključak kolika je vrednost R u stabilnom stanju, potrebno je ispitati sve moguće slučajeve kojih ukupno ima dva. Na primer, ako se pretpostavi da je $R=1$, pravilnim zaključivanjem sledi da je $\bar{Q}=1$ što prema uslovu zadatka zatvara prekidač, a zatvoren prekidač daje napon na kondenzatoru C_1 ravan nuli, a to daje $R=0$, što je konfliktno sa polaznom pretpostavkom. Pošto je zaključivanje tačno, a rezultat konfliktno, sledi da je polazna pretpostavka $R=1$ pogrešna. Pošto ima samo dve mogućnosti, sledi da je $R=0$ u stabilnom stanju.

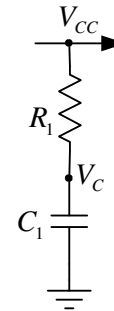
U stabilnom stanju su oba ulaza leća (R i S) na logičkoj nuli, $\bar{Q}=1$, P-zatvoren, $V_B = 0$ i $V_C = 0$. Neposredno nakon pojave silazne ivice impulsa u tački A (tj. u trenutku $t = 0^+$) je: $V_A = 0$, ulaz leća S je na logičkoj jedinici, ulaz leća R je na logičkoj nuli, $\bar{Q}=0$, P-otvoren, $V_B = 1$, a napon u tački C počinje eksponencijalno da raste:

$$V_C(t) = V_C(\infty) - [V_C(\infty) - V_C(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$V_C(\infty) = V_{CC};$$

$$V_C(0^+) = V_C(0^-) = 0;$$

$$\tau = C_1 R_1$$



tako da je: $V_C(t) = V_{CC}(1 - e^{-\frac{t}{R_1 C_1}})$ za $t > 0$.

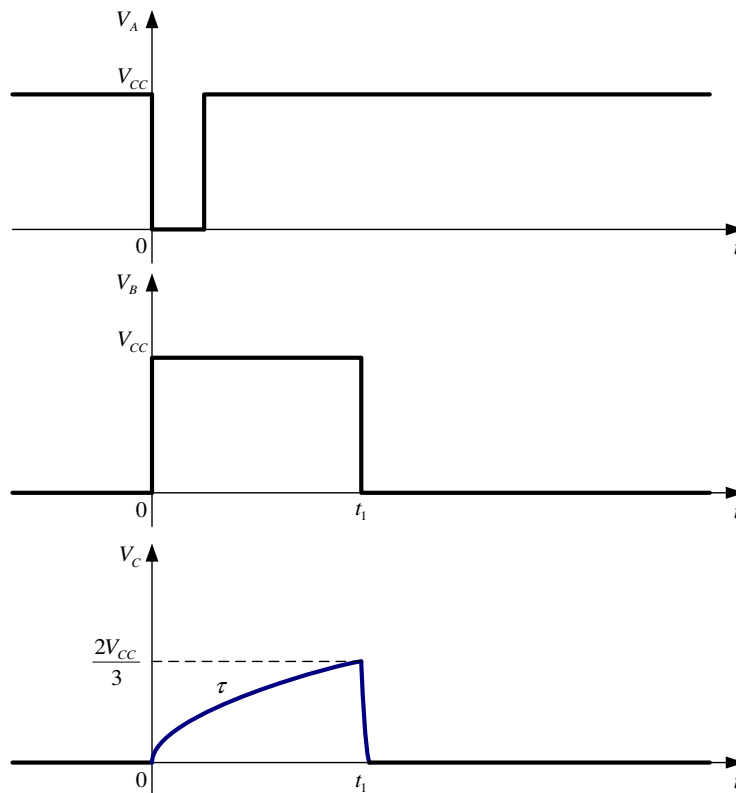
Ova zavisnost važi sve dok napon u tački C ne dostigne vrednost $\frac{2V_{CC}}{3}$ (u trenutku $t = t_1$) kada izlaz gornjeg komparatora postaje logička jedinica što resetuje leč i nakon toga je: $\overline{Q} = 1$, P-zatvoren, $V_B = 0$ i $V_C = 0$. Pad napona u tački C sa vrednosti $\frac{2V_{CC}}{3}$ na 0 se dešava momentalno zbog otpornosti prekidača P kada je zatvoren $R_{ON} \rightarrow 0$. Trenutak $t = t_1$ (tj. trajanje impulsa u tački B) se određuje iz uslova:

$$V_C(t_1) = \frac{2V_{CC}}{3} = V_{CC}(1 - e^{-\frac{t_1}{R_1 C_1}}),$$

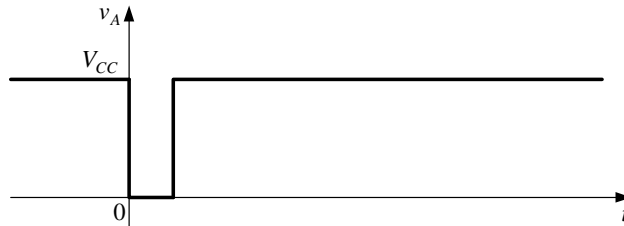
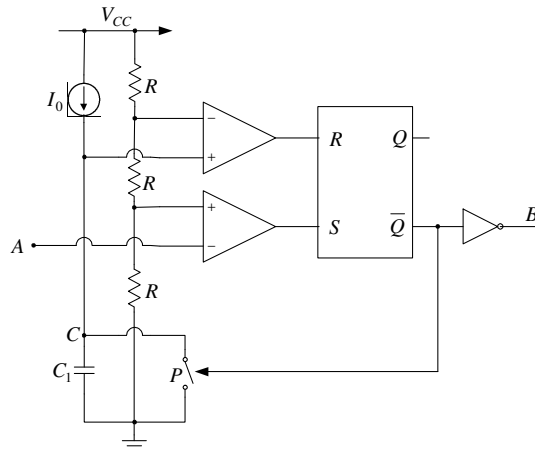
što daje:

$$t_1 = R_1 C_1 \ln 3.$$

Vremenski dijagrami napona u tačkama B i C su prikazani na sledećim slikama:



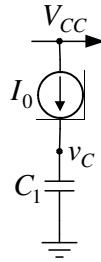
24. U kolu sa slike, otpornosti svih otpornika, kapacitivnost kondenzatora C_1 , napon napajanja V_{CC} i struja strujnog izvora I_0 se mogu smatrati poznatim. Naponski kontrolisani prekidač P je zatvoren ako je $\bar{Q}=1$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow 0$, a otvoren je ako je $\bar{Q}=0$ i tada se može ekvivalentirati otpornošću $R_{OFF} \rightarrow \infty$. Invertor u kolu je idealan, CMOS tipa sa naponom napajanja V_{CC} , a SR leč sačinjavaju CMOS logička kola sa naponom napajanja V_{CC} . Za $t < 0$ se kolo nalazilo dovoljno dugo vremena u stacionarnom stanju. Odrediti i nacrtati vremenske dijagrame napona u tačkama B i C, ako se na ulaz A dovede kratkotrajni naponski impuls prikazan na slici. Odrediti trajanje impulsa u tački B.



Rešenje:

Za $t < 0$ i $v_A = V_{CC}$, u stabilnom stanju je $S=0$, a R može biti ili na nivou logičke jedinice ili na nivou logičke nule. Ako se pretpostavi da je $R=1$, tada sledi da je $\bar{Q} = 1$ što prema uslovu zadatka zatvara prekidač, a zatvoren prekidač daje napon na kondenzatoru C_1 ravan nuli, a to daje $R=0$, što je u suprotnosti sa polaznom pretpostavkom (što znači da je polazna pretpostavka $R=1$ bila pogrešna). Iz navedenog se može zaključiti da je u stabilnom stanju $R=0$.

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli, $\bar{Q} = 1$, P-zatvoren, $v_B = 0$ i $v_C = 0$. Neposredno nakon pojave silazne ivice impulsa u tački A (tj. u trenutku $t = 0^+$) je: $v_A = 0$, ulaz leča S je na logičkoj jedinici, ulaz leča R je na logičkoj nuli, tako da je $\bar{Q} = 0$, P-otvoren, $v_B = 1$, a dato kolo se može ekvivalentirati na način prikazan na sledećoj slici:



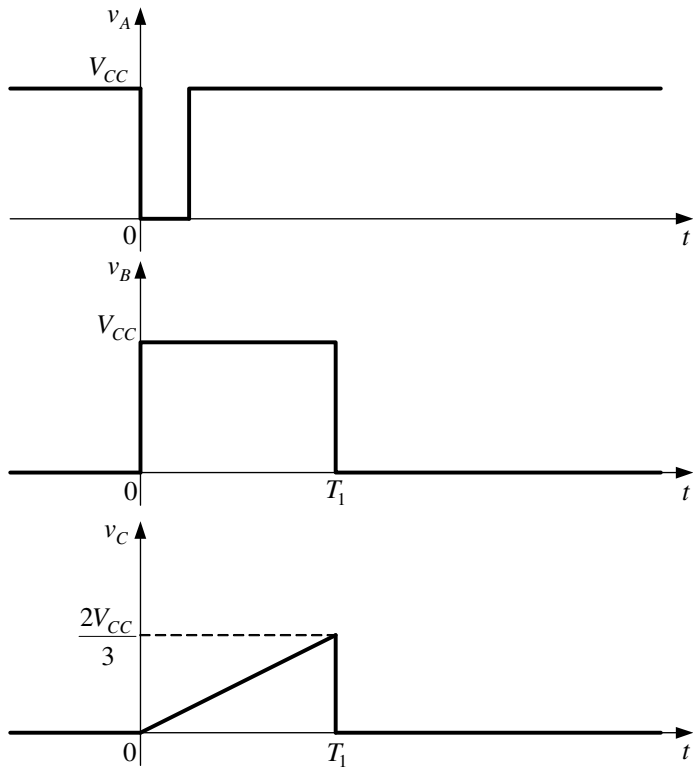
Tada se kondenzator puni vremenski konstantnom strujom I_0 . Stoga će se napon na kondenzatoru linearno povećavati sa nagibom $\frac{I_0}{C}$ (s obzirom da je veza između struje i napona kondenzatora definisana relacijom $v_c(t) = \frac{1}{C_1} \int i_{c1}(t) dt$). Ovaj proces će se dešavati sve dok napon na kondenzatoru (tj. na ulazu gornjeg komparatora) ne dostigne vrednost $\frac{2V_{CC}}{3}$ (u trenutku $t = T_1$) kada izlaz gornjeg komparatora postaje logička jedinica što resetuje leč i nakon toga je: $\bar{Q} = 1$, P-zatvoren, $v_B = 0$ i $v_C = 0$. Pad napona u tački C sa vrednosti $\frac{2V_{CC}}{3}$ na 0 se dešava momentalno zbog otpornosti prekidača P kada je zatvoren $R_{ON} \rightarrow 0$.

Trenutak $t = T_1$ (tj. trajanje impulsa u tački B) se određuje iz uslova:

$$\frac{I_0}{C_1} = \frac{2V_{CC}}{T_1}$$

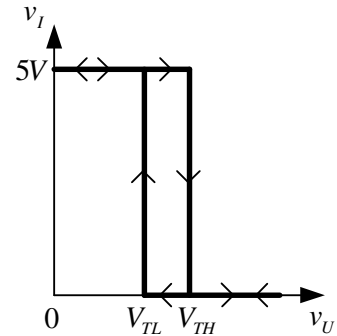
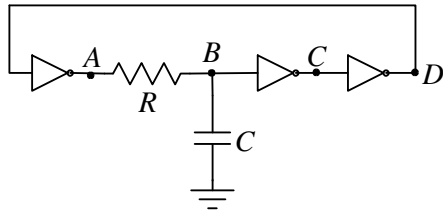
odakle se dobija da je: $T_1 = \frac{2V_{CC}C_1}{3I_0}$.

Vremenski dijagrami napona u tačkama A, B i C su prikazani na sledećim slikama:



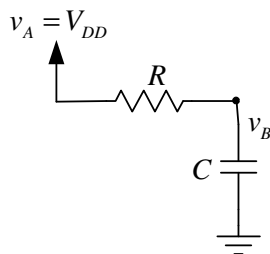
25. Za kolo astabilnog multivibratora sa slike izračunati i nacrtati vremenske dijagrame napona u tačkama A, B, C i D u ustaljenom režimu i izračunati frekvenciju oscilovanja. Invertori su realizovani u CMOS tehnologiji sa naponom napajanja $V_{DD} = 5\text{V}$, a njihova prenosna karakteristika je prikazana na slici, pri čemu su vrednosti pragova napona $V_{TL} = 2\text{V}$ i $V_{TH} = 3\text{V}$. Smatrati da je otpornost kojom se tranzistori u invertorima mogu ekvivalentirati kada su uključeni $r_{ds} \rightarrow 0$, a kada su isključeni $r_{ds} \rightarrow \infty$. Kašnjenje kroz invertore je $t_d \rightarrow 0$.

Poznato je i da je $R = 100\ \Omega$ i $C = 100\ \text{nF}$.

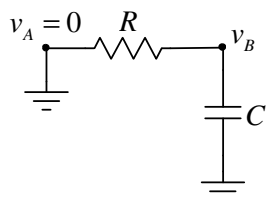


Rešenje:

U ustaljenom režimu, napon v_A može biti ili na nivou logičke jedinice ili na nivou logičke nule. Uzmimo, na primer, da je $v_A = V_{DD}$ (tj. na nivou logičke jedinice). To znači da se da se u tom slučaju dato kolo može predstaviti sledećom ekvivalentnom šemom:



U ovoj situaciji napon u tački B će eksponencijalno da raste sa vremenskom konstantom $\tau_1 = CR = 10\ \mu\text{s}$, što znači da postoji tendencija da napon v_B dostigne gornji prag invertora V_{TH} što će prouzrokovati promenu logičkih nivoa na izlazima invertora (sukcesivno v_C , v_D i v_A), nakon čega će u kolu da nastane nova situacija: $v_C = 0$, $v_D = V_{DD}$ i $v_A = 0$, a samo kolo će moći da se predstavi sledećom ekvivalentnom šemom:



U ovoj situaciji napon u tački B će eksponencijalno da opada sa vremenskom konstantom $\tau_2 = CR = 10\mu s$, što znači da će postojati tendencija da napon v_B opadne do donjeg praga invertora V_{TL} što će prouzrokovati promenu logičkih nivoa na izlazima invertora (sukcesivno v_C , v_D i v_A), nakon čega će se u kolu uspostaviti stanje kakvo je i bilo na početku analize sprovedene u ovom zadatku: $v_B < V_{TH}$, $v_C = V_{DD}$, $v_D = 0$ i $v_A = V_{DD}$.

Dalje se kolo ponaša periodično na već opisani način.

Zbog jednostavnijeg opisa kola jednačinama, može se usvojiti da je $t=0$ u ustaljenom režimu u momentu kada je napon v_B opao do vrednosti V_{TL} . Jednačine koje opisuju kolo za $t > 0$ su:

$$v_C = V_{DD}, v_D = 0 \text{ i } v_A = V_{DD}$$

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$v_B(\infty) = V_{DD}; v_B(0^+) = v_B(0^-) = V_{TL}, \tau_1 = CR = 10\mu s$$

iz čega sledi:

$$v_B(t) = V_{DD} - (V_{DD} - V_{TL})e^{-\frac{t}{10\mu s}}; 0 \leq t \leq T_1$$

Nakon što napon v_B poraste do vrednosti V_{TH} (u trenutku $t = T_1$), dolazi do promene logičkih nivoa na izlazima invertora:

$$v_C = 0, v_D = V_{DD} \text{ i } v_A = 0$$

dok za napon v_B važi:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau_2}}$$

$$v_B(\infty) = 0; v_B(T_1^+) = v_B(T_1^-) = V_{TH}; \tau_2 = CR = 10\mu s$$

iz čega sledi:

$$v_B(t) = V_{TH} \cdot e^{-\frac{t-T_1}{10\mu s}}; T_1 \leq t \leq T_2$$

Vremena T_1 i T_2 određujemo iz uslova:

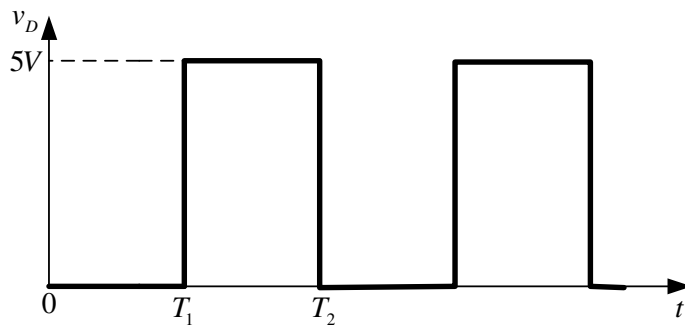
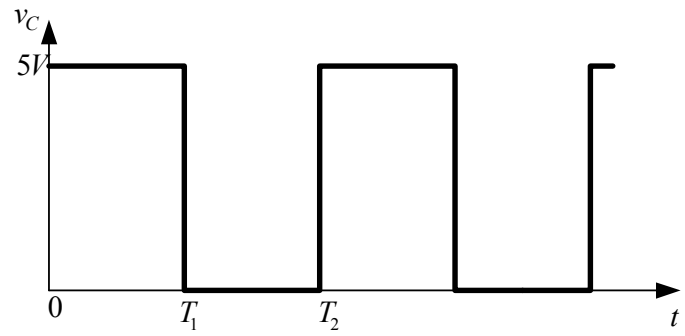
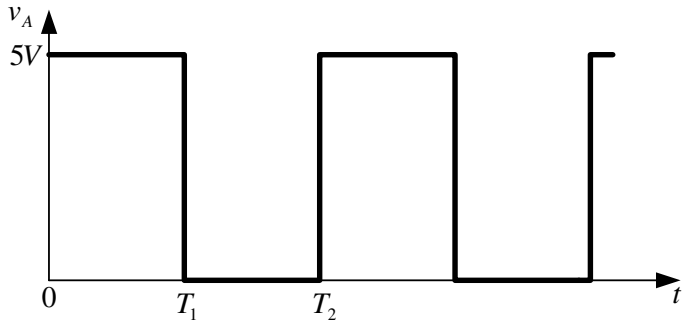
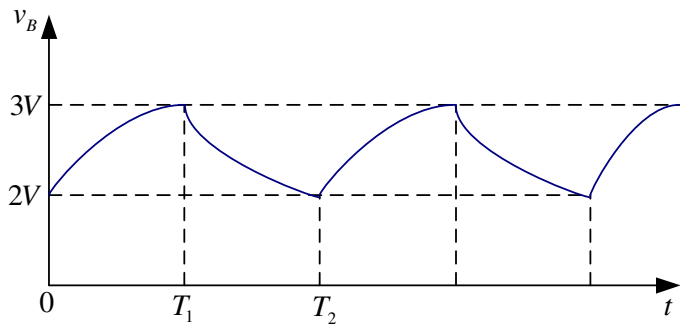
$$v_B(T_1) = V_{TH} \Rightarrow V_{TH} = V_{DD} - (V_{DD} - V_{TL})e^{-\frac{T_1}{10\mu s}} \Rightarrow T_1 = 10\mu s \cdot \ln \frac{V_{DD} - V_{TL}}{V_{DD} - V_{TH}} = 4,05\mu s$$

$$v_B(T_2) = V_{TL} \Rightarrow V_{TL} = V_{TH} \cdot e^{-\frac{T_2-T_1}{10\mu s}} \Rightarrow T_2 = T_1 + 10\mu s \cdot \ln \frac{V_{TH}}{V_{TL}} = 8,1\mu s$$

Frekvencija oscilovanja je:

$$f = \frac{1}{T_2} = 123,46 \text{ kHz}$$

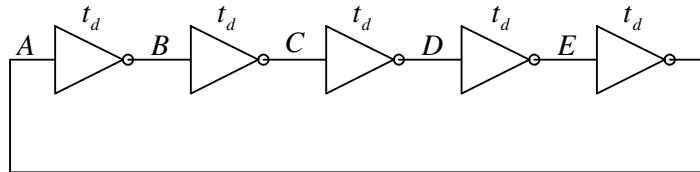
Traženi vremenski oblici napona u ustaljenom režimu su predstavljeni na sledeća 4 dijagrama:



26. Ring oscilator sa slike se sastoji od $N=5$ CMOS invertora. Invertori imaju napon napajanja $V_{DD} = 5V$, beskonačnu ulaznu otpornost i nultu izlaznu otpornost. Kašnjenje kroz svaki od invertora iznosi $t_d = 10ns$.

a) Odrediti i jedan ispod drugog nacrtati vremenske dijagrame napona u tačkama A , B , C , D i E .

b) Odrediti maksimalni broj invertora u ring oscilatoru N_{MAX} tako da frekvencija oscilovanja ring oscilatora ne bude manja od 4MHz, pri čemu treba obezbediti da bude ispunjen uslov oscilovanja. Objasniti koji kriterijum treba da se zadovolji da bi kolo oscilovalo.



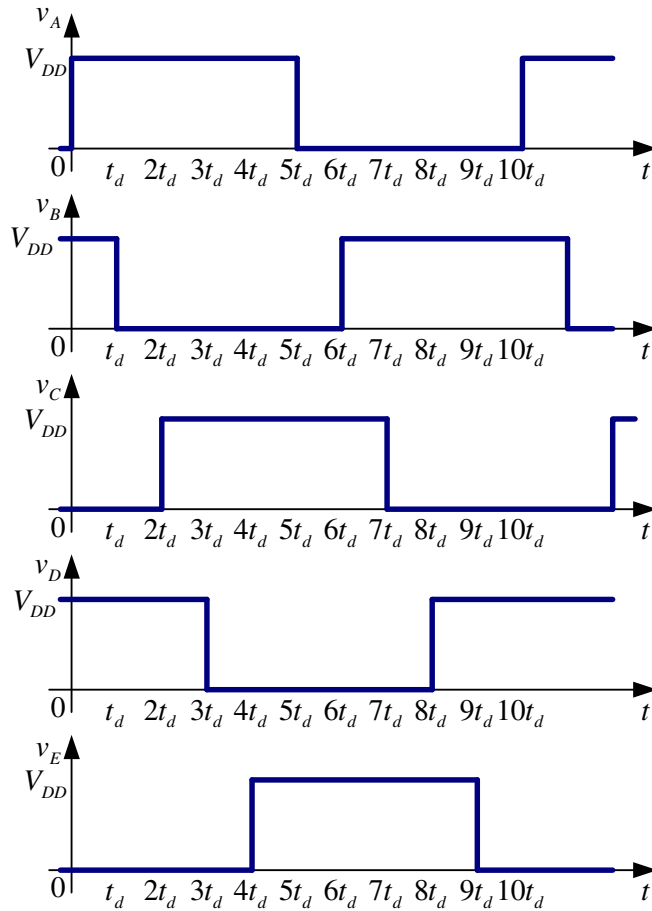
Rešenje:

a) Neka se signal u tački A u trenutku $t = 0$ promeni sa logičke nule na logičku jedinicu. Promena signala u tački B sa logičke jedinice na logičku nulu će se desiti u trenutku $t = t_d$ (zbog kašnjenja kroz prvi inverter). Promena signala u tački C sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 2t_d$ (zbog kašnjenja kroz drugi inverter). Promena signala u tački D sa logičke jedinice na logičku nulu će se desiti u trenutku $t = 3t_d$ (zbog kašnjenja kroz treći inverter). Promena signala u tački E sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 4t_d$ (zbog kašnjenja kroz četvrti inverter).

Sledeća promena signala u tački A će se dogoditi u trenutku $t = 5t_d$ (zbog kašnjenja kroz peti inverter) i to sa logičke jedinice na logičku nulu. Promena signala u tački B sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 6t_d$ (zbog kašnjenja kroz prvi inverter). Promena signala u tački C sa logičke jedinice na logičku nulu će se desiti u trenutku $t = 7t_d$ (zbog kašnjenja kroz drugi inverter). Promena signala u tački D sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 8t_d$ (zbog kašnjenja kroz treći inverter). Promena signala u tački E sa logičke jedinice na logičku nulu će se desiti u trenutku $t = 9t_d$ (zbog kašnjenja kroz četvrti inverter).

Sledeća promena signala u tački A će se dogoditi u trenutku $t = 10t_d$ (zbog kašnjenja kroz peti inverter) i to sa logičke nule na logičku jedinicu, nakon čega će se opisani proces periodično ponavljati.

Vremenski dijagrami traženih signala su prikazani na sledećoj slici:



b) Perioda oscilovanja ring oscilatora sa N invertora je $T_N = 2Nt_d$, tako da frekvencija

oscilovanja iznosi $f_N = \frac{1}{T_N} = \frac{1}{2Nt_d}$.

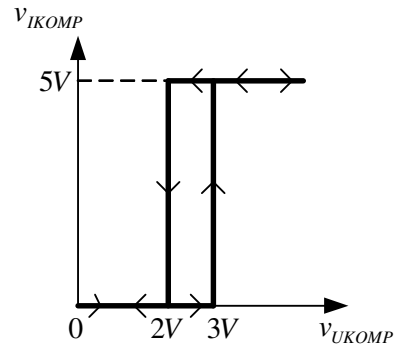
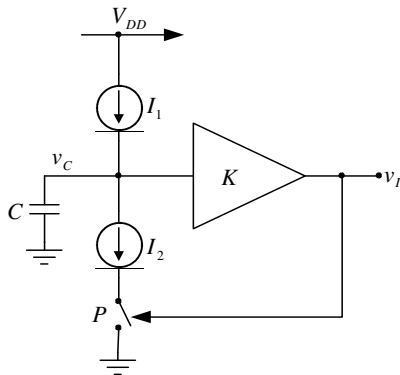
Iz uslova zadatka $f_N = \frac{1}{2Nt_d} \geq 4\text{MHz}$ se dobija $N \leq 12,5$. Da bi ring oscilator

ispravno radio, broj invertora mora biti neparan, jer se tako obezbeđuje komplementiranje početne promene u svakoj poluperiodi oscilovanja. Sledi da je $N_{MAX} = 11$.

27. Za kolo na slici je poznato: $V_{DD} = 5V$, $C = 1\mu F$. Strujni izvori generišu vremenski konstantne struje $I_1 = 100\text{mA}$ i $I_2 = 150\text{mA}$. Šmitov komparator K je neinvertujući, sa ulaznom otpornošću $R_{UL_KOMP} \rightarrow \infty$ i sa karakteristikom prikazanom na slici. Prekidač P je kontrolisan od strane komparatora K, na taj način što je za napon od 5V na izlazu komparatora prekidač P zatvoren (i tada mu je otpornost $R_{P_ON} \rightarrow 0$), dok je za napon od 0V na izlazu komparatora prekidač P otvoren (i tada mu je otpornost $R_{P_OFF} \rightarrow \infty$).

Šmitov komparator se napaja sa jednom baterijom za napajanje V_{DD} .

Određiti i nacrtati (jedan ispod drugog) vremenske oblike napona v_C i v_I dovoljno dugo vremena posle uključenja izvora za napajanje kada kolo uđe u ustaljeni režim rada (ustaljeno stanje). Kolika je perioda signala na izlazu komparatora?



Rešenje:

Kada je na izlazu komparatora K napon od 0V, prekidač je otvoren i tada se kondenzator puni vremenski konstantnom strujom $I_1 = 100\text{mA}$. Stoga će se napon na

kondenzatoru linearno povećavati sa nagibom $\frac{I_1}{C}$ (s obzirom da je veza između struje

i napona kondenzatora definisana relacijom $v_C(t) = \frac{1}{C} \int i_C(t) dt$). Ovaj proces će se

dešavati sve dok napon na kondenzatoru (tj. na ulazu komparatora) ne dostigne vrednost 3V (što predstavlja gornji prag komparatora), kada će se napon na izlazu komparatora promeniti sa 0V na 5V.

Tada se prekidač P zatvara i kondenzator počinje da se prazni sa vremenski konstantnom strujom $I_2 - I_1 = 50\text{mA}$. Od tog trenutka napon na kondenzatoru

linearno opada sa nagibom $\frac{I_1 - I_2}{C}$, sve dok ne opadne do vrednosti 2V (što

predstavlja donji prag komparatora), kada se napon na izlazu komparatora menja sa 5V na 0V, nakon čega se prekidač P ponovo otvara.

Opisani proces se periodično ponavlja.

Vreme punjenja kondenzatora (T_1) se može odrediti iz relacije:

$$\frac{I_1}{C} = \frac{3V - 2V}{T_1}$$

odakle se dobija: $T_1 = 10\mu s$.

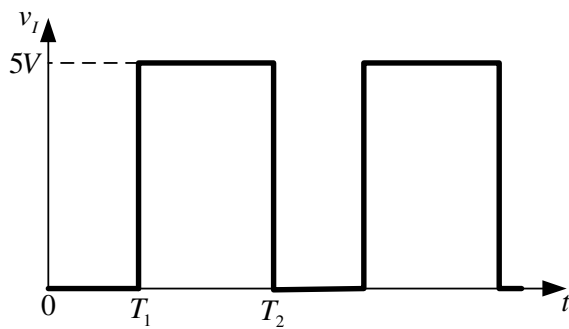
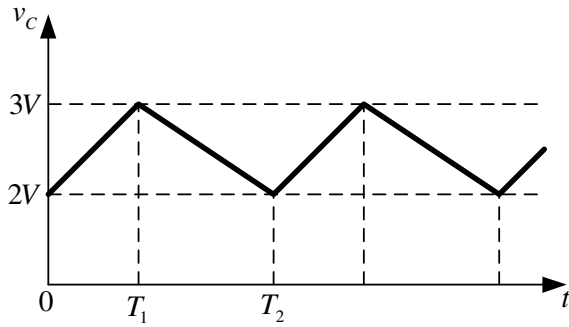
Vreme pražnjenja kondenzatora ($T_2 - T_1$) se može odrediti iz relacije:

$$\frac{I_2 - I_1}{C} = \frac{3V - 2V}{T_2 - T_1}$$

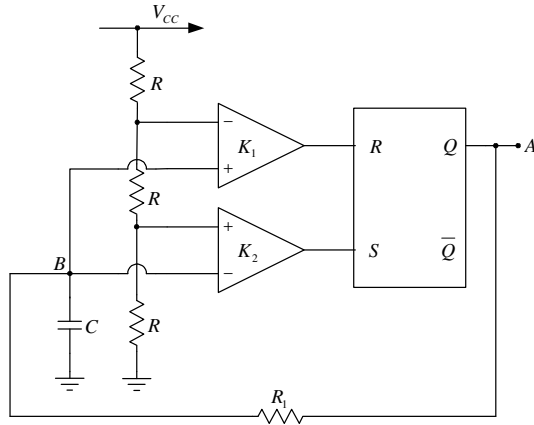
odakle se dobija: $T_2 - T_1 = 20\mu s$.

Perioda signala na izlazu komparatora je $T_2 = 30\mu s$.

Vremenski oblici traženih napona su prikazani na sledećim slikama:

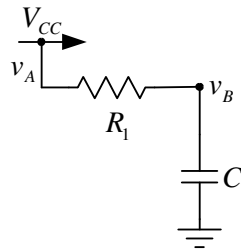


28. U kolu sa slike diferencijalni komparatori i logička kola CMOS tipa koja sačinjavaju SR leč se napajaju sa $V_{CC} = 3V$. Ulazna otpornost komparatora teži beskonačnosti. Poznate su otpornosti otpornika: $R = 5k\Omega$ i $R_1 = 1k\Omega$, kao i kapacitivnost kondenzatora $C = 100nF$. Odrediti i nacrtati vremenske dijagrame napona u tačkama A i B kada se kolo nalazi u ustaljenom režimu (dovoljno dugo nakon uključenja napajanja). Kojom frekvencijom kolo osciluje?

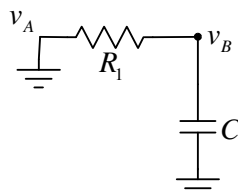


Rešenje:

S obzirom da u ustaljenom režimu izlaz Q SR leča može biti ili na nivou logičke jedinice ili na nivou logičke nule, analiza kola se može započeti polazeći od jedne od te dve vrednosti. Neka je npr. u trenutku $t = 0$ (koji je nastupio dovoljno dugo vremena nakon uključenja napajanja) $v_A = 3V$. Tada se dato kolo može predstaviti sledećom ekvivalentnom šemom:



Napon v_B će eksponencijalno da raste sa vremenskom konstantom $\tau_1 = CR_1 = 100\mu s$, što znači da postoji tendencija da napon v_B dostigne vrednost „-“ ulaza gornjeg komparatora (2V), što će, kad se desi, prouzrokovati promenu logičkog nivoa na izlazu tog komparatora (tj. postaće R=1), što će dalje uzrokovati da napon v_A padne na nulu. Kolo će nakon toga moći da se predstavi sledećom ekvivalentnom šemom:



Sada će napon v_B eksponencijalno da opada sa vremenskom konstantom $\tau_2 = CR_1 = 100\mu\text{s}$, što znači da će postojati tendencija da napon v_B dostigne vrednost „+“ ulaza donjeg komparatora (1V), što će, kad se desi, prouzrokovati promenu na izlazu tog komparatora (tj. postaće $S=1$), što će dalje uzrokovati da napon v_A postane jednak 3V. Nakon ovoga se kolo nalazi u istom stanju kao i na početku analize. Dalje se ovaj proces periodično ponavlja.

Jednačine koje opisuju kolo u situaciji kada je $v_A = 3\text{ V}$ (počev od $t = 0$) su:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$v_B(\infty) = V_{CC}; \quad v_B(0^+) = v_B(0^-) = 1\text{ V}; \quad \tau_1 = CR_1 = 100\mu\text{s}$$

iz čega sledi:

$$v_B(t) = 3\text{ V} - 2\text{ V} \cdot e^{-\frac{t}{100\mu\text{s}}}; \quad 0 \leq t \leq T_1$$

Nakon što napon v_B poraste do vrednosti od 2V (u trenutku $t = T_1$), dolazi do promene ekvivalentne šeme i za napon v_B važi:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau_2}}$$

$$v_B(\infty) = 0; \quad v_B(T_1^+) = v_B(T_1^-) = 2\text{ V}; \quad \tau_2 = CR_1 = 100\mu\text{s}$$

iz čega sledi:

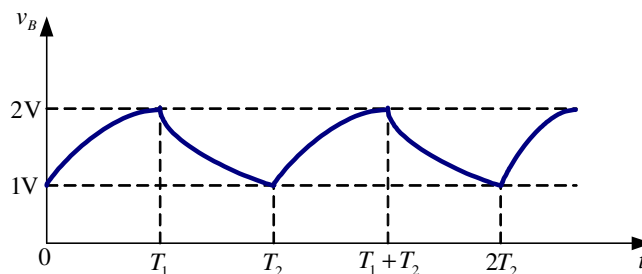
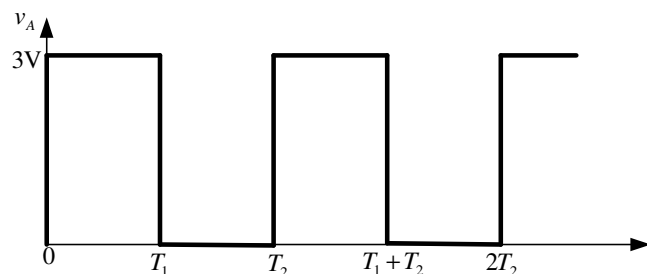
$$v_B(t) = 2\text{ V} \cdot e^{-\frac{t-T_1}{100\mu\text{s}}}; \quad T_1 \leq t \leq T_2$$

Vremena T_1 i T_2 određujemo iz sistema jednačina:

$$v_B(T_1) = 2\text{ V} \Rightarrow 2\text{ V} = 3\text{ V} - 2\text{ V} \cdot e^{-\frac{T_1}{100\mu\text{s}}} \Rightarrow T_1 = 100\mu\text{s} \cdot \ln 2 = 69,3\mu\text{s}$$

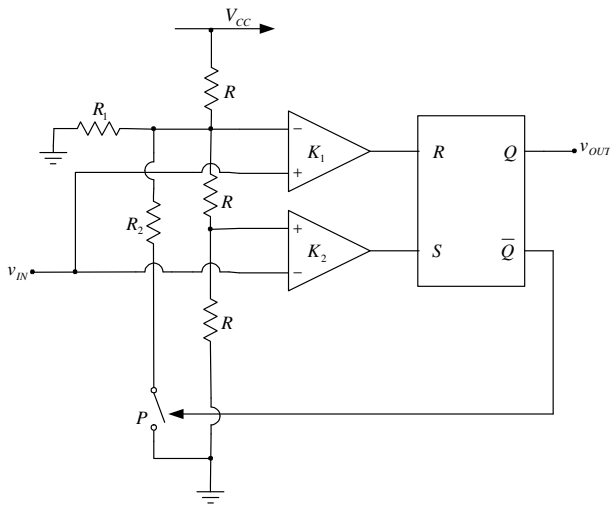
$$v_B(T_2) = 1\text{ V} \Rightarrow 1\text{ V} = 2\text{ V} \cdot e^{-\frac{T_2-T_1}{100\mu\text{s}}} \Rightarrow T_2 = T_1 + 100\mu\text{s} \cdot \ln 2 = 138,6\mu\text{s} \Rightarrow f = \frac{1}{T_2} = 7,21\text{kHz}$$

Traženi vremenski oblici napona v_A i v_B u ustaljenom režimu su predstavljeni na sledećim dijagramima:

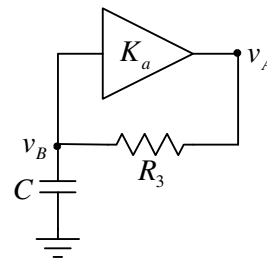


29. a) U kolu sa slike 29a diferencijalni komparatori i logička kola CMOS tipa koja sačinjavaju SR leč se napajaju sa $V_{CC} = 12\text{ V}$. Ulazna otpornost komparatora teži beskonačnosti. Naponski kontrolisani prekidač P je zatvoren ako je $\overline{Q} = 1$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow 0$, a otvoren je ako je $\overline{Q} = 0$ i tada se može ekvivalentirati otpornošću $R_{OFF} \rightarrow \infty$. Poznate su otpornosti otpornika: $R = 3\text{ k}\Omega$, $R_1 = 14\text{ k}\Omega$ i $R_2 = 10,5\text{ k}\Omega$. Odrediti i nacrtati karakteristku $v_{out} = F(v_{in})$. Koju funkciju obavlja dato kolo?

b) Ako se kolo iz tačke a) poveže u konfiguraciju kao na slici 29b, odrediti i nacrtati vremenske oblike napona v_A i v_B kada se kolo nalazi u ustaljenom režimu (dovoljno dugo nakon uključivanja napajanja). Poznato je $R_3 = 1\text{ k}\Omega$ i $C = 100\text{ nF}$.



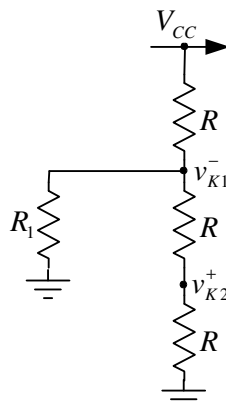
Slika 29a



Slika 29b

Rešenje:

a) Analiza kola se može početi od situacije kada je $v_{in} = 0\text{ V}$. Tada su logički signali na izlazima komparatora (tj. na ulazima leča) $S=1$ i $R=0$, što znači da je $v_{OUT} = 12\text{ V}$, logički nivo na izlazu $\overline{Q} = 0$, što ima za posledicu da je prekidač P otvoren, tako da se kolo može predstaviti sledećom ekvivalentnom šemom:

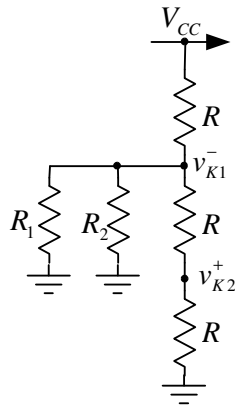


Pri tome je:

$$v_{K1}^- = \frac{2R_1}{3R_1 + 2R} \cdot V_{CC} = 7\text{ V}$$

$$v_{K2}^+ = \frac{R_1}{3R_1 + 2R} \cdot V_{CC} = 3,5\text{ V}$$

Ako se povećava ulazni napon, u nekom momentu će dostići vrednost od 3,5V i tada će postati $S=0$, ali ta promena neće uticati na promenu izlaznih signala SR leča. Tek kada ulazni napon dostigne vrednost od 7V, postaće $R=1$ što će dovesti do promene logičkih nivoa na izlazima leča, tj. postaće $v_{OUT} = 0V$ i $\overline{Q} = 1$, što će za posledicu imati zatvaranje prekidača P. Daljim povećavanjem ulaznog napona, neće dolaziti do promene logičkih nivoa u kolu, niti promene vrednosti izlaznog napona. U toj situaciji kolo se može predstaviti sledećom ekvivalentnom šemom:



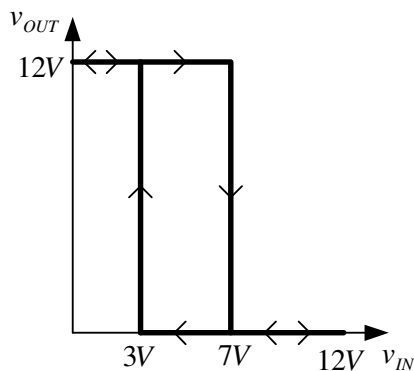
Pri tome je:

$$v_{K1}^- = \frac{2(R_1 \parallel R_2)}{3(R_1 \parallel R_2) + 2R} \cdot V_{CC} = 6V$$

$$v_{K2}^+ = \frac{R_1 \parallel R_2}{3(R_1 \parallel R_2) + 2R} \cdot V_{CC} = 3V$$

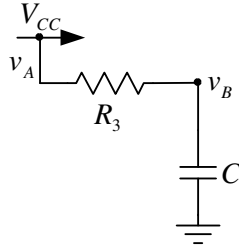
Ukoliko zatim, počev od vrednosti $v_{IN} = 12V$, počne da se smanjuje ulazni napon, prva promena koja će nastupiti u kolu je promena logičkog nivoa na izlazu komparatora K_1 na $R=0$. Ova promena ne menja logičke nivoe na izlazu leča. Daljim smanjivanjem ulaznog napona, on u jednom momentu opada do vrednosti od 3V, i tada postaje $S=1$, $\overline{Q} = 0$ i $v_{OUT} = 12V$. Daljim smanjivanjem vrednosti ulaznog napona, neće dolaziti do promene logičkih nivoa u kolu, niti promene vrednosti izlaznog napona.

Dakle, tražena zavisnost $v_{OUT}(v_{IN})$ grafički predstavljena ima sledeći izgled:

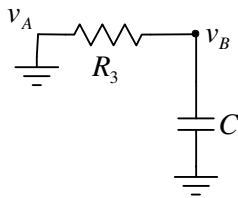


Kolo obavlja funkciju Šmitovog regenerativnog komparatora.

b) S obzirom da u ustaljenom režimu izlaz kola K_a može biti ili na nivou logičke jedinice ili na nivou logičke nule, analiza kola se može započeti polazeći od jedne od te dve vrednosti. Neka je npr. u trenutku $t=0$ (koji je nastupio dovoljno dugo vremena nakon uključenja napajanja) $v_A = 12V$. Tada se dato kolo može predstaviti sledećom ekvivalentnom šemom:



Napon v_B će eksponencijalno da raste sa vremenskom konstantom $\tau_1 = CR_3 = 100\mu s$, što znači da postoji tendencija da napon dostigne gornji prag Šmitovog komparatora (7V), što će, kad se desi, prouzrokovati promenu logičkog nivoa na izlazu komparatora (tj. postaće $v_A = 0V$), nakon čega će kolo moći da se predstavi sledećom ekvivalentnom šemom:



Sada će napon v_B eksponencijalno da opada sa vremenskom konstantom $\tau_2 = CR_3 = 100\mu s$, što znači da će postojati tendencija da napon v_B opadne do donjeg praga Šmitovog komparatora (3V), što će, kad se desi, prouzrokovati promenu logičkog nivoa na izlazu komparatora (tj. postaće $v_A = 12V$), nakon čega će se kolo naći u istom stanju kao i na početku analize u tački b). Dalje će se ovaj proces periodično ponavljati.

Jednačine koje opisuju kolo u situaciji kada je $v_A = 12V$ (počev od $t = 0$) su:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$v_B(\infty) = V_{CC}; \quad v_B(0^+) = v_B(0^-) = 3V; \quad \tau_1 = CR_3 = 100\mu s$$

iz čega sledi:

$$v_B(t) = 12V - 9V \cdot e^{-\frac{t}{100\mu s}}; \quad 0 \leq t \leq T_1$$

Nakon što napon v_B poraste do vrednosti od 7V (u trenutku $t = T_1$), dolazi do promene logičkog nivoa na izlazu Šmitovog komparatora i za napon v_B važi:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau_2}}$$

$$v_B(\infty) = 0; \quad v_B(T_1^+) = v_B(T_1^-) = 7V; \quad \tau_2 = CR_3 = 100\mu s$$

iz čega sledi:

$$v_B(t) = 7V \cdot e^{-\frac{t-T_1}{100\mu s}}; \quad T_1 \leq t \leq T_2$$

Vremena T_1 i T_2 određujemo iz sistema jednačina:

$$v_B(T_1) = 7V \Rightarrow 7V = 12V - 9V \cdot e^{-\frac{T_1}{100\mu s}} \Rightarrow T_1 = 100\mu s \cdot \ln \frac{9}{5} = 58,78\mu s$$

$$v_B(T_2) = 3V \Rightarrow 3V = 7V \cdot e^{-\frac{T_2-T_1}{100\mu s}} \Rightarrow T_2 = T_1 + 100\mu s \cdot \ln \frac{7}{3} = 143,51\mu s$$

Traženi vremenski oblici napona v_A i v_B u ustaljenom režimu su predstavljeni na sledećim dijagramima:

