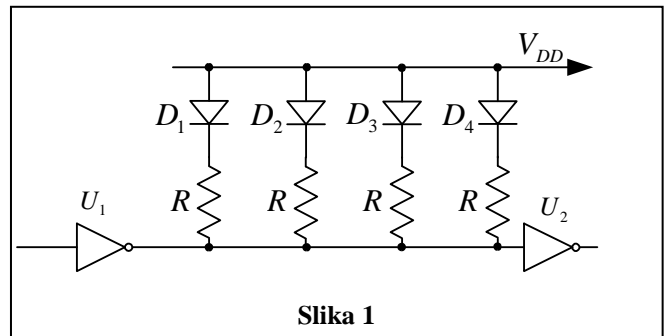


NAPOMENA:

Svaki zadatak početi na novoj stranici. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci radeni.

1. [20] Napon napajanja nebaferisanih CMOS invertora je $V_{DD} = 5V$. Margine šuma iznose $NM(1) = NM(0) = 2V$. Otpornost kanala provodnog PMOS tranzistora u invertoru je $r_{P_ON} = 200\Omega$, dok je otpornost kanala provodnog NMOS tranzistora $r_{N_ON} = 100\Omega$. Invertor U_1 pobuđuje četiri segmenta low-power LED displeja sa zajedničkom katodom na način prikazan na slici 1, pri čemu je pad napona na provodnim diodama $V_D = 2V$. Izračunati minimalnu vrednost otpornosti R da bi invertor U_2 ispravno tumačio logičke nivoe na svom ulazu.

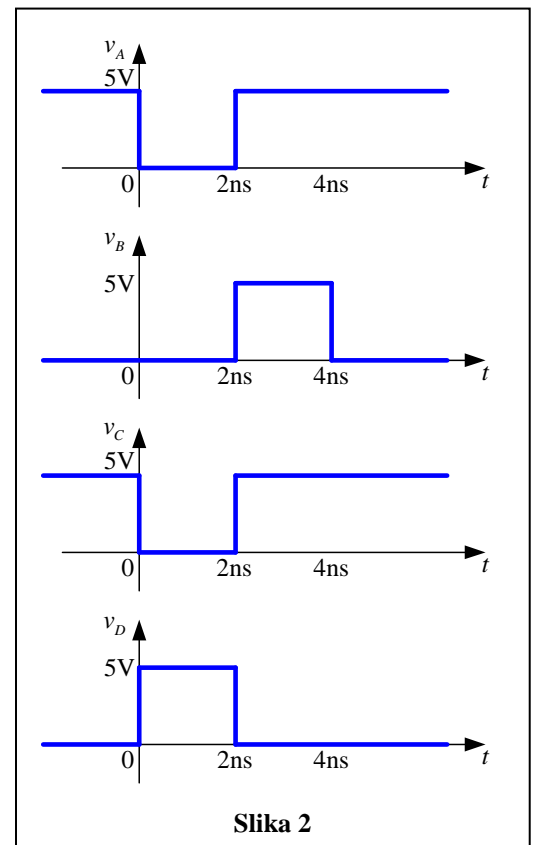


Slika 1

2. [20] Ukoliko su LED sa slike 1 standardne sa potrebnom strujom od 10mA da bi svetlele, nacrtati šemu koja prikazuje baferisanje invertora U_1 bipolarnim tranzistorom. Odrediti vrednosti za R i maksimalnu vrednost baznog otpornika tako da sve 4 diode sigurno svetle kada se na ulaz invertora U_1 dovede odgovarajući logički nivo. Bipolarni tranzistor ima parametre $100 < \beta < 120$, $|V_{BE}|=0.7V$, $|V_{CES}|=0.2V$. Otpornosti kanala MOS tranzistora u ovom zadatku zanemariti.

3. a) [10] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju $Z = \overline{(A + B)} \cdot \overline{(C + D)}$.

b) [20] Na ulaze CMOS kola iz prethodne tačke se dovode naponi čiji su vremenski dijagrami prikazani na slici 2. Svaki od NMOS tranzistora koji čine pomenuto CMOS kolo u provodnom režimu ima otpornost kanala $r_{dsNMOS} = 50\Omega$, dok svaki od PMOS tranzistora u provodnom režimu ima otpornost kanala $r_{dsPMOS} = 100\Omega$. Logičko kolo se napaja sa $V_{DD} = 5V$. Izlaz kola je povezan na magistralu podataka čija je ekvivalentna kapacitivnost prema masi $C_M = 5pF$. Izračunati i nacrtati vremenski oblik napona na izlazu kola.



Slika 2

4. a) [10] Kolika je ulazna kapacitivnost NMOS tranzistora u funkciji parametara C_{OX} , μ_P , μ_N , W , L , $|V_{GS}|=V_{DD}$, V_{TH} , a kolika dvotranzistorskog CMOS invertora? Uzeti u obzir da je $2\mu_P = \mu_N = \mu$.

b) [10] Nacrtati analogni multiplexer/demultiplexer 2/1 u serijskoj logici i digitalni multiplexer 2/1 u paralelnoj logici (koristiti invertore i NI kola).

c) [10] Ako su u prethodnoj tački kola nebaferisana, uporediti realizacije po broju upotrebljenih tranzistora.