

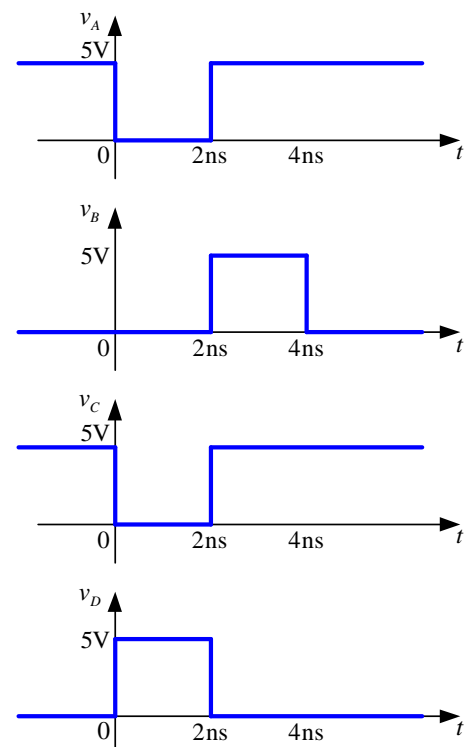
NAPOMENA:

Svaki zadatak početi na novoj stranici. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci radeni.

1. a) [4] Za NMOS tranzistor u omskoj oblasti, odrediti otpornost kanala u funkciji parametara C_{OX} , μ_N , W , L , $V_{GS} = V_{DD}$, V_T , ako $V_{DS} \ll V_{GS} - V_T$.
 - b) [4] Kolika je ulazna kapacitivnost NMOS tranzistora u funkciji C_{OX} , μ_P , μ_N , W , L , $|V_{GS}| = V_{DD}$, V_T , a kolika CMOS invertora?
 - c) [2] Objasniti crtežom zaštite od prenapona i podnapona na ulazima i izlazima CMOS logičkih kola?
 - d) [10] Nacrtati električni simbol i objasniti princip funkcionisanja optokaplera. Kako se definiše zavisnost struje kolektora izlaznog tranzistora od struje diode? Da li struja diode može imati bilo koju vrednost?
 - e) [15] Objasniti komponente snage disipacije CMOS logičkih kola u formuli $P_D = P_Q + P_T + P_C$, i koje su formule za njihovo računanje. Kako vreme uspona i pada pobudnog signala utiče na P_T CMOS invertora? Kako kapacitivno opterećenje utiče na P_C ? Kada P_Q utiče a kada ne utiče na ukupnu disipaciju P_D ?
2. [15] Objasniti princip funkcionisanja elektromehaničkog relea. Ako je rele potrebno kontrolisati pomoću invertora i NPN tranzistora nacrtati kompletnu šemu sa zaštitom tranzistora od pregorevanja. Odrediti vrednost baznog otpornika. Ukoliko je napajanje invertora 5V, da li je moguće koristiti PNP tranzistor? Otpornost kalema relea je $1k\Omega$, a napajanje kalema je 12V.

3. a) [10] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju $Z = \overline{(A + B)} \cdot (C + D)$.

b) [20] Na ulaze CMOS kola iz prethodne tačke se dovode naponi čiji su vremenski dijagrami prikazani na slici. Svaki od NMOS tranzistora koji čine pomenuto CMOS kolo u provodnom režimu ima otpornost kanala $r_{dsNMOS} = 50\Omega$, dok svaki od PMOS tranzistora u provodnom režimu ima otpornost kanala $r_{dsPMOS} = 100\Omega$. Logičko kolo se napaja sa $V_{DD} = 5V$. Izlaz kola je povezan na magistralu podataka čija je ekvivalentna kapacitivnost prema masi $C_M = 5pF$. Izračunati i nacrtati vremenski oblik napona na izlazu kola.



4. [20] Napon napajanja CMOS invertora je $V_{DD} = 5V$. Margine šuma logičke jedinice i logičke nule su međusobno jednake i iznose $NM(1) = NM(0) = 2V$. Otpornost kanala provodnog PMOS tranzistora u invertoru je $r_{p_ON} = 200\Omega$, dok je otpornost kanala provodnog NMOS tranzistora $r_{n_ON} = 100\Omega$. Invertor pobuđuje četiri segmenta LED displeja sa zajedničkom katodom (pri čemu se svaki od segmenata LED displeja može predstaviti rednom vezom LED diode sa $V_D = 1V$ i otpornika R), kao što je to prikazano na slici. Kolika je minimalna dozvoljena vrednost otpornosti R koja omogućava da drugi invertor opisanih karakteristika, čiji ulaz bi se povezao na izlaz invertora sa slike, i dalje ispravno tumači logičke nivoe na svom ulazu?

