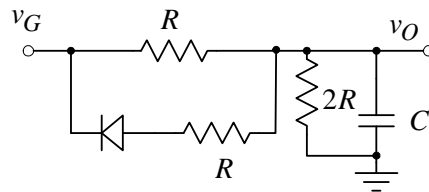


NAPOMENA:

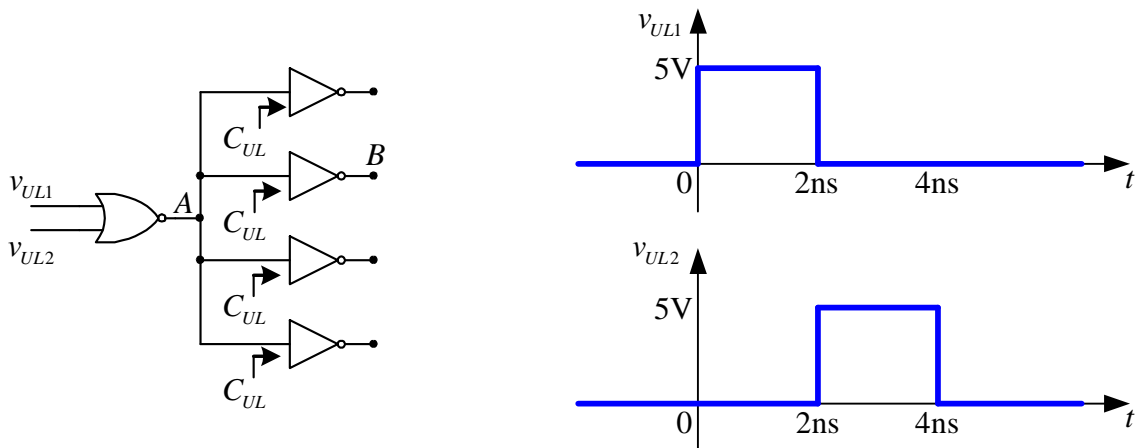
Svaki zadatak početi na novoj stranici. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci radeni. Ukupan broj bodova se limitira na 100 maksimalno.

1. a) [5] Nacrtati i objasniti princip funkcionisanja elektromehaničkog relea.
- b) [10] Ukoliko je otpornost namotaja (špulne) elektromehaničkog relea $3k\Omega$, a namotaj je predviđen da radi na naponu od 12V, nacrtati šemu pobude namotaja pomoću bipolarnog tranzistora. Obezbediti zaštitu tranzistora od pregorevanja. Dimenzionisati otpornik u bazi tako da je uključenje tranzistora kao prekidača pouzdano ako se tranzistor uključuje idealnim invertorom sa $V_{OH} = 5V$. Za tranzistor je poznato $\beta = 100, V_{BE} = 0.7V, V_{CES} \approx 0$.
- c) [5] Nacrtati i objasniti princip rada optokaplera. Objasniti šta je to CTR. Čemu služi optokapler?

2. [30] Ako se kolo sa slike pobuđuje impulsima amplitude U , trajanja kT , $0 < k < 1$, periode T , $T = 0,1 \cdot RC$, odrediti konstantu k tako da srednja vrednost napona na izlazu bude $U/2$. Dioda je idealna. (Prilikom rešavanja zadatka, koristiti aproksimaciju: $e^{-x} \approx 1 - x$).



3. a) [30] Na izlaz dvoulaznog CMOS NILI kola su povezana 4 CMOS invertora, kao što je to prikazano na slici. Svaki od invertora ima ekvivalentnu ulaznu kapacitivnost $C_{UL} = 10pF$. Na ulaze dvoulaznog CMOS NILI kola se dovode naponi v_{UL1} i v_{UL2} , čiji su vremenski dijagrami takođe prikazani na slici. Svaki od NMOS tranzistora koji čine NILI logičko kolo u provodnom režimu ima otpornost kanala $r_{dsNMOS} = 50\Omega$, dok svaki od PMOS tranzistora koji čine NILI logičko kolo u provodnom režimu ima otpornost kanala $r_{dsPMOS} = 100\Omega$. Logička kola se napajaju sa $V_{DD} = 5V$. Izračunati i nacrtati vremenski oblik napona u tački A.
- b) [10] Ako se invertori, sa izuzetkom ulazne kapacitivnosti, ponašaju kao idealani (sa naponom praga $V_{DD}/2$ i nultom izlaznom otpornošću), izračunati i nacrtati vremenski oblik napona u tački B.

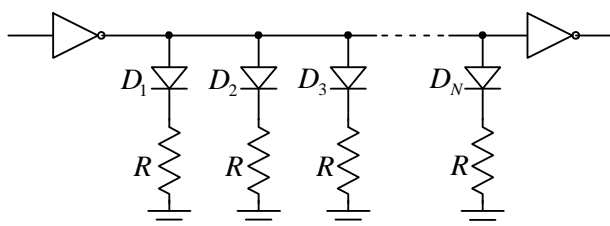


Kolokvijum traje 2,5 sata.

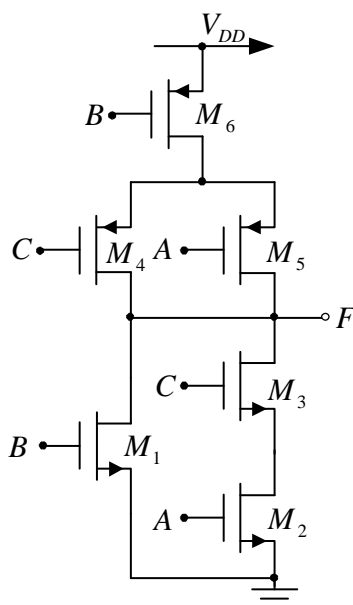
4. Napon napajanja CMOS invertora je $V_{DD} = 5V$. Minimalni napon na ulazu invertora koji se i dalje tumači kao logička jedinica je $V_{IH} = 3V$, a maksimalni napon na ulazu invertora koji se i dalje tumači kao logička nula je $V_{IL} = 2V$. Otpornost kanala provodnog PMOS tranzistora u invertoru je $r_{P_ON} = 250\Omega$, dok je otpornost kanala provodnog NMOS tranzistora $r_{N_ON} = 100\Omega$.

a) [10] Na slici je prikazano N segmenata LED displeja sa zajedničkom anodom (svaki od segmenata LED displeja se može predstaviti rednom vezom otpornika $R = 1k\Omega$ i LED diode sa $V_D = 1,2V$). Koliko maksimalno segmenata LED displeja sa zajedničkom anodom može napajati pobudni invertor sa slike, tako da izlazni invertor sa slike i dalje ispravno tumači logičke nivoe sa izlaza pobudnog invertora?

b) [10] Kolika bi bila minimalna vrednost otpornosti R koja bi omogućila da pobudni invertor napaja bar 10 segmenata LED displeja, tako da izlazni invertor i dalje ispravno tumači logičke nivoe sa izlaza pobudnog invertora?



5. a) [10] Za statičko CMOS logičko kolo sa slike, tabelarno predstaviti režime rada svih tranzistora u kolu i vrednosti izlaznog signala za sve kombinacije vrednosti ulaznih signala, a zatim odrediti logičku funkciju kola.



b) [10] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju $Z = \overline{A} \cdot B \cdot C \cdot (D + E)$.