

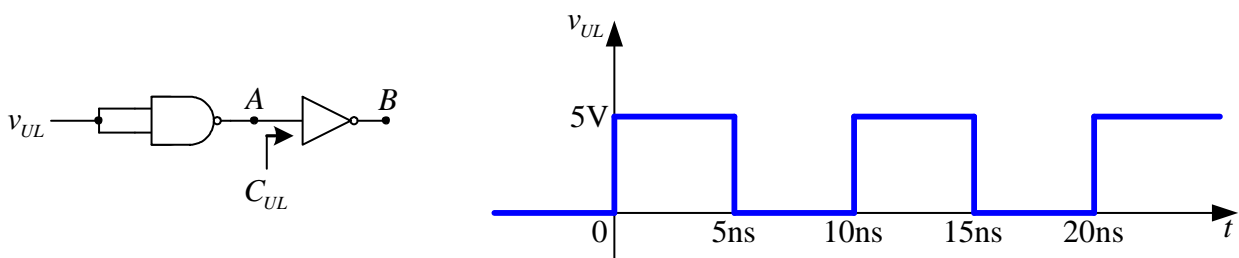
NAPOMENA:

Numerisati svaku stranu vežbanke u gornjem spoljašnjem uglu. Svaki zadatak početi na novoj stranici. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci rađeni. Ukupan broj bodova se limitira na 100 maksimalno.

1. a) [10] Na primeru NMOS tranzistora u omskoj oblasti, ako je $V_{DS} \ll V_{GS} - V_T$, odrediti kolika je otpornost kanala u funkciji parametara C_{OX} , μ_N , W , L , $V_{GS} = V_{DD}$, V_T .
- b) [10] Ako se identičan tranzistor kao iz tačke a) nalazi u nebaferisanom invertoru, i ako je opterećenje invertora na izlazu takvo da je $V_{OL} = V_{DD}/25$, odrediti izlaznu struju.
Poznato je da je $|V_T| = V_{DD}/5 = 1V$ i $B = 1mA/V^2$.
- c) [5] Nacrtati trouglasto dvostruko baferisano NI kolo zajedno sa zaštitama ulaza.
- d) [5] Objasniti kako je realizovana zaštita na izlazu kod CMOS kola.

2. a) [5] Nacrtati internu strukturu trostatičkog bafera u diskretnoj i integrisanoj tehnologiji.
- b) [5] Objasniti konstrukciju i funkcionisanje jednobitnog bidirekcionog bafera.
- c) [5] Objasniti konstrukciju i kola sa otvorenim drejnom. Šta je to *wired or* logika?
- d) [5] Objasniti realizaciju binarnog komparatora pomoću kola sa otvorenim drejnom.

3. a) [30] Ulazi dvoulaznog CMOS NI kola su kratko spojeni, a na njegov izlaz je povezan CMOS invertor, kao što je prikazano na slici. Ekvivalentna ulazna kapacitivnost invertora je $C_{UL} = 50pF$. Na ulaz v_{UL} se dovodi povorka pravougaonih impulsa (logičkih nula i jedinica) frekvencije $f = 100MHz$, sa jednakim trajanjem impulsa i pauze, kao što je prikazano na slici. Svaki od MOS tranzistora koji čine NI logičko kolo u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa. Svaki od NMOS tranzistora koji čine NI logičko kolo u provodnom režimu ima otpornost kanala $r_{dsNMOS} = 50\Omega$, dok svaki od PMOS tranzistora koji čine NI logičko kolo u provodnom režimu ima otpornost kanala $r_{dsPMOS} = 200\Omega$. Logička kola se napajaju sa $V_{DD} = 5V$. Izračunati i nacrtati vremenski oblik napona u tački A u ustaljenom režimu u toku trajanja bar jedne periode ulaznog napona.
- b) [10] Ako se invertor, osim ulazne kapacitivnosti ponaša kao idealan (sa naponom praga $V_T = V_{DD}/2$ i nultom izlaznom otpornošću), izračunati i nacrtati vremenski oblik napona u tački B u ustaljenom režimu u toku trajanja bar jedne periode ulaznog napona.



Kolokvijum traje 2,5 sata.

4. a) [20] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju $Z = \overline{A} + \overline{B} \cdot \overline{C} \cdot \overline{D} + \overline{E}$.

b) [10] Poznato je da svaki od MOS tranzistora koji čine logičko kolo iz prethodne tačke u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa, da svaki od NMOS tranzistora u provodnom režimu ima otpornost kanala $r_{dsNMOS} = 20\Omega$, i da svaki od PMOS tranzistora u provodnom režimu ima otpornost kanala $r_{dsPMOS} = 50\Omega$. Ako se na izlaz kola poveže kondenzator kapacitivnosti $C = 10\text{pF}$, izračunati vremensku konstantu punjenja kondenzatora τ_{pu} u najsporijem slučaju, i vremensku konstantu pražnjenja kondenzatora τ_{pr} u najsporijem slučaju.

5. a) [10] Nacrtati internu strukturu BICMOS invertora i BICMOS NI kola.

b) [15] Ako je za MOS tranzistore poznato $|V_T| = V_{DD} / 5 = 1\text{V}$ i $B_N = B_P = 1\text{mA/V}^2$, a za bipolarne tranzistore $\beta_F = 100$, odrediti izlazne otpornosti za logičku nulu i logičku jedinicu za sve moguće kombinacije ulaznih signala za oba kola iz tačke a). Rezultate prikazati tabelarno.