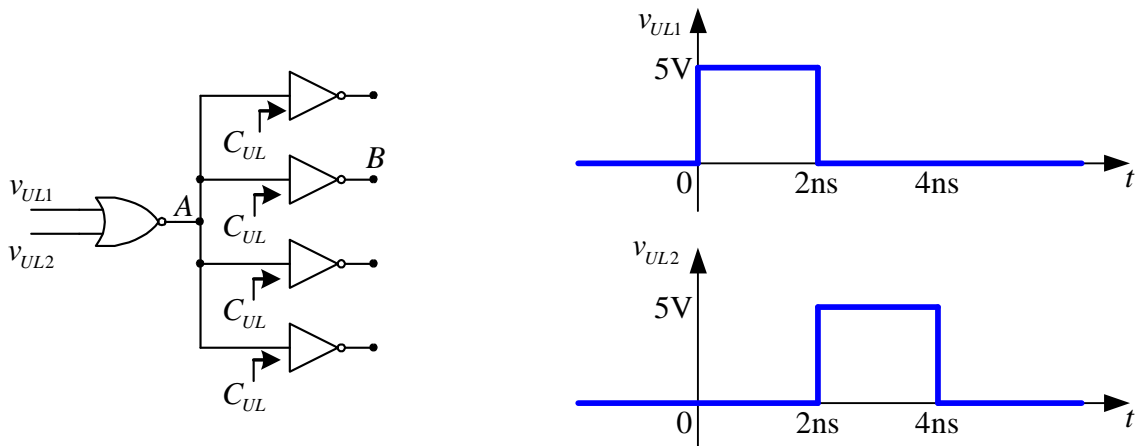


1. KOLOKVIJUM

1. a) [10] Na primeru NMOS tranzistora u omskoj oblasti, ako je $V_{DS} \ll V_{GS} - V_T$ odrediti kolika je otpornost kanala u funkciji parametara $C_{OX}, \mu_N, W, L, V_{GS} = V_{DD}, V_T$.
- b) [10] Ako se identičan tranzistor kao iz tačke a) nalazi u nebaferisanom invertoru, i ako je pobuda i opterećenje invertora na izlazu takvo da je $V_{OL} = V_{DD}/25$ odrediti izlaznu struju.
- Poznato je da je $|V_T| = V_{DD} / 5 = 1V$ i $B = 1mA/V^2$.

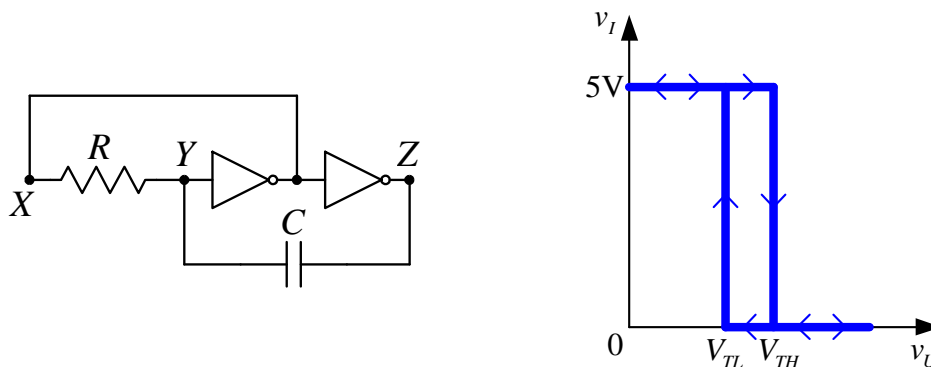
2. a) [22] Na izlaz dvoulaznog CMOS NILI kola su povezana 4 CMOS invertora, kao što je to prikazano na slici. Svaki od invertora ima ekvivalentnu ulaznu kapacitivnost $C_{UL} = 10pF$. Na ulaze dvoulaznog CMOS NILI kola se dovode naponi v_{UL1} i v_{UL2} , čiji su vremenski dijagrami takođe prikazani na slici. Svaki od NMOS tranzistora koji čine NILI logičko kolo u provodnom režimu ima otpornost kanala $r_{dsNMOS} = 50\Omega$, dok svaki od PMOS tranzistora koji čine NILI logičko kolo u provodnom režimu ima otpornost kanala $r_{dsPMOS} = 100\Omega$. Logička kola se napajaju sa $V_{DD} = 5V$. Izračunati i nacrtati vremenski oblik napona u tački A.
- b) [8] Ako se invertori, sa izuzetkom ulazne kapacitivnosti, ponašaju kao idealani (sa naponom praga $V_{DD}/2$ i nultom izlaznom otpornošću), izračunati i nacrtati vremenski oblik napona u tački B.



2. KOLOKVIJUM

1. a) [5] Nacrtati strukturu BiCMOS invertora.
- b) [5] Ako je otpornost kanala oba MOS tranzistora 100Ω , a $\beta=100$ za NPN tranzistore, kolika je izlazna otpornost BiCMOS invertora za slučaj logičke nule i jedinice.
- c) [10] Na primeru operacionog pojačavača sa povratnom spregom ilustrovati upotrebu bilateralnog prekidača. Otpornost kanala zanemariti, a pojačavač treba da ima pojačanje -10 ako je logički signal dozvole jednak $5V$, a pojačanje -5 ako je logički signal dozvole jednak $0V$. Ulazni napon je bipolaran, napon praga MOS tranzistora je $1V$, a otpornici u kolu mogu da imaju vrednost u opsegu od $1k\Omega$ do $10k\Omega$.

2. [30] Na slici je prikazano kolo astabilnog multivibratora. Korišćeni CMOS invertori imaju prenosnu karakteristiku prikazanu na slici sa pragovima napona $V_{TL} = 2V$ i $V_{TH} = 3V$, kao i beskonačnu ulaznu i nultu izlaznu otpornost. Na ulazima invertora **postoje** idealne zaštitne diode. Kapacitivnost kondenzatora je $C = 25nF$, a otpornost otpornika je $R = 20k\Omega$. Ako kolo radi u ustaljenom režimu, izračunati i nacrtati vremenske oblike naponskih signala u tačkama X, Y i Z i izračunati frekvenciju oscilovanja kola.



3. KOLOKVIJUM

1. a) [10] Nacrtati šemu A/D konvertora sa jednostrukim nagibom, objasniti kako funkcioniše i kako se rekonstruiše (određuje) konvertovani napon (dati formulu u funkciji od parametara kola).
 b) [10] Nacrtati principijelnu šemu i objasniti princip funkcionisanja S/H (prati-pamti) kola. Na primeru jedne četvrtine periode sinusoide i učestanosti odabiranja od 16 odbiraka po celoj periodi, ilustrovati vremenskim dijagramom rad S/H kola.

2. Za D/A konvertor sa slike je poznato $R_D = 1k\Omega$, $R_f = 1k\Omega$, $R_0 = 31k\Omega$, $R_1 = 15k\Omega$, $R_2 = 7k\Omega$, $R_3 = 3k\Omega$, $R_4 = 2.133k\Omega$ i $V_{DD} = 12V$. Poznato je da logički nivo $Q_i = 1$ zatvara odgovarajući prekidač, a da logički nivo $Q_i = 0$ otvara odgovarajući prekidač. Prekidači se mogu smatrati idealnim (tj. kada je zatvoren, prekidač se ponaša kao kratak spoj, a kada je otvoren, prekidač se ponaša kao otvorena veza).

a) [22] Izvesti izraz za analogni izlazni napon D/A konvertora u zavisnosti od vrednosti binarnih promenljivih Q_3, Q_2, Q_1, Q_0 .

b) [4] Za koju kombinaciju binarnih promenljivih Q_3, Q_2, Q_1, Q_0 je analogni izlazni napon D/A konvertora minimalan i koliko iznosi njegova vrednost u tom slučaju?

c) [4] Za koju kombinaciju binarnih promenljivih Q_3, Q_2, Q_1, Q_0 je analogni izlazni napon D/A konvertora maksimalan i koliko iznosi njegova vrednost u tom slučaju?

