

1. [20] a) Nacrtati strukturu trostatičnog CMOS invertora u diskretnoj i integrisanoj tehnologiji i objasniti princip funkcionisanja.
- b) Nacrtati strukturu 1-bitnog bidirekcionog bafera i istinitosnom tabelom objasniti princip funkcionisanja.
- c) Nacrtati šemu i objasniti princip funkcionisanja 4-bitnog binarnog komparatora realizovanog sa kolima sa otvorenim drejnom.
- d) Nacrtati BiCMOS invertor. Ako je $\beta_f = 100$ za bipolarne tranzistore, odrediti i objasniti relativnu promenu parametra t_{pd} u odnosu na CMOS invertor napravljen u istoj tehnologiji.

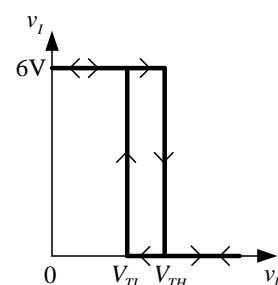
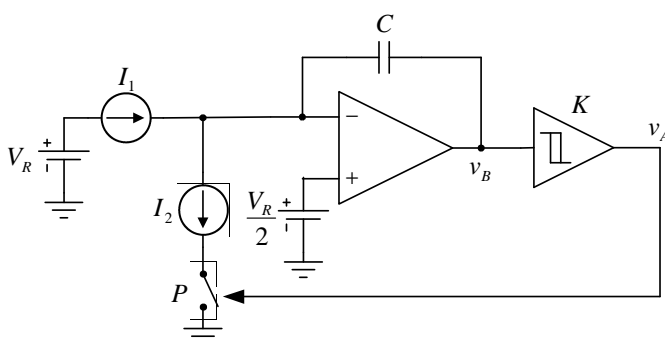
2. a) [20] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju $Z = \overline{A + B \cdot C \cdot (D + E)}$.

b) [10] Poznato je da svaki od MOS tranzistora koji čine logičko kolo iz prethodne tačke u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa, da svaki od NMOS tranzistora u provodnom režimu ima otpornost od $r_{dsNMOS} = 20\Omega$ između drejna i sorsa, i da svaki od PMOS tranzistora u provodnom režimu ima otpornost od $r_{dsPMOS} = 50\Omega$ između drejna i sorsa. Ako se na izlaz kola poveže kondenzator kapacitivnosti $C = 5\text{pF}$, izračunati vremensku konstantu punjenja kondenzatora τ_{pu} u najsporijem slučaju, i vremensku konstantu pražnjenja kondenzatora τ_{pr} u najsporijem slučaju.

3. a) [10] Nacrtati šemu invertujućeg komparatora sa histerezisom. Na raspolaganju su operacioni pojačavač i minimalan potreban broj otpornika. Odrediti i nacrtati prenosnu karakteristiku komparatora. Operacioni pojačavač se napaja sa dve baterije za napajanje V_{CC} i $-V_{CC}$.

b) [10] Nacrtati šemu retrigerabilnog monostabilnog multivibratora i potom objasniti i odgovarajućim vremenskim dijagramima ilustrovati njegov rad.

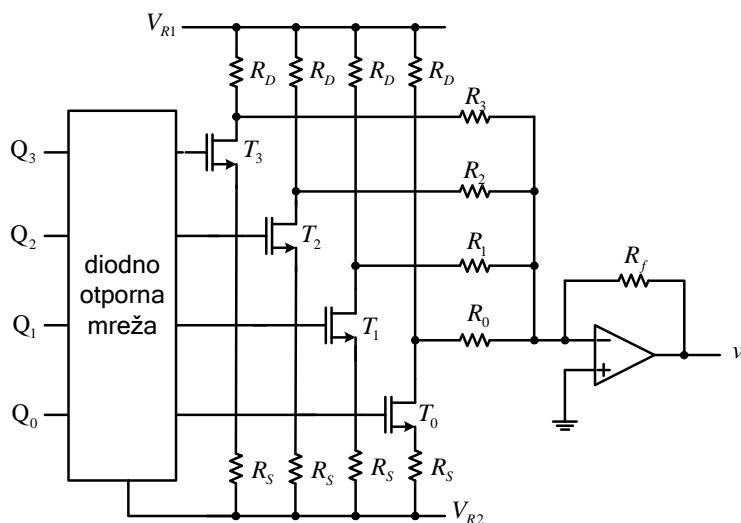
4. [30] Za kolo astabilnog multivibratora sa slike izračunati i nacrtati vremenske dijagrame napona v_A i v_B u ustaljenom režimu i izračunati frekvenciju oscilovanja. Prenosna karakteristika komparatora K je prikazana na slici, pri čemu su vrednosti pragova napona $V_{TL} = 2\text{V}$ i $V_{TH} = 4\text{V}$. Operacioni pojačavač je idealan i napaja se jednom baterijom za napajanje $V_{DD} = 6\text{V}$. Smatrati da je ekvivalentna otpornost prekidača P kada je zatvoren $r_p \rightarrow 0$, a kada je otvoren $r_p \rightarrow \infty$. Visoki logički nivo na izlazu komparatora zatvara prekidač P, dok nizak logički nivo na izlazu komparatora drži prekidač otvorenim. Poznato je i da je $V_R = 6\text{V}$, $I_1 = 10\text{mA}$, $I_2 = 20\text{mA}$ i $C = 100\text{nF}$.



5. [20] Nacrtati logičku šemu A/D konvertora sa generatorom rampe i objasniti način na koji funkcioniše.

6. [30] Diodno-otpornom mrežom obezbeđeno je da NMOS tranzistori u kolu D/A konvertora sa slike rade kao prekidači kada su ulazni digitalni signali standardni CMOS signali ($0 \div 5V$).

Odrediti vrednosti otpornika R_D , R_0 , R_1 , R_2 i R_3 ako se zahteva da maksimalna apsolutna vrednost izlaznog napona bude $|V_{max}| = 7V$. Poznato je: $V_{R1} = 10V$, $V_{R2} = -1V$, $R_S = 900\Omega$, otpornost NMOS tranzistora kada provode $r_{ON} = 100\Omega$, $R_f = 4k\Omega$. Sve ostale karakteristike svih komponenti su idealne.



Studenti koji polažu integralni ispit rade zadatke 1, 2, 3, 4, 5 i 6 u trajanju od 3 sata.

Studenti koji polažu treći kolokvijum rade zadatke 5 i 6 u trajanju od 1,5 sata.

Studenti koji polažu prvi i treći kolokvijum rade zadatke 1, 2, 5 i 6 u trajanju od 2 sata.

Studenti koji polažu drugi i treći kolokvijum rade zadatke 3, 4, 5 i 6 u trajanju od 2 sata.

NA KORICI VEŽBANKE OBAVEZNO NAZNAČITI KOJA VARIJANTA POLAGANJA JE IZABRANA.