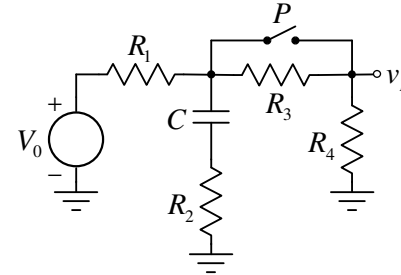


1. [20] a) Objasniti snage disipacije CMOS logičkih kola i koje su formule za njihovu procenu.
- b) Kako vreme uspona i pada pobudnog signala utiče na  $P_T$  CMOS invertora?
- c) Kako kapacitivno opterećenje utiče na  $P_C$  CMOS invertora?

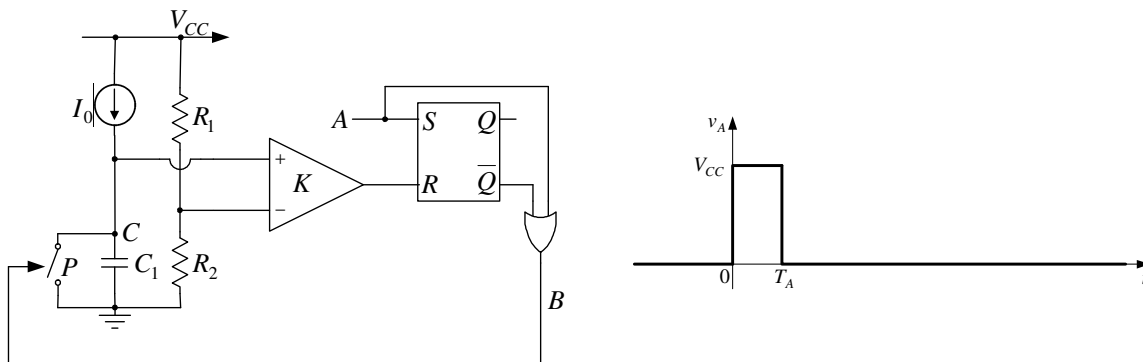
2. [30] U kolu sa slike naponski generator generiše konstantan napon  $V_0 = 5V$ . Za  $t < 0$  kolo se nalazi u stacionarnom stanju i prekidač  $P$  je otvoren. Odrediti i nacrtati vremenski oblik napona  $v_1(t)$ , ako se u trenutku  $t = 0$  prekidač  $P$  zatvori. Poznato je  $R_1 = R_2 = 4.7k\Omega$ ,  $R_3 = R_4 = 800\Omega$  i  $C = 22nF$ .



3. a) [5] Nacrtati komparator sa histerezisom koji je realizovan pomoću integrisanog komparatora i dva jednaka otpornika povezana u invertujuću konfiguraciju (ulazni signal ide direktno na ‘-’ priključak komparatora). Ako su otpornici jednakih vrednosti, a naponi napajanja  $V_{CC} = 5V$ ,  $V_{EE} = 0$ , izračunati i nacrtati jednosmernu prenosnu karakteristiku.
- b) [5] Nacrtati CMOS realizaciju D flip flop kola sa asinhronim S priključkom. Signal C je aktivan na silaznu ivicu takta, dok je S aktivan na logičkoj jedinici. Nacrtati njegovu istinitosnu tabelu. Šta treba uraditi da bi C bio aktivan na logičkoj jedinici, a da se broj tranzistora u kolu ne promeni? Koliko je tranzistora upotrebljeno za realizaciju kola?
- c) [5] Objasniti razliku sa stanovišta korisnika između komparatora i operacionog pojačavača. Navesti bar dve razlike u konstrukciji.
- d) [5] Ako je amplituda šuma na ulazu Šmitovog kola  $10mV$ , kolika treba da bude razlika  $V_{TH} - V_{TL}$ , da bi kolo bilo imuno na šum?

4. [30] U kolu sa slike, otpornosti oba otpornika, kapacitivnost kondenzatora  $C_1$ , napon napajanja  $V_{CC}$  i struja strujnog izvora  $I_0$  se mogu smatrati poznatim. Naponski kontrolisani prekidač  $P$  je zatvoren ako je  $B = 1$  i tada se može ekvivalentirati otpornošću  $R_{ON} \rightarrow 0$ , a otvoren je ako je  $B = 0$  i tada se može ekvivalentirati otpornošću  $R_{OFF} \rightarrow \infty$ . Logičko ILI kolo je idealano, CMOS tipa sa naponom napajanja  $V_{CC}$ , a SR leč sačinjavaju CMOS logička kola sa naponom napajanja  $V_{CC}$ . Komparator  $K$  je idealan sa naponom napajanja  $V_{CC}$ . Za  $t < 0$  se celo kolo nalazilo dovoljno dugo vremena u stacionarnom stanju.

Odrediti i nacrtati vremenske dijagrame napona u tačkama B, C i izlazu leča Q, ako se na ulaz A dovede kratkotrajni naponski impuls prikazan na slici. Odrediti trajanje impulsa u tački B i tački Q.



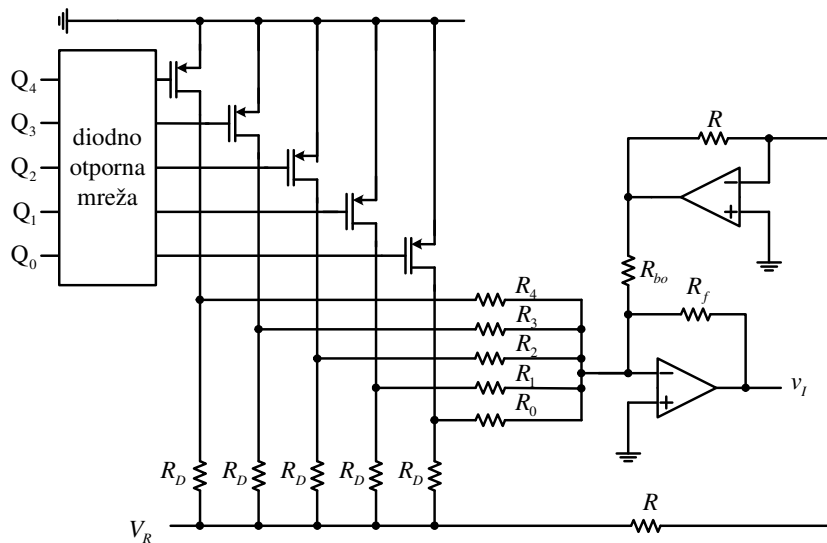
5. a) [5] Nacrtati realizaciju S/H kola i objasniti njegovu ulogu.  
 b) [5] Nacrtati i objasniti kako se S/H kolo povezuje sa A/D konvertorom i signalnim linijama koje upravljaju konverzijom.  
 c) [10] Nacrtati i objasniti konstrukciju i ulogu analognih multipleksera u merenju jednostrukih i diferencijalnih naponskih kanala pomoću AD konvertora.

6. [30] Na slici je prikazan bipolarni D/A konvertor sa težinskom otpornom mrežom sledećih karakteristika:

- rezolucija: 5 bita (4bita+znak)
- kôd: binarni ofset
- opseg izlaznog napona:  $V_{\min} = -5V$  za ulazni kôd  $Q_4Q_3Q_2Q_1Q_0 = 00000$ ,  
 $V_{\max} = +4.6875V$  za ulazni kôd  $Q_4Q_3Q_2Q_1Q_0 = 11111$ .

Diodno-otporna mreža prilagođava naponske nivoe standardne digitalne CMOS logike na naponske nivoe koji odgovaraju ovom D/A konvertoru.

Izračunati vrednosti svih otpornika u D/A konvertoru ako je poznato  $V_R = -10.2V$ ,  $R_D = 1k\Omega$ , otpornost otpornika povratne sprege  $R_f = 1k\Omega$ , dok se otpornost kanala uključenog tranzistora može zanemariti.



Studenti koji polažu integralni ispit rade zadatke 1, 2, 3, 4, 5 i 6 u trajanju od 3 sata.

Studenti koji polažu treći kolokvijum rade zadatke 5 i 6 u trajanju od 3 sata.

Studenti koji polažu prvi i treći kolokvijum rade zadatke 1, 2, 5 i 6 u trajanju od 3 sata.

Studenti koji polažu drugi i treći kolokvijum rade zadatke 3, 4, 5 i 6 u trajanju od 3 sata.

**NA KORICI VEŽBANKE OBAVEZNO NAZNACITI KOJA VARIJANTA POLAGANJA JE IZABRANA.**