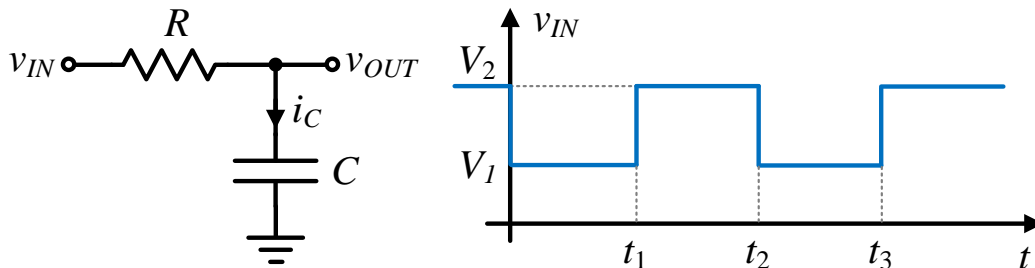


Osnovi digitalne elektronike (13E042OD)

- VEŽBE -

Logička kola

- 1 Za kolo sa slike odrediti izraz i nacrtati vremenski dijagram napona v_{OUT} . Ulazni napon je periodičan i pravougaonog je talasnog oblika, a njegov vremenski dijagram je prikazan na slici. Smatrati da je $t_2 - t_1 = t_3 - t_2 > 5RC$.



Rešenje:

Kako je $t_2 - t_1 = t_3 - t_2 > 5RC$, to znači da se može smatrati da su svi prelazni procesi završeni pre promene ulaznog napona sa vrednosti V_1 na vrednost V_2 (npr. trenutak t_1) ili promene ulaznog napona sa vrednosti V_2 na vrednost V_1 (npr. trenutak t_2). Ovo će biti detaljnije objašnjeno dalje u rešenju ovog zadatka.

S obzirom na to da su prelazni procesi završeni, možemo smatrati da je $v_{OUT}(t_1^-) = v_{IN}(t_1^-) = V_1$. Napon na ulazu u trenutku t_1^+ tada možemo posmatrati kao Hevisajdovu funkciju $v_{IN}(t > t_1) = V_2 u(t - t_1)$, a vrednost napona na kondenzatoru je $v_C(t_1^+) = v_{OUT}(t_1^+) = V_1$. Radi lakše analize, možemo pomeriti vremensku osu za t_1 , pa je tada: $v_{IN}(t) = V_2 u(t)$ i $v_C(0^+) = v_{OUT}(0^+) = V_1$.

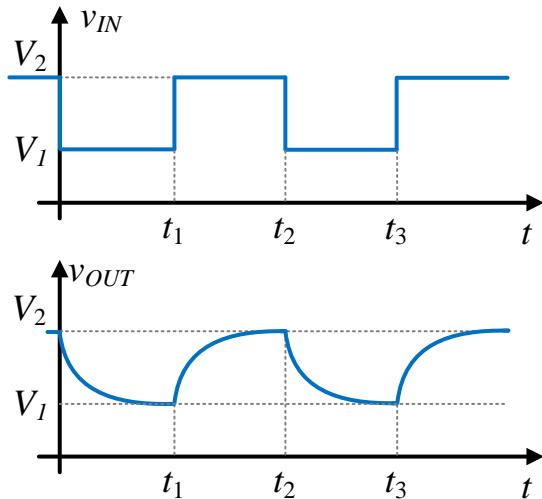
U opštem slučaju važi da je: $v_{OUT}(t) = v_{IN}(t) - Ri_C = v_{IN}(t) - RC \frac{dv_{OUT}(t)}{dt}$. Ovaj izraz predstavlja linearnu diferencijalnu jednačinu sa konstantnim koeficijentima koju možemo rešiti primenom Laplasove transformacije:

$$\frac{dv_{OUT}(t)}{dt} + \frac{1}{RC} v_{OUT}(t) = \frac{1}{RC} v_{IN}(t) \Rightarrow L \left\{ \frac{dv_{OUT}(t)}{dt} + \frac{1}{RC} v_{OUT}(t) \right\} = L \left\{ \frac{1}{RC} v_{IN}(t) \right\} \Rightarrow$$

$$sV_{out}(s) - v_{OUT}(0) + \frac{1}{RC} V_{out}(s) = \frac{1}{RC} V_{in}(s) \Rightarrow \left(s + \frac{1}{RC} \right) V_{out}(s) = v_{OUT}(0) + \frac{1}{RC} \cdot \frac{1}{s} V_2 \Rightarrow$$

$$V_{out}(s) = \frac{v_{OUT}(0)}{s + \frac{1}{RC}} + \frac{V_2}{s} - \frac{V_2}{s + \frac{1}{RC}} \Rightarrow v_{OUT}(t) = L^{-1} \left\{ \frac{v_{OUT}(0)}{s + \frac{1}{RC}} + \frac{V_2}{s} - \frac{V_2}{s + \frac{1}{RC}} \right\}, \text{ pa se konačno}$$

dobija: $v_{OUT}(t) = v_{OUT}(0)e^{-t/RC}u(t) + V_2u(t) - V_2e^{-t/RC}u(t) = V_2u(t) + (v_{OUT}(0) - V_2)e^{-t/RC}u(t)$.



Slika 1.1 – Vremenski dijagrami ulaznog i izlaznog napona RC kola

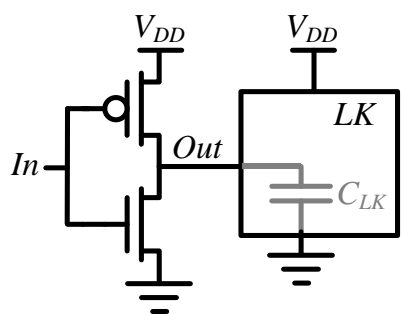
Lako je primetiti da za $t \rightarrow \infty$ izlazni napon teži $v_{OUT}(\infty) = V_2$, pa se za rednu vezu otpornika i kondenzatora iz zadatka može pisati opšti oblik vremenskog oblika napona na kondenzatoru nakon skokovite promene ulaznog napona

$$v_{OUT}(t) = v_{OUT}(\infty) + (v_{OUT}(0) - v_{OUT}(\infty))e^{-t/RC}, \text{ za } t > 0.$$

Na osnovu prethodne analize, nakon trenutka t_1 možemo pisati da je $v_{OUT}(t) = V_2 + (V_1 - V_2)e^{-(t-t_1)/RC}$, dok je nakon trenutka t_2 $v_{OUT}(t) = V_1 + (V_2 - V_1)e^{-(t-t_2)/RC}$. Grafik izlaznog napona je prikazan na slici.

Posle vremena od $t = 5\tau$, gde je $\tau = RC$ vrednost izlaznog napona iznosi $v_{OUT}(5\tau) = V_2 + (V_1 - V_2)e^{-5} = 0,9933V_2 + 0,0067V_1$ u prvom, odnosno $v_{OUT}(5\tau) = V_1 + (V_2 - V_1)e^{-5} = 0,9933V_1 + 0,0067V_2$ u drugom slučaju što opravdava pretpostavku da su posle 5τ završeni prelazni procesi.

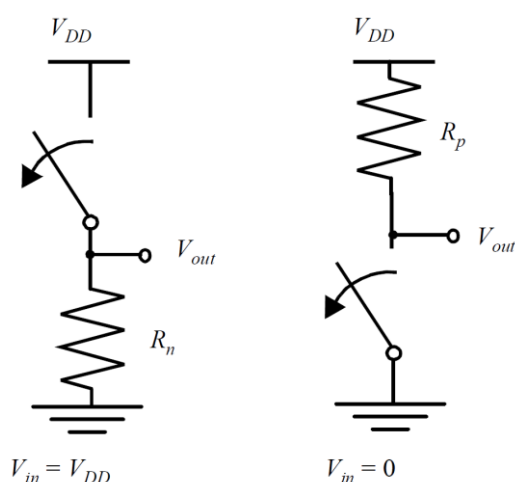
- 2 Na kolo CMOS invertora u nekom integrisanom kolu doveden je signal takta u obliku simetrične povorke unipolarnih pravougaonih impulsa učestanosti $f = 1 \text{ GHz}$. CMOS invertor je povezan na napajanje $V_{DD} = 2,5 \text{ V}$, a na izlazu se nalazi drugo logičko kolo koje se nalazi u okviru istog integrisanog kola, a čija se kapacitivnost može modelovati kondenzatorom od $C_{LK} = 10 \text{ fF}$. Maksimalna vrednost napona signala takta je $V_m = V_{DD}$. Oba tranzistora imaju dužinu kanala $L = 250 \text{ nm}$, dok je širina kanala NMOS tranzistora $W_{NMOS} = 500 \text{ nm}$, a PMOS tranzistora $W_{PMOS} = 1 \mu\text{m}$. Ekvivalentne otpornosti NMOS



tranzistora u prelaznim režimima iznose: $R_{eq,NMOS} = 13 \text{ k}\Omega/\square$, $R_{eq,PMOS} = 31 \text{ k}\Omega/\square$.

- Odrediti talasni oblik napona na izlazu invertora.
- Izvesti izraz za energiju koja se disipira u kolu u toku jedne periode, a zatim i za srednju snagu. Zanemariti struje curenja.
- Komentarirati rezultate u prethodnim tačkama za niske i visoke učestanosti signala takta.

Rešenje:



Slika 2.1 – Prekidački model invertora

zadatka 1): $v_{OUT}(t) = v_{OUT}(\infty) + (v_{OUT}(0) - v_{OUT}(\infty))e^{-t/RC} = V_{DD} e^{-t/R_n C_{LK}} = 2,5 \text{ V} \cdot e^{-t/65 \text{ ps}}$, dok je u drugom slučaju izlazni napon invertora:

$$v_{OUT}(t) = v_{OUT}(\infty) + (v_{OUT}(0) - v_{OUT}(\infty))e^{-t/RC} = V_{DD} (1 - e^{-t/R_p C_{LK}}) = 2,5 \text{ V} \cdot (1 - e^{-t/77,5 \text{ ps}})$$

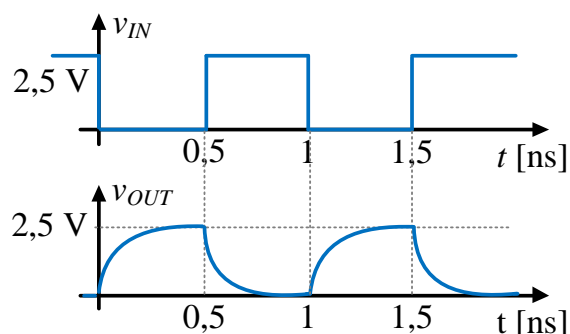
Talasni oblici su nacrtani na slici 2.2.

- CMOS invertor se može predstaviti prekidačkim modelom sa slike 2.1. Otpornosti tranzistora su:

$$R_n = R_{eq,NMOS} \frac{L}{W} = 13 \text{ k}\Omega \cdot \frac{250 \text{ nm}}{500 \text{ nm}} = 6,5 \text{ k}\Omega \quad \text{i}$$

$$R_p = R_{eq,PMOS} \frac{L}{W} = 31 \text{ k}\Omega \cdot \frac{250 \text{ nm}}{1 \mu\text{m}} = 7,75 \text{ k}\Omega.$$

Pri prelazu izlaza sa logičke jedinice na logičku nulu, vremenska konstanta je prema prethodnom zadatku $\tau_{HL} = R_n C_{LK} = 65 \text{ ps}$. Pri prelazu izlaza sa logičke nule na logičku jedinicu, vremenska konstanta je $\tau_{LH} = R_p C_{LK} = 77,5 \text{ ps}$. U prvom slučaju, izraz za izlazni napon je (na osnovu

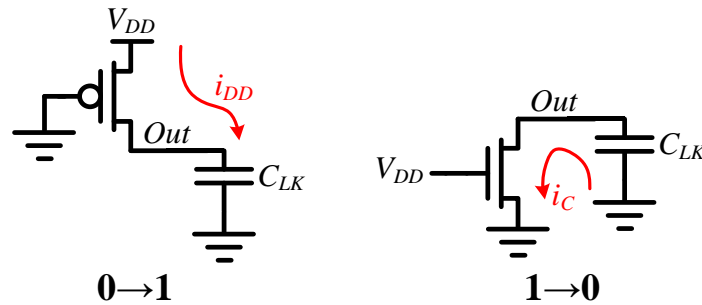


Slika 2.2 – Talasni oblici signala na ulazu i izlazu invertora

b) S obzirom na to da je $5\tau_{HL} < 5\tau_{LH} < \frac{T_{CLK}}{2} = \frac{1}{2f_{CLK}}$ može se smatrati da se u kolu uspostavi

stacionarno stanje pre svake promene ulaznog napona, tj. izlazni napon uvek dostiže napone V_{DD} i 0 V pre nego što se desi sledeća promena ulaznog napona.

Na slici 2.2 prikazane su ekvivalentne šeme invertora prilikom prelaska izlaza sa logičke nule na logičku jedinicu (levo) i pri prelasku izlaza sa logičke jedinice na logičku nulu (desno).



Slika 2.2 – Modeli invertora i opterećenog logičkog kola pri različitim prelazima izlaza

Iz modela se može primetiti da se energija crpi iz napajanja jedino pri prelazu izlaza sa logičke nule na logičku jedinicu i ta energija iznosi:

$$E_{VDD} = \int_0^{\infty} V_{DD} i_{DD} dt = \int_0^{\infty} V_{DD} C \frac{dv_{OUT}}{dt} dt = C \int_0^{V_{DD}} V_{DD} dv_{OUT} = CV_{DD}^2. \text{ Energija koja se iskoristi za}$$

punjenje izlazne kapacitivnosti iznosi:

$$E_C = \int_0^{\infty} v_{OUT} i_{DD} dt = \int_0^{\infty} v_{OUT} C \frac{dv_{OUT}}{dt} dt = C \int_0^{V_{DD}} v_{OUT} dv_{OUT} = \frac{CV_{DD}^2}{2}. \text{ Druga polovina energije se}$$

disipira na otpornosti PMOS tranzistora. Energija iz napunjenog kondenzatora se u drugoj poluperiodi takta (prelaz izlaza sa "1" na "0") disipira na otpornosti NMOS tranzistora. Kako je ukupna energija koja se disipira u toku jedne periode takta $E_{VDD} = CV_{DD}^2 = 62,5 \text{ fJ}$, to je

$$\text{srednja snaga } P = \frac{E_{VDD}}{T_{CLK}} = f_{CLK} CV_{DD}^2 = 62,5 \mu\text{W}.$$

c) Smanjenjem učestanosti signala takta, može se ostvariti manja potrošnja kola. Povećanjem učestanosti signala takta povećava se potrošnja, ali se može desiti da kolo u toku poluperiode ne ulazi u stacionarno stanje i u tom slučaju bi vremenski dijagrami izgledali drugačije.

Domaći:

Nacrtati vremenske dijagrame iz tačke a) za slučaj kada je $f_{CLK} = 2/RC$ i $f_{CLK} = 1/RC$, gde je $C_{LK} = C$ i $R_n = R_p = R$. Da li kolo zadržava funkciju invertora u ovim slučajevima? Kolo zadržava funkciju invertora ako se u nekom trenutku na ulazu opterećenog logičkog kola napon može protumačiti kao logička jedinica ili kao logička nula, tj. $v_{OUT} < V_{IL}$ ili $v_{OUT} > V_{IH}$.

* Obratiti pažnju da parametri u zadatku odgovaraju kolima koja su deo nekog integrisanog kola. Opteretne kapacitivnosti su za 3 reda veličine veće kada su izlazi kola izvedeni na pinove kućišta čipa. Obično su tada i logička kola na izlazima sastavljena od tranzistora čije su širine kanala veće, pa su im ekvivalentne otpornosti manje kako bi se ostvarila zadovoljavajuća kašnjenja (više o tome u zadatku 6).

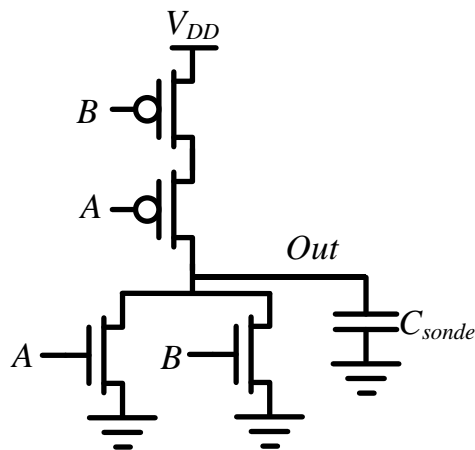
3 Nacrtati električnu šemu dvoulaznog NILI kola realizovanog u statičkoj CMOS logici. NILI kolo se može iskoristiti da se napravi inverter i to na dva načina:

- Ulaz B je preko *pull down* otpornika povezan na masu, a ulaz A je ulaz realizovanog invertora.
- Ulazi A i B su spojeni.

Odrediti ukupno kašnjenje ovog logičkog kola u ova dva slučaja.

Na izlaz kola je povezana sonda osciloskopa čija je kapacitivnost $C_{sonde} = 10 \text{ pF}$. Poznati su sledeći podaci: napajanje logičkog kola je $V_{DD} = 2,5 \text{ V}$. Svi tranzistori imaju dužine kanala $L = 250 \text{ nm}$, dok je širina kanala NMOS tranzistora $W_{NMOS} = 1 \text{ }\mu\text{m}$, a PMOS tranzistora $W_{PMOS} = 5 \text{ }\mu\text{m}$. Ekvivalentne otpornosti NMOS tranzistora u prelaznim režimima iznose: $R_{eq,NMOS} = 13 \text{ k}\Omega/\square$, $R_{eq,PMOS} = 31 \text{ k}\Omega/\square$.

Rešenje:



Slika 3.1 – Šema NI kola

Električna šema NILI kola je prikazana na slici 3.1. U ovom zadatku se tranzistori modeluju na isti način kao u prethodnom zadatku. Otpornosti NMOS i PMOS tranzistora su:

$$R_n = R_{eq,NMOS} \frac{L}{W} = 13 \text{ k}\Omega \cdot \frac{250 \text{ nm}}{1 \text{ }\mu\text{m}} = 3,25 \text{ k}\Omega$$

$$R_p = R_{eq,PMOS} \frac{L}{W} = 31 \text{ k}\Omega \cdot \frac{250 \text{ nm}}{5 \text{ }\mu\text{m}} = 1,55 \text{ k}\Omega$$

Kašnjenje logičkog kola predstavlja vreme koje protekne između trenutka kada ulazni signal prolazi kroz 50% maksimalne vrednosti do trenutka kada izlazni signal prolazi kroz 50% maksimalne

vrednosti signala. Neka su ti trenuci t_1 i t_2 . Za redno RC kolo poznat je opšti izraz za napon

$$v_{OUT}: \quad v_{OUT} = v_{OUT}(\infty) - [v_{OUT}(\infty) - v_{OUT}(0)]e^{-\frac{t}{\tau}}, \quad \text{odakle se dobija izraz za } t:$$

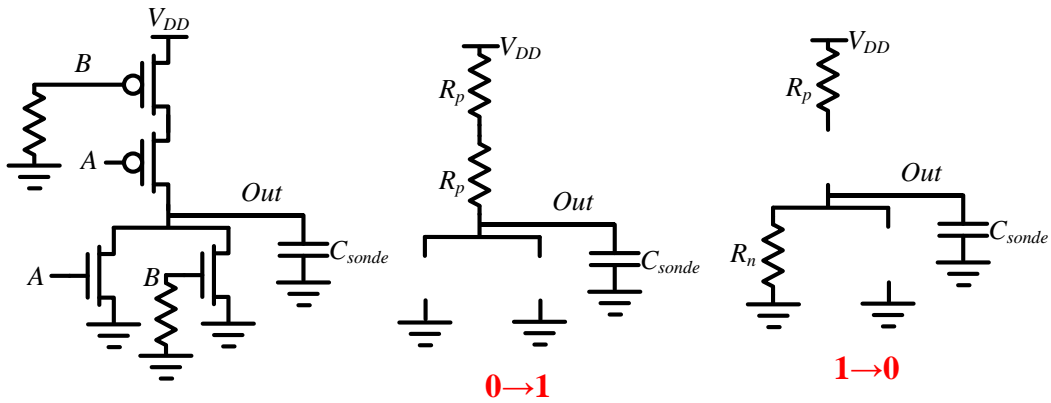
$$t = \tau \ln \frac{v_{OUT}(\infty) - v_{OUT}(0)}{v_{OUT}(\infty) - v_{OUT}(t)}, \quad \text{odakle sledi da je } \Delta t = t_2 - t_1 = \tau \ln \frac{v_{OUT}(\infty) - v_{OUT}(t_1)}{v_{OUT}(\infty) - v_{OUT}(t_2)}. \quad \text{U}$$

konkretnom zadatku je za kašnjenje $v_{OUT}(t_1) = 0$ i $v_{OUT}(t_2) = 0,5 \cdot v_{OUT}(\infty)$, pa je:

$$t_{50\%} = \tau \ln \frac{v_{OUT}(\infty)}{0,5 \cdot v_{OUT}(\infty)} = \tau \ln 2 = 0,69\tau.$$

S obzirom na to da su otpornosti NMOS i PMOS tranzistora različite, razlikuju se i kašnjenja silazne i uzlazne ivice signala. Za slučaj kada je B ulaz povezan na masu, ekvivalentne šeme pri prelazima izlaza sa logičke nule na logičku jedinicu i obrnuto, prikazane su na slici 3.2. U ovom slučaju je $t_{pLH} = 2R_p C_{sonde} \ln 2$ i $t_{pHL} = R_n C_{sonde} \ln 2$, pa je ukupno kašnjenje

$$t_p = \frac{t_{pLH} + t_{pHL}}{2} = \frac{R_n + 2R_p}{2} C_{sonde} \ln 2 = 21,908 \text{ ns}.$$

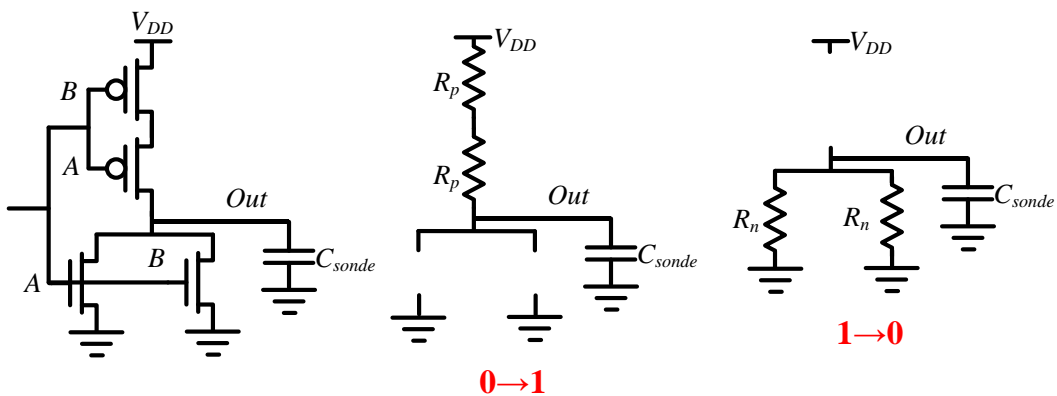


Slika 3.2 – Ekvivalentne šeme NILI kola za tačku a)

Za slučaj kada su A i B ulazi međusobno povezani, ekvivalentne šeme pri prelazima izlaza sa logičke nule na logičku jedinicu i obrnuto, prikazane su na slici 3.3. U ovom slučaju je

$$t_{pLH} = 2R_p C_{sonde} \ln 2 \quad \text{i} \quad t_{pHL} = \frac{R_n}{2} C_{sonde} \ln 2, \quad \text{pa je ukupno kašnjenje}$$

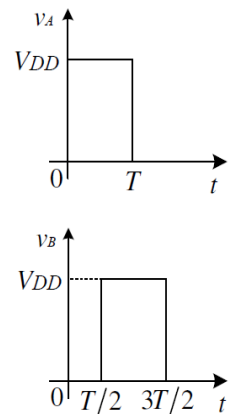
$$t_p = \frac{t_{pLH} + t_{pHL}}{2} = \frac{R_n/2 + 2R_p}{2} C_{sonde} \ln 2 = 16,3 \text{ ns}.$$



Slika 3.3 – Ekvivalentne šeme NILI kola za tačku b)

Domaći:

1. Odrediti trajanja uzlaznih i silaznih ivica ovog kola u oba slučaja.
2. Kako se od NI kola može napraviti invertor? Uraditi istu analizu, ako se invertori prave od NI kola.
3. Odrediti kolika je srednja snaga koja se disipira u obe konfiguracije ako se na ulaz dovodi simetričan signal takta učestanosti 1 MHz.
4. Odrediti vremenske dijagrame napona na izlazu ako se na ulaze A i B dovedu signali kao sa slike 3.4. Smatrati da je $T = 350 \text{ ns}$. Ponoviti postupak ako na izlaz nije nakačena sonda osciloskopa.



Slika 3.4

4 a) Nacrtať elektrickú šemu NI logického kola. Zatiaľ, modifikovať šemu kola tak, aby všetci tranzistori z PMOS siete boli nahradení pull-up rezistorom odporu R_{pu} .

b) Zistiť vzťah pre výstupný napätie NI kola s pull-up rezistorom, ak sa na vstup A privádza symetrický pravouhloňový impulz periódy $T = 400 \text{ ns}$, a signál B je na úrovni "1". Na výstupe je pripojená sonda osciloskopa kapacitnosti $C_{sonde} = 10 \text{ pF}$. Nacrtať časové diagramy napätia na vstupe A a výstupe Y jeden pod druhým.

c) Zistiť vzťah pre a vypočítať oneskorenie logického nuly na výstupe NI kola v situácii z bodu b).

Odporu všetkých NMOS tranzistorov sú rovnaké a majú hodnotu $R_{NMOS} = 200 \Omega$, a odporu všetkých PMOS tranzistorov sú $R_{PMOS} = 400 \Omega$. Hodnota odporu pull-up rezistora je $R_{pu} = 3,6 \text{ k}\Omega$. Napätie napájania je $V_{DD} = 2,5 \text{ V}$.

a)

$R_{pu} = 3,6 \text{ k}\Omega$ $R_n = 200 \Omega$

b)

$A = 0$ $V_{out}(0) = V_T$
 V_{DD} $V_{out}(\infty) = V_{DD}$

$\tau_{LH} = R_{pu} \cdot C_{sonde} = 3,6 \text{ k}\Omega \cdot 10 \text{ pF} = 36 \mu\text{s}$
 $5\tau_{LH} = 5 \cdot 36 = 180 \mu\text{s}$

$A = 1$ $V_{out}(0) = V_{DD}$
 $V_{out}(\infty) = V_T$

$R_T = R_{pu} \parallel (2R_n) = \frac{R_{pu} \cdot 2R_n}{R_{pu} + 2R_n} = 0,36 \text{ k}\Omega$

$V_T = \frac{2R_n}{2R_n + R_{pu}} V_{DD} = \frac{0,4 \text{ k}\Omega}{4 \text{ k}\Omega} V_{DD} = 0,1 V_{DD} = 0,25 \text{ V}$

$\tau_{HL} = R_T \cdot C_{sonde} = 0,36 \text{ k}\Omega \cdot 10 \text{ pF} = 3,6 \mu\text{s}$

$$V_{out}(t) = V_{out}(\infty) + (V_{out}(0) - V_{out}(\infty)) e^{-t/\tau}$$

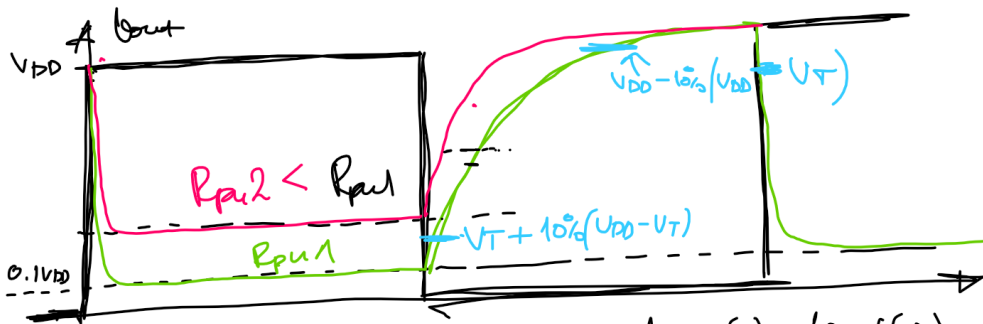
$A = 0$

$$V_{out}(t) = V_{DD} + (V_T - V_{DD}) e^{-t/\tau_{LH}}$$

$A = 1$

$$V_{out}(t) = V_T + (V_{DD} - V_T) e^{-t/\tau_{HL}}$$

$$V_T = \frac{2R_n}{2R_n + R_{pu}}$$



$2R_u + R_{pu}$

$$t_{pHL} = t \left(v_{out} = \frac{V_{DD}}{2} \right) = \tau_{HL} \ln \frac{v_{out}(0) - v_{out}(\infty)}{v_{out}(t_{pHL}) - v_{out}(\infty)} =$$

$$= \tau_{HL} \ln \frac{V_{DD} - V_T}{\frac{V_{DD}}{2} - V_T} = \tau_{HL} \ln 2,25$$

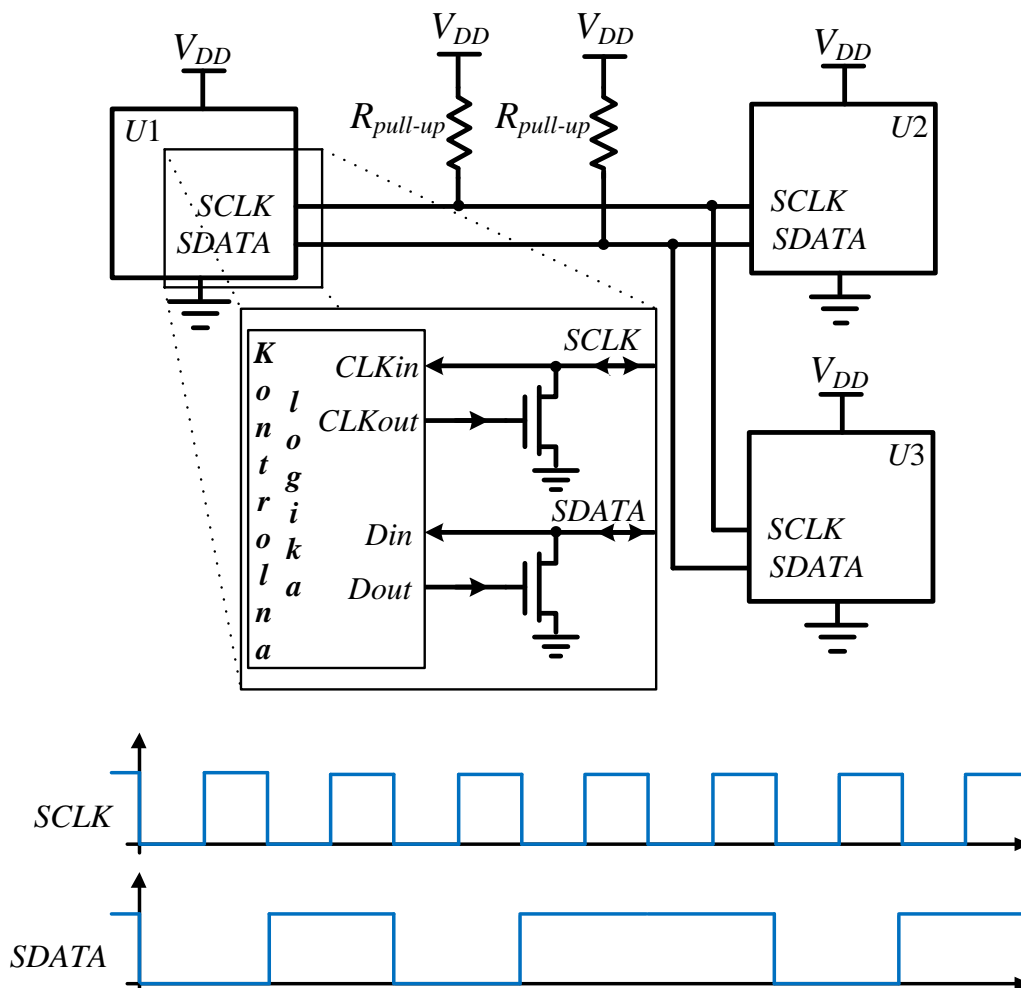
$$t_{pLH} = t \left(v_{out} = \frac{V_{DD}}{2} \right) = \tau_{LH} \ln \frac{V_T - V_{DD}}{\frac{V_{DD}}{2} - V_{DD}} = \tau_{LH} \ln 1,8$$

$t_{rise}?$ $t_{fall}?$

- 5 Na slici je prikazan jedan digitalni sistem u kome različiti uređaji razmenjuju podatke preko serijske magistrale. Serijska magistrala se sastoji od tri žice: linije za masu (koja zbog jednostavnosti nije prikazana), linije za signal takta koji je potreban za komunikaciju i linije za podatke preko koje se u određenim vremenskim trenucima šalju odgovarajući biti. Svaki od prikazana 3 uređaja može da šalje ili da prima podatke. Kako se ne bi desilo da se usled greške na izlazu jednog uređaja pojavi "1", a na izlazu drugog uređaja "0" što bi dovelo do spaljivanja izlaza, svi uređaji su povezani na magistralu preko kola sa otvorenim drejnom. U tom slučaju su neophodni *pull-up* otpornici za postavljanje logičke jedinice. Vrednost ovih otpornosti iznosi $R_{pull-up} = 5\text{ k}\Omega$. Ukupna kapacitivnost jedne linije magistrale iznosi $C_{bus} = 0,4\text{ nF}$. Napon napajanja je $V_{DD} = 2,5\text{ V}$. Otpornosti NMOS tranzistora na izlazima iznose $500\ \Omega$.

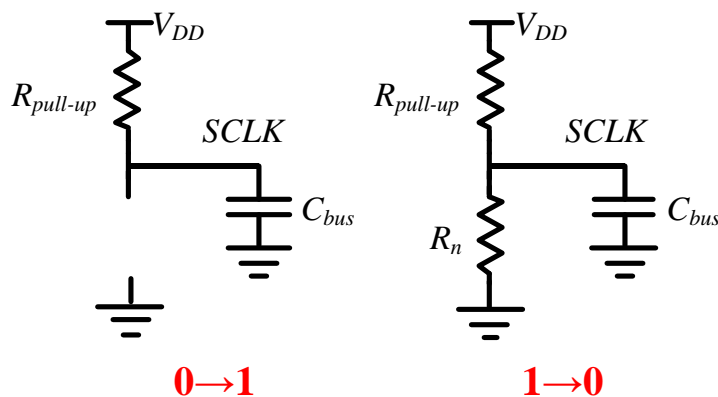
Odrediti maksimalnu učestanost rada magistrale ako je takt simetričan i ako za logička kola koja se nalaze na ulazima navedenih uređaja važi da su $V_{IL} = 0,9\text{ V}$ i $V_{IH} = 1,3\text{ V}$. S obzirom na to da se signali prenose preko žica, one predstavljaju prijemnu antenu koja prima okolne elektromagnetske smetnje i stvara šum na ulazu čija je maksimalna amplituda $V_{m,noise} = 0,2\text{ V}$.

Smatrati da se signal takta najmanje duplo češće menja nego signal podataka. Primer vremenskih dijagrama signala takta i signala podataka je prikazan na slici.



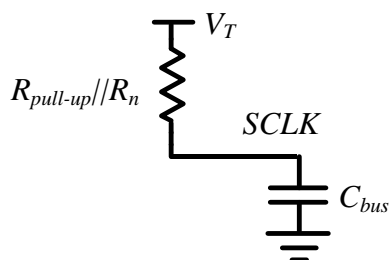
Rešenje:

Ekvivalentna šema jedne linije na magistrali prilikom prelaska signala sa logičke nule na logičku jedinicu i ekvivalentna šema prilikom prelaska sa logičke jedinice na logičku nulu prikazane su na slici 5.1.



Slika 5.1 – Ekvivalentne šeme magistrale

S obzirom na to da postoji kašnjenje usled punjenja i pražnjenja kapacitivnosti magistrale može se desiti da napon na ulazu uređaja koji prima podatke ne stigne da se promeni dovoljno pre naredne promene konfiguracije na izlazu uređaja koji šalje podatke. Da bi se na ulazu prijemnog uređaja logička nula sigurno protumačila kao logička nula, napon mora da padne ispod napona V_{IL} . Slično, da bi se na ulazu prijemnog uređaja logička jedinica sigurno protumačila kao logička jedinica, napon mora da poraste iznad napona V_{IH} . Međutim, amplituda šuma na žicama je $V_{m,noise} = 0,2 \text{ V}$. To znači da je na ulazu prijemnog uređaja signal $v_{IN} = v_{signal} + v_{noise}$. Zbog toga, mora se obezbediti da napon korisnog signala padne ispod $V_{IL} - V_{m,noise}$ pri prelazu sa logičke jedinice na logičku nulu, odnosno da poraste iznad $V_{IH} + V_{m,noise}$ pri prelazu sa logičke nule na logičku jedinicu.



Slika 5.2 – Ekvivalentna šema magistrale pri prelazu "1" → "0"

U slučaju prelaza sa logičke jedinice na logičku nulu, ekvivalentna šema se može predstaviti Tevenenovim generatorom i kapacitivnošću magistrale (slika 5.2). Napon Tevenenovog generatora iznosi

$$V_T = V_{DD} \frac{R_n}{R_n + R_{pull-up}} = \frac{0,5}{5,5} \cdot 2,5 \text{ V} = 0,227 \text{ V}.$$

U najgorem

slučaju, kapacitivnost magistrale je pre prelaza bila napunjena na napon V_{DD} , pa je vreme koje je potrebno da napon dostigne vrednost napona $V_{IL} - V_{m,noise}$:

$$\Delta t_{HL} = \tau \ln \frac{v_{OUT}(\infty) - v_{OUT}(t_1)}{v_{OUT}(\infty) - v_{OUT}(t_2)} = \tau \ln \frac{V_T - V_{DD}}{V_T - (V_{IL} - V_{m,noise})} = (R_{pull-up} \parallel R_n) C_{bus} \ln \frac{-2,273 \text{ V}}{-0,473 \text{ V}} = 0,285 \mu\text{s}$$

U slučaju prelaza sa logičke nule na logičku jednicu, u najgorem slučaju, kapacitivnost magistrale je bila napunjena na napon V_T , pa je vreme koje je potrebno da napon dostigne vrednost napona V_{IH} :

$$\Delta t_{LH} = \tau \ln \frac{v_{OUT}(\infty) - v_{OUT}(t_1)}{v_{OUT}(\infty) - v_{OUT}(t_2)} = \tau \ln \frac{V_{DD} - V_T}{V_{DD} - (V_{IH} + V_{m,noise})} = R_{pull-up} C_{bus} \ln \frac{2,273 \text{ V}}{2,5 \text{ V} - 1,5 \text{ V}} = 1,642 \mu\text{s}$$

. Napon na liniji magistrale mora dostići odgovarajući nivo za najmanje polovinu periode signala takta, pa je maksimalna učestanost rada magistrale

$$f_{max} = \frac{1}{T_{min}} = \frac{1}{2 \max(\Delta t_{HL}, \Delta t_{LH})} = 304,5 \text{ kHz} .$$

Domaći:

1. Koju logičku funkciju ostvaruju izlazi sva tri uređaja povezana na magistralu? (videti predavanja)
2. Šta se dobija, a šta gubi smanjenjem vrednosti *pull up* otpornika?
3. Zadatak 6 iz sledećih materijala za ODE za elektroniku: [link](#). Oslanja se na gradivo iz sinteze kombinacionih mreža.

- 6 Nacrtati električnu šemu statičkih jednostepenih CMOS logičkih kola koja realizuju sledeće logičke funkcije ako su na raspolaganju ulazni signali i njihove komplementarne vrednosti: a) $Y = \overline{A(B+C)}$ b) $Y = (\overline{AB+C})(\overline{BC+D+E})$.

Rešenje:

a) Jednostepena CMOS logička kola se sastoje od dve mreže: *power down* mreže (*Power Down Network - PDN*) koja se sastoji od NMOS tranzistora i *power up* mreže (*Power Up Network - PUN*) koja se sastoji od PMOS tranzistora.

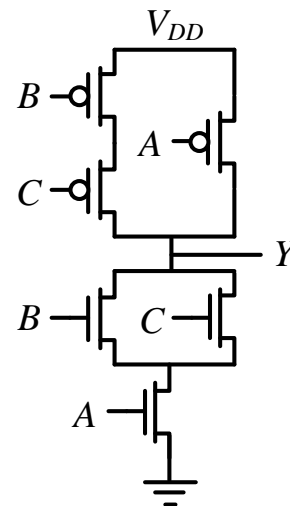
Najlakše je projektovati najpre *power down* mrežu, a zatim samo dualno precrtati *power up* mrežu koristeći PMOS tranzistore. Ako je funkcija inverzujuća, tj. izlaz je komplement neke velike logičke funkcije, onda se sve ILI operacije realizuju vezivanjem NMOS tranzistora u paralelu, a sve I operacije vezivanjem tranzistora na red, tj. kolo se realizuje kombinovanjem NI i NILI logičkih struktura. Zatim se *power up* mreža projektuje tako što se umesto rednih NMOS tranzistora u *power down* mreži postavljaju paralelno vezani PMOS tranzistori, a umesto paralelnih, redni (opet kombinacija NI i NILI logičkih struktura). Traženo kolo je dato na slici 5.1.

b) S obzirom na to da funkcija nije invertujuća i da se kolo mora realizovati kao jednostepeno što znači da ne možemo koristiti inverter na izlazu, najlakše je iskoristiti Demorganove zakone i traženu funkciju preurediti u formu iz koje se poštujući pravila iz tačke a) lako projektuje traženo kolo:

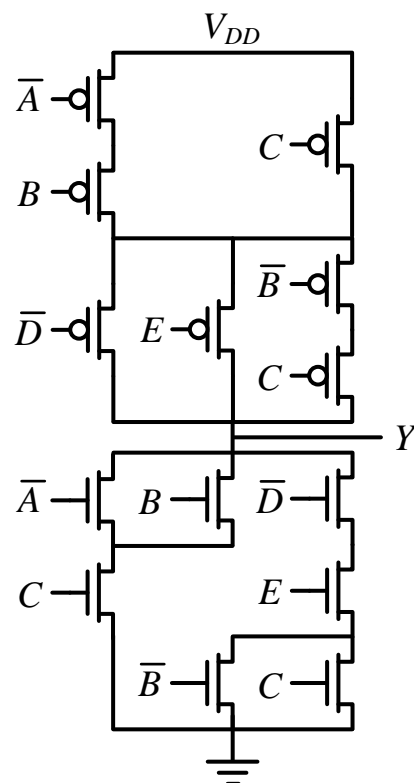
$$\begin{aligned}
 Y &= (\overline{AB+C})(\overline{BC+D+E}) = \overline{(\overline{AB+C})(\overline{BC+D+E})} = \\
 &= \overline{(\overline{AB+C}) + (\overline{BC+D+E})} = \overline{(\overline{AB} \cdot C) + (\overline{BC} \cdot \overline{D} \cdot \overline{E})} = \\
 &= (\overline{A+B}) \cdot C + (\overline{B+C}) \cdot \overline{D} \cdot \overline{E}
 \end{aligned}$$

Traženo kolo je dato na slici 5.2.

Sintezi se moglo pristupiti i na drugi način. Kada funkcija nije invertujuća, može se najpre projektovati *power up* mreža isto kao *power down* mreža u prethodnom slučaju, tj. tada bi se sve ILI operacije realizovale vezivanjem PMOS tranzistora u paralelu, a sve I operacije



Slika 5.1 – Kolo koje realizuje logičku funkciju $Y = \overline{A(B+C)}$

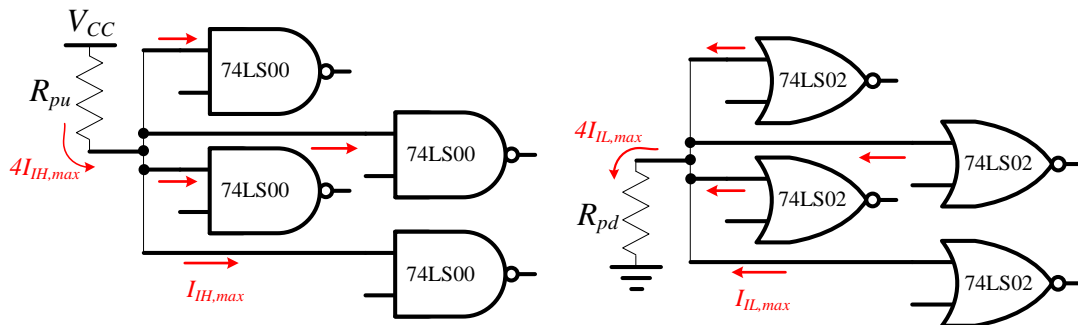


vezivanjem tranzistora na red, pri čemu je neophodno komplementirati ulazne signale. *Power down* mreža se tada projektuje kao komplementarna mreža *power up* mreži.

Domaći:

1. Za kola iz zadatka odrediti maksimalna kašnjenja uzlazne i maksimalna kašnjenja silazne ivice, ako je na izlaz kola povezana sonda osciloskopa iz zadatka 3 i ako su dimenzije svih NMOS i PMOS tranzistora jednake i iste su kao u zadatku 3.
2. Zadatak 6 iz materijala za ODE za elektroniku: [link](#).
3. Zadatak 5 iz materijala za ODE za elektroniku.
4. Projektovati CMOS logičko kolo koje realizuje funkciju $F = (A + B)(C(D + E) + B)$, ako na ulazu kola nisu rapoložive negacije ulaznih promenljivih, već samo originalni signali A , B , C , D i E . Težiti da broj iskorišćenih tranzistora bude što manji. (na osnovu zadatka 5 iz materijala za ODE za elektroniku)

- 7 Na osnovu podataka iz specifikacija, odrediti maksimalne vrednosti *pull up* i *pull down* otpornika u kolima sa slike koje omogućavaju da se na ulazima zadrži željeni logički nivo.



Rešenje:

Tipične specifikacije za 74LS familiju TTL logičkih kola prikazane su na slici 7.1.

RECOMMENDED OPERATING CONDITIONS									
Parameter	Description	SN54LS00			SN74LS00			Unit	
		Min.	Nom.	Max.	Min.	Nom.	Max.		
V_{CC}	Supply voltage	4.5	5.0	5.5	4.75	5.0	5.25	V	
V_{IH}	High-level input voltage	2.0			2.0			V	
V_{IL}	Low-level input voltage			0.7			0.8	V	
I_{OH}	High-level output current			-0.4			-0.4	mA	
I_{OL}	Low-level output current			4			4	mA	
T_A	Operating free-air temperature	-55		125	0		70	°C	
ELECTRICAL CHARACTERISTICS OVER RECOMMENDED FREE-AIR TEMPERATURE RANGE									
Parameter	Test Conditions ⁽¹⁾	SN54LS00			SN74LS00			Unit	
		Min.	Typ. ⁽²⁾	Max.	Min.	Typ. ⁽²⁾	Max.		
V_{IK}	$V_{CC} = \text{Min.}, I_N = -18 \text{ mA}$			-1.5			-1.5	V	
V_{OH}	$V_{CC} = \text{Min.}, V_{IL} = \text{Max.}, I_{OH} = -0.4 \text{ mA}$	2.5	3.4		2.7	3.4		V	
V_{OL}	$V_{CC} = \text{Min.}, V_{IH} = 2.0 \text{ V}, I_{OL} = 4 \text{ mA}$		0.25	0.4		0.25	0.4	V	
	$V_{CC} = \text{Min.}, V_{IH} = 2.0 \text{ V}, I_{OL} = 8 \text{ mA}$					0.35			
I_I	$V_{CC} = \text{Max.}, V_I = 7.0 \text{ V}$			0.1			0.1	mA	
I_{IH}	$V_{CC} = \text{Max.}, V_I = 2.7 \text{ V}$			20			20	μA	
I_{IL}	$V_{CC} = \text{Max.}, V_I = 0.4 \text{ V}$			-0.4			-0.4	mA	
$I_{IOS}^{(3)}$	$V_{CC} = \text{Max.}$	-20		-100	-20		-100	mA	
I_{CCH}	$V_{CC} = \text{Max.}, V_I = 0 \text{ V}$		0.8	1.6		0.8	1.6	mA	
I_{CCL}	$V_{CC} = \text{Max.}, V_I = 4.5 \text{ V}$		2.4	4.4		2.4	4.4	mA	
SWITCHING CHARACTERISTICS, $V_{CC} = 5.0 \text{ V}, T_A = 25^\circ\text{C}$									
Parameter	From (Input)	To (Output)	Test Conditions			Min.	Typ.	Max.	Unit
t_{PLH}	A or B	Y	$R_L = 2 \text{ k}\Omega, C_L = 15 \text{ pF}$				9	15	ns
t_{PHL}							10	15	

Slika 7.1 – Tipične specifikacije 74LS familije TTL logičkih kola

Da bi se očuvali logički nivoi logičke nule i logičke jedinice, naponi na ulazima ne smeju da porastu iznad V_{OLmax} za logičku nulu, odnosno ne smeju da padnu ispod V_{OHmin} za logičku jedinicu. Vrednosti V_{OLmax} i V_{OHmin} se uzimaju jer nekorišćeni ulazi ne smeju da poremete funkcionalnost kola, tj. moraju se zadržati margine šuma: $NM_{0min} = V_{IL} - V_{OLmax}$, $NM_{1min} = V_{OHmin} - V_{IH}$. Ulazne struje pri ovim naponima određene su parametrima I_{IHmax} i I_{ILmax} .

Napon na ulazu u NILI kola je $4I_{ILmax}R_{pd} < V_{OLmax}$, za referentne smerove sa slike iz postavke zadatka, pa je $R_{pd} < \frac{V_{OLmax}}{4I_{ILmax}} = \frac{0,4 \text{ V}}{4 \cdot 0,4 \text{ mA}} = 250 \Omega$. Obratiti pažnju da je parametar I_{IL} u

specifikacijama dat za obrnut referentni smer od referentnog smera sa slike. Napon na ulazu u NI kola je $V_{CC} - 4I_{IHmax}R_{pu} > V_{OHmin}$. Parametar V_{OHmin} je u specifikacijama definisan za V_{CCmin} , pa je $R_{pu} < \frac{V_{CCmin} - V_{OHmin}}{4I_{IHmax}} = \frac{4,75 \text{ V} - 2,7 \text{ V}}{4 \cdot 20 \mu\text{A}} = 25,625 \text{ k}\Omega$.

8 Koliki je faktor grananja (*fanout*) NI logičkog kola iz 74HC00 familije ako se na njegov izlaz vezuju TTL logička kola iz 74LS familije.

Rešenje:

Faktor grananja je broj logičkih kola koji se može vezati na izlaz jednog logičkog kola a da se pri tom očuvaju naponi odgovarajućih logičkih nivoa. U 6. zadatku smo videli da su maksimalne izlazne struje kod 74HC logičke familije $|I_{OH}| = I_{OL} = 4 \text{ mA}$.

Kao u prethodnom zadatku, da bi se očuvali logički nivoi logičke nule i logičke jedinice, naponi na ulazima TTL kola ne smeju da porastu iznad V_{OLmax} za logičku nulu, odnosno ne smeju da padnu ispod V_{OHmin} za logičku jedinicu. Ulazne struje pri ovim naponima određene su parametrima I_{IHmax} i I_{ILmax} .

Na osnovu toga je faktor grananja kada je na izlazu CMOS kola logička nula (faktor grananja logičke nule): $n_{0^n} = \frac{I_{OL}}{I_{ILmax}} = \frac{4 \text{ mA}}{0,4 \text{ mA}} = 10$, dok je faktor grananja logičke jedinice

$n_{1^n} = \frac{I_{OH}}{I_{IHmax}} = \frac{4 \text{ mA}}{20 \mu\text{A}} = 200$. Faktor grananja je manja od ove dve vrednosti, tj. $n = 10$.

Domaći:

Koliki je faktor grananja NI logičkog kola iz **74LS00** familije ako se na njegov izlaz vezuju ista TTL logička kola iz 74LS familije.