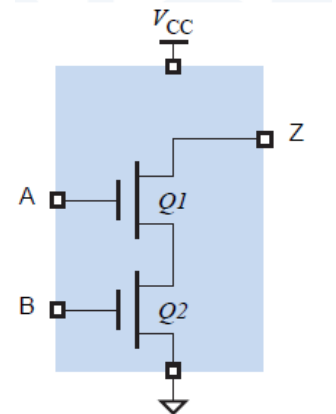


Kolokvijum traje 150 minuta. Dozvoljeno je korišćenje samo pribora za pisanje (hemijske ili grafitne olovke, penkale i sl. koji ne ostavljaju crveni trag) i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje sale tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajući kvadratić upisati X.

1. [24 poena] teorija

- a) [6] Šta predstavlja kolo prikazano na slici 1? Objasniti kako radi ovo kolo i navesti jednu njegovu primenu.
 b) [6] Definisati faktor grananja na izlazu logičkog kola, a zatim ga odrediti za NI kolo iz 74HC familije čije specifikacije su date u tabeli.

Sym.	Parameter	Test Conditions ⁽¹⁾	Min.	Typ. ⁽²⁾	Max.	Unit	
V_{IH}	Input HIGH level	Guaranteed logic HIGH level	3.15	—	—	V	
V_{IL}	Input LOW level	Guaranteed logic LOW level	—	—	1.35	V	
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}, V_I = V_{CC}$	—	—	1	μA	
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}, V_I = 0 \text{ V}$	—	—	-1	μA	
V_{IK}	Clamp diode voltage	$V_{CC} = \text{Min.}, I_N = -18 \text{ mA}$	—	-0.7	-1.2	V	
I_{IOS}	Short-circuit current	$V_{CC} = \text{Max.}, V_O = \text{GND}$	—	—	-35	mA	
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min.}, V_{IN} = V_{IL}$	$I_{OH} = -20 \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4 \text{ mA}$	3.84	4.3	—	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min.}, V_{IN} = V_{IH}$	$I_{OL} = 20 \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4 \text{ mA}$	—	0.17	0.33	V



Slika 1

- c) [6] Ukratko objasniti komponente dinamičke disipacije kod CMOS invertora.
 d) [6] Nacrtati paralelnu realizaciju generatora parnosti sa logičkim kolima za osmобitni ulazni podatak. Smatrati da je izlazni signal koji označava parnost aktivan na logičkoj nuli.

2. [10 poena]

- a) [3] Označeni broj -32.625_{10} predstaviti u drugom komplementu sa minimalnim potrebnim brojem bita.
 b) [3] Nad označenim binarnim brojevima $A = 010011$ i $B = 101011$ izvršiti sledeće operacije: $A+B$ i $A-B$, ako je za smeštanje rezultata na raspolaganju 6 bita. Označiti sve bite prenosa/pozajmice i odrediti da li je prilikom računanja došlo do prekoračenja.
 c) [4] Izvršiti množenje označenih brojeva 10.1101_2 i 101.01_2 ako je za smeštanje rezultata predviđeno 10 bita.

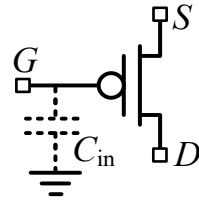
3. [30 poena]

Potrebno je izvršiti sintezu mreže koja detektuje da li su dva dvobitna ulaza A_1A_0 i B_1B_0 jednaka. Mreža na izlazu generiše signal EQ , koji je jednak logičkoj jedinici ako su brojevi jednaki, a logičkoj nuli u suprotnom.

- a) [5] Polazeći od tablice istinitosti, algebarskom minimizacijom odrediti logičku funkciju za izlaz EQ u zavisnosti od ulaza A_1A_0 i B_1B_0 . Težiti da broj logičkih operacija bude minimalan.
 b) [5] Nacrtati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje logičku funkciju iz tačke a). Eventualne komplementarne vrednosti signala generisati na odgovarajući način kao poseban stepen.
 c) [11] Ako se umesto cele PMOS mreže izlaznog stepena kola iz tačke b) stavi jedan *pull-up* otpornik otpornosti $R_{pu} = 800 \Omega$, odrediti minimalni napon logičke nule koji se može pojaviti na izlazu tako napravljenog logičkog kola. Za tako napravljen logičko kolo, naći izraz za struju kroz bateriju za napajanje u slučajevima kada se izlaz menja sa logičke nule na logičku jedinicu i kada se izlaz menja sa logičke jedinice na logičku nulu. Izračunati ukupnu snagu koja se crpi iz baterije za napajanje ako su ulazi A_1, A_0 i B_1 fiksirani na napon logičke nule, a na ulaz B_0 se dovodi periodična povorka impulsa učestanosti 1 MHz i faktora ispunjenosti 50% (trajanje napona logičke nule je jednako trajanju napona logičke jedinice).

d) [9] Izvesti izraze za i izračunati kašnjenje logičke nule i kašnjenje logičke jedinice kola iz tačke c) pod istim uslovima.

Otpornosti svih NMOS tranzistora su jednake i iznose $R_{NMOS} = 100 \Omega$, a otpornosti svih PMOS tranzistora su $R_{PMOS} = 200 \Omega$. Napon napajanja je $V_{DD} = 2,5 \text{ V}$. Izlaz je opterećen kapacitivnim opterećenjem od $C_{out} = 12,5 \text{ pF}$. Ulazna kapacitivnost svih tranzistora je $C_{in} = 0,2 \text{ pF}$ (slika 3).



Slika 3 – Prikaz ekvivalentne ulazne kapacitivnosti tranzistora

4. [20 poena]

a) [8] Korišćenjem što je moguće manjeg broja osnovnih logičkih kola, projektovati kombinacionu mrežu koja na izlazu generiše maksimum dva 2-bitna neoznačena broja. Pored maksimuma, na izlazu je potrebno generisati signal koji predstavlja indeks maksimuma (“0” za prvi broj, “1” za drugi broj). Nacrtati šemu.

b) [5] Ispitati pri kojim se prelazima kola iz tačke a) može desiti statički “1” hazard. Modifikovati funkciju/e tako da se izbegne mogućnost pojave lažnih nula.

c) [7] Realizovati logičke funkcije iz tačke a) korišćenjem isključivo dvoulaznih NILI logičkih kola.

5. [16 poena]

a) [6] Korišćenjem potrebnog broja multipleksera 4 u 1 realizovati koder prioriteta sa 4 ulaza za koji se na izlazu pojavljuje dvobitna binarna vrednost, koja odgovara najmanjem indeksu aktivnog ulaza.

b) [10] Realizovati kombinacionu mrežu koja izvršava operacije mod 5 (ostatak pri deljenju sa 5) i div 5 (celobrojno deljenje sa 5) nad četvrobotnim neoznačenim brojem. Na raspolaganju su isključivo oduzimači označenih brojeva sa proizvoljnim brojem bita, potrebni multiplekseri i koder prioriteta iz tačke a) i svi se moraju na adekvatan način iskoristiti.