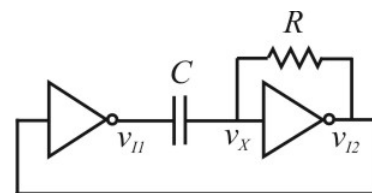


Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X.

1. [18 poena]

a) [8] Ukratko opisati ponašanje kola koje je prikazano na slici 1.a (nije potrebno pisati jednačine). Koja je namena ovog kola? Skicirati vremenske dijagrame napona v_x , v_{II} i v_{I2} ako je prag logičkih kola $0.5 V_{DD}$, a na ulazu postoje zaštitne diode.



Slika 1.a

b) [6] Po čemu se razlikuju FPGA i CPLD čipovi u pogledu osnovne arhitekture? Ilustrovati slikama. Navesti dva najpoznatija proizvođača FPGA čipova.

c) [4] Analogni signal koji se menja u opsegu od 0 V do 12 V treba konvertovati u 4-bitni digitalni signal korišćenjem A/D konvertora sa sukcesivnim aproksimacijama. Napisati redosled stanja na izlazu konvertora ako je ulazni napon $V_{UL} = 3.55$ V.

2. [12 poena]

a) [8] Realizovati potpuni sinhroni brojač koji broji unapred od 0 do 15. Ako brojač dođe do maksimalne vrednosti omogućiti da nakon naredne uzlazne ivice signala takta ostane u stanju 15. Brojač se jedino može vratiti u početno stanje sinhronim resetom, koji je potrebno realizovati u tački c) ovog zadatka. Na raspolaganju su ivični D flip-flopovi i potrebna logička kola. Nacrtati šemu brojača.

b) [2] Za brojač iz tačke a) obezbediti mogućnost zabrane brojanja. Brojač broji ako je ulazni kontrolni signal *ENABLE* na logičkoj jedinici, u suprotnom, ostaje u prethodnom stanju.

c) [2] Za brojač iz tačke b) obezbediti mogućnost sinhronog reseta dovođenjem ulaznog signala *RESET* koji je aktivan na logičkoj jedinici.

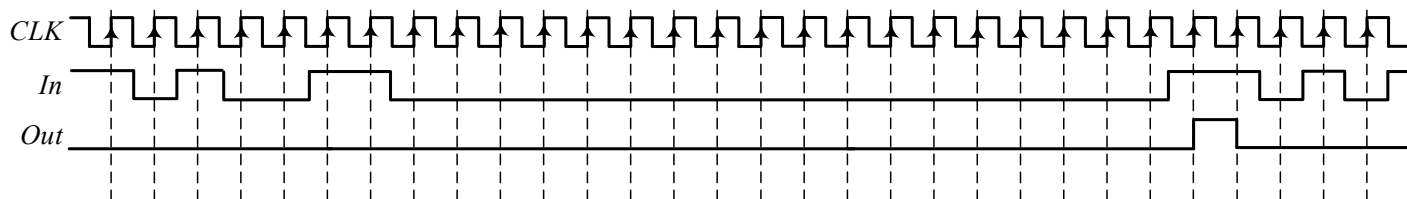
3. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja vrši debaunsiranje ulaznog signala generisanog pritiskom tastera. Mreža treba da generiše impuls trajanja jedne periode signala takta ako je ulazni signal stabilan na logičkoj nuli barem 16 perioda signala takta. Signal na izlazu se generiše jedanput po pritisku tastera i to nakon što se taster otpusti, tj. nije potrebno generisati više impulsa ako je ulazni signal stabilan na logičkoj nuli duže od 16 perioda signala takta (32, 48, 64 i sl.).

Primer ulaznog i izlaznog signala prikazan je na vremenskim dijagramima sa slike 3. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem JK flip-flopova i logičkih kola. Na raspolaganju je i brojač iz zadatka 2. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} .

a) [12] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju mašine stanja na raspolaganju ivični JK flip-flopovi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

b) [8] Realizovati mrežu korišćenjem ivičnih JK flip-flopova, potrebnih logičkih kola i brojača realizovanog u 2. zadatku. Nacrtati šemu.



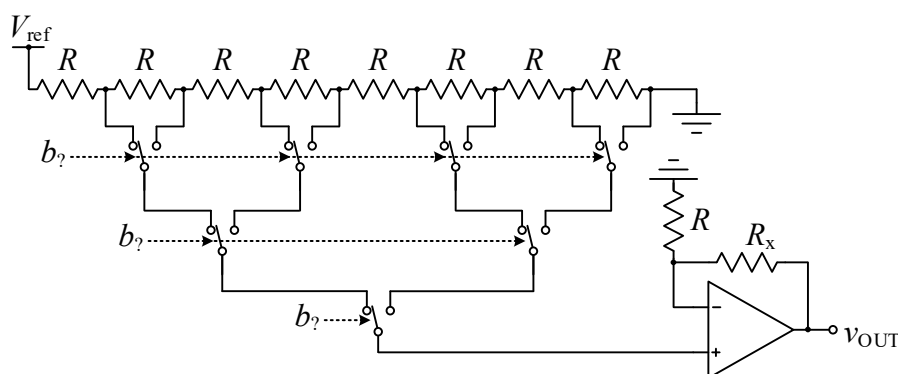
Slika 3 – Vremenski dijagrami signala sekvencijalne mreže iz zadatka 3

4. [10 poena]

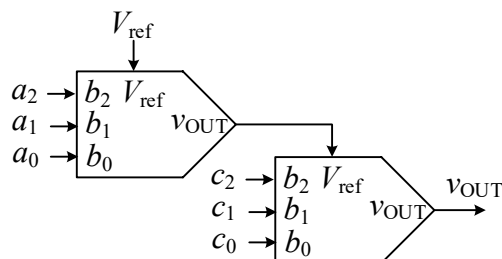
Na slici 4 je prikazan 3-bitni D/A konvertor koji konvertuje binarni broj predstavljen u prirodnom binarnom kodu bitima $b[2:0] = b_2b_1b_0$ u odgovarajući analogni napon v_{OUT} proporcionalan tom broju. Svaki preklopnik je spojen na desni priključak ako odgovarajući bit b_i ima vrednost logičke nule, a na levi priključak ako bit b_i ima vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan.

a) [5] Za svaki preklopnik odrediti koji od bita b_i ulaznog podatka treba da ga kontroliše tako da kolo sa slike radi kao 3-bitni D/A konvertor. Zatim izvesti izraz za izlazni napon v_{OUT} u zavisnosti od zadatih elemenata u kolu i vrednosti bita sa ulaza.

b) [5] Dva D/A konvertora iz tačke a) povezana su u konfiguraciju sa slike 4.2. Izvesti izraz za izlazni napon v_{OUT} u zavisnosti od zadatih elemenata u kolu i vrednosti bita sa ulaza. Zatim, odrediti otpornosti R_{xA} i R_{xC} u D/A konvertorima sa slike 4.2, tako da vrednost izlaznog napona v_{OUT} bude između 0 i V_{ref} . Poznato je da je $R = 700 \Omega$.



Slika 4.1 – 3-bitni D/A konvertor uz zadatak 4



Slika 4.2 – Šema kola uz zadatak 4.b)