

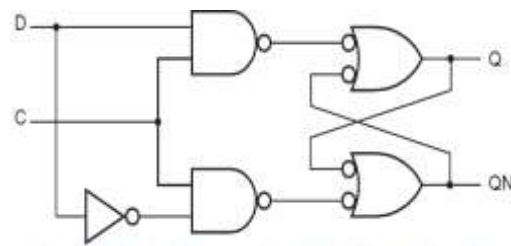
Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajući kvadratić upisati X.

1. [18 poena]

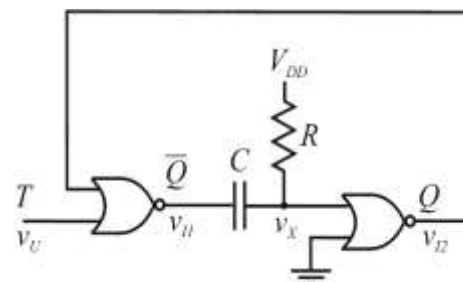
a) [6] Definisati vreme postavljanja i vreme držanja za D leč sa signalom dozvole prikazan na slici 1.a). Nacrtati vremenske dijagrame na kojima će biti prikazana ta vremena. Analizirajući šemu leča, objasniti zbog čega je potrebno da se uvedu ta dva parametra.

b) [4] Navedite sličnosti i osnovne razlike između EPROM i EEPROM memorija.

c) [8] Ako se u kolu koje je prikazano na slici 1.c) na ulaz T dovede kratkotrajni impuls, analizirati ponašanje kola i skicirati odgovarajuće vremenske dijagrame. Koja je namena ovog kola? Smatrati da je prag logičkih kola $0,5V_{DD}$ i da se na ulazima ne nalaze zaštitne diode.



Slika 1.a)



Slika 1.c)

2. [12 poena]

a) [8] Realizovati sinhroni brojač koji broji po sekvenci 0-7-6-5-1-3-4-0. Na raspolaganju su ivični JK flip-floповi sa asinhronim ulazima za direktan set S_d i reset R_d koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.

b) [2] Za brojač iz tačke a) obezbediti mogućnost sinhronog paralelnog upisa. U brojač se upisuje 3-bitni podatak $D_{in}[2:0]$ ako je ulazni signal $LOAD$ na logičkoj jedinici.

c) [2] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola $t_{dlk} = 10$ ns, kašnjenja svih flip-floпова $t_{dff} = 20$ ns, a vreme postavljanja (*setup time*) svih flip-floпова je $t_{setup} = 5$ ns. Smatrati da su vremena držanja (*hold time*) zadovoljena.

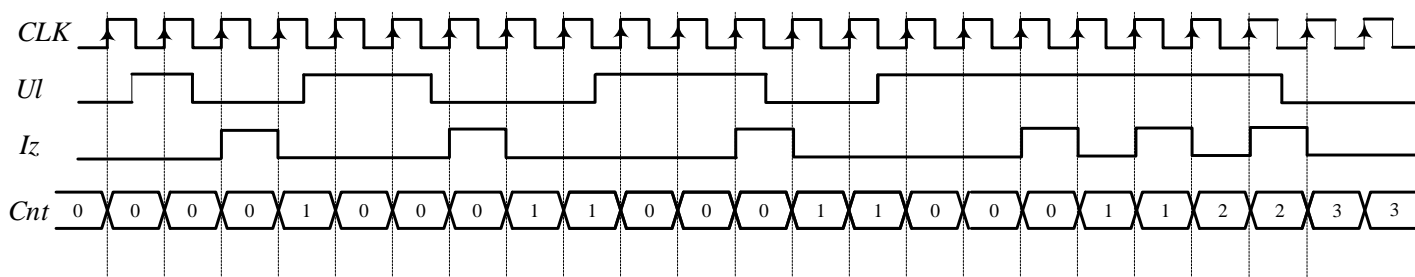
3. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja detektuje kratak i dug pritisak tastera i na izlazu generiše odgovarajući broj impulsa (kao kod TV daljinskog upravljača). Ako je ulazni signal na logičkoj jedinici kraće od tri uzastopne uzlazne ivice signala takta, na izlazu se generiše impuls trajanja jedne periode signala takta i to nakon postavljanja ulaznog signala na logičku nulu. Ako je ulazni signal na logičkoj jedinici u toku tri ili više uzastopnih ivica signala takta, na izlazu se generiše povorka impulsa sve dok ulazni signal ne padne na nulu. Primer ulaznih i izlaznog signala je prikazan na vremenskim dijagramima sa slike 3. Mrežu realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-floпова i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} .

a) [9] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-floповi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

b) [6] Realizovati mrežu korišćenjem ivičnih D flip-floпова i potrebnih logičkih kola. Nacrtati šemu.

c) [4] Dopuniti projektovanu mrežu tako da na izlazu generiše i broj generisanih impulsa (signal Cnt na slici 3). Broj generisanih impulsa na izlazu ostaje stabilan sve dok se ne pojavi nova logička jedinica na ulazu. Pored logičkih kola i D flip-floпова, na raspolaganju je i sinhroni potpuni brojač sa sinhronim ulazima za signal dozvole i signal reseta.



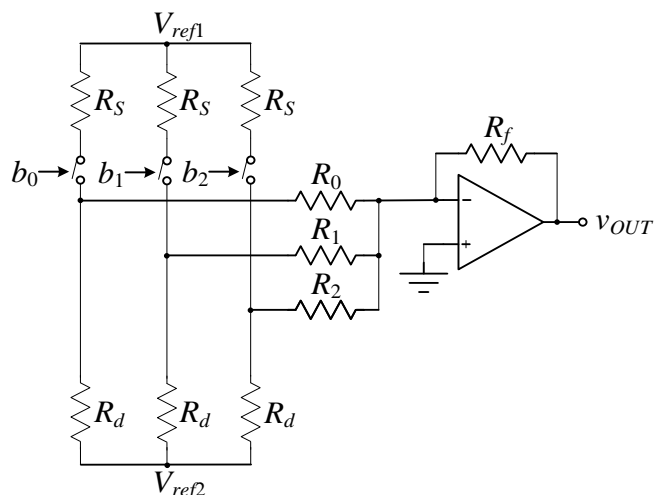
Slika 3 – Vremenski dijagrami ulaznih i izlaznog signala sekvencijalne mreže iz zadatka 3

4. [10 poena]

Na slici 4 je prikazan 3-bitni D/A konvertor. Na ulaz D/A konvertora se dovodi binarni broj $b_2b_1b_0$ dok se na izlazu konvertora generiše analogni napon v_{OUT} koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Prekidači su zatvoreni ako su kontrolni signali na njima na logičkoj nuli. Smatrati da su prekidači idealni, kao i da je operacioni pojačavač idealan.

a) [6] Odrediti vrednosti težinskih otpornika R_2 , R_1 i R_0 tako da izlazni napon konvertora bude u opsegu od 0 do 7 V za vrednosti ulaza $b_2b_1b_0$ "000" odnosno "111" respektivno. Poznato je $R_d = 2\text{ k}\Omega$, $R_s = 2\text{ k}\Omega$, $R_f = 5\text{ k}\Omega$, $V_{ref1} = 10\text{ V}$, $V_{ref2} = -10\text{ V}$.

b) [4] Izračunati diferencijalnu nelinearnost (DNL) D/A konvertora iz tačke a) za bilo koje ulazne podatke, ako otpornici R_2 , R_1 i R_0 imaju 10% veće vrednosti od vrednosti određenih u tački a). Ostali otpornici imaju fiksnu vrednost.



Slika 4 – 3-bitni D/A konvertor uz zadatak 4