

Kolokvijum traje 150 minuta. Dozvoljeno je korišćenje samo pribora za pisanje (hemijske ili grafitne olovke, penkale i sl. koji ne ostavljaju crveni trag) i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje sale tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X.

### 1. [24 poena] teorija

a) [6] U tabeli 1 su date karakteristike jedne familije CMOS i jedne familije TTL logičkih kola (za CMOS familiju su dati podaci u slučaju da se na izlaz vežu TTL kola). Da li se na izlaz ovog CMOS kola može direktno vezati TTL kolo? Obrazložiti.

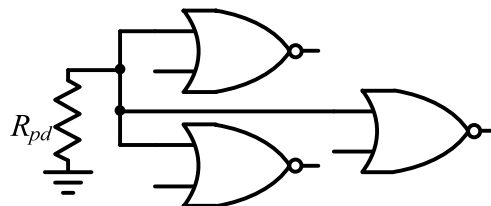
b) [6] Odrediti maksimalnu vrednost *pull down* otpornika u kolu prikazanom na slici 1.1 tako da se na nekorišćenim ulazima logičkih kola zadrži željeni logički nivo. Upotrebljena su CMOS logička kola čije su karakteristike date u tabeli 1.

		74LS	74HC
LOW-level input voltage [V]	$V_{ILmax}$	0.8	1.35
LOW-level output voltage [V]	$V_{OLmax}$	0.5	0.33
HIGH-level input voltage [V]	$V_{IHmin}$	2.0	3.15
HIGH-level output voltage [V]	$V_{OHmin}$	2.7	3.84
LOW-level input current [ $\mu$ A]	$I_{ILmax}$	-400	-1
LOW-level output current [mA]	$I_{OLmax}$	8	4
HIGH-level input current [ $\mu$ A]	$I_{IHmax}$	20	1
HIGH-level output current [mA]	$I_{OHmax}$	-0.4	-4

Tabela 1. Karakteristike logičkih kola uz zadatak 1

c) [6] Navesti i ukratko objasniti komponente statičke disipacije CMOS invertora.

d) [6] Šta je „statički 0“ hazard i zbog čega se javlja? Na osnovu Karnoove mape koja je prikazana na slici 1.2 utvrditi da li će u minimalnoj realizaciji te logičke funkcije u obliku proizvoda logičkih suma postojati „statički 0“ hazard. Obrazložiti.



Slika 1.1 – Kolo uz zadatak 1.b)

		BC			
		00	01	11	10
A	0	0	1	0	0
	1	0	1	1	1

Slika 1.2 – Karnoova mapa uz zadatak 1.d)

### 2. [10 poena]

a) [3] Označeni broj  $-13.3125_{10}$  predstaviti u drugom komplementu sa minimalnim potrebnim brojem bita.

b) [3] Nad označenim binarnim brojevima  $A = 001011$  i  $B = 101001$  izvršiti sledeće operacije:  $A+B$  i  $A-B$ , ako je za smeštanje rezultata na raspolaganju 6 bita. Označiti sve bite prenosa/pozajmice i odrediti da li je prilikom računanja došlo do prekoračenja.

c) [4] Izvršiti množenje označenih brojeva  $11.0111_2$  i  $101.01_2$  ako je za smeštanje rezultata predviđeno 10 bita.

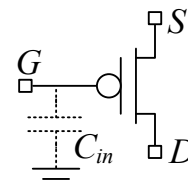
### 3. [31 poen]

Potrebno je izvršiti sintezu mreže koja konvertuje neoznačeni trobitni broj  $G_2G_1G_0$  u Grejovom binarnom kodu u broj u prirodnom binarnom kodu  $A_2A_1A_0$ .

Otpornosti svih NMOS tranzistora su jednake i iznose  $R_{NMOS} = 300 \Omega$ , a otpornosti svih PMOS tranzistora su  $R_{PMOS} = 500 \Omega$ . Napon napajanja je  $V_{DD} = 2,5$  V. Svi izlazi  $A_2$ ,  $A_1$  i  $A_0$  su opterećeni kapacitivnim opterećenjem od  $C_{out} = 10$  pF. Ulazna kapacitivnost svih tranzistora je  $C_{in} = 0,2$  pF (slika 3.1).

a) [7] Odrediti logičke funkcije izlaza konvertora iz Grejovog u prirodni binarni kod. Težiti da broj logičkih operacija bude minimalan.

b) [5] Nacrtati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje logičku funkciju za izlaz  $A_0$ . Eventualne komplementarne vrednosti signala generisati na odgovarajući način kao poseban stepen.

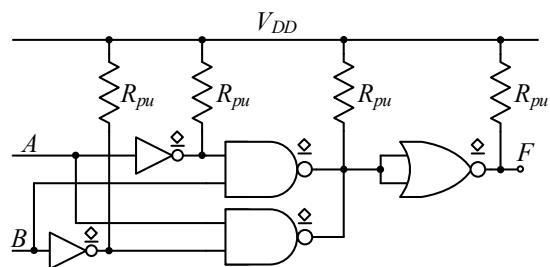


Slika 3.1 – Prikaz ekvivalentne ulazne kapacitivnosti tranzistora

c) [7] Izvesti izraz za  $i$  i izračunati ukupnu srednju snagu koja se crpi iz baterije za napajanje kola iz tačke b), ako su ulazi  $G_1$  i  $G_0$  fiksirani na napon logičke jedinice, a na ulaz  $G_2$  se dovodi periodična povorka impulsa učestanosti 4 MHz i faktora ispunjenosti 50% (trajanje napona logičke nule je jednako trajanju napona logičke jedinice).

d) [8] Izvesti izraz za  $i$  i izračunati trajanje uzlazne ivice ( $t_{rise}$ ) i trajanje silazne ivice ( $t_{fall}$ ) izlaznog signala kola iz tačke b) pod uslovima iz tačke c).

e) [4] U kolu sa slike 3.2 korišćena su logička kola sa otvorenim drejnom. Odrediti logičku funkciju na izlazu  $F$ .



Slika 3.2 – Kolo uz zadatak 3.e)

#### 4. [20 poena]

a) [6] Algebarskom minimizacijom, projektovati kombinacionu mrežu koja na ulazu ima 4-bitni podatak  $A[3:0] = A_3A_2A_1A_0$ , a na izlazu generiše logičku jedinicu ako je broj jedinica u podatku  $A[3:0]$  neparan. Nacrtati šemu.

b) [4] Korišćenjem proizvoljnog broja blokova projektovanih u tački a), nacrtati mrežu koja generiše logičku jedinicu na izlazu ako je broj jedinica u 16-bitnom podatku  $B[15:0]$  neparan.

c) [10] Realizovati logičku funkciju dobijenu u tački a) pomoću jednog multipleksera 4 u 1 i što manjeg broja dvoulaznih NI logičkih kola. Nacrtati šemu.

#### 5. [15 poena]

Ako su  $B_0, B_1, B_2$  i  $B_3$  4-bitni neoznačeni binarni brojevi predstavljeni u drugom komplementu, projektovati kombinacionu mrežu koja generiše sledeća dva izlaza. Prvi izlaz je minimalna vrednost ulazna četiri podatka:  $M = \min(B_0, B_1, B_2, B_3)$ . Drugi izlaz je dvobitni podatak  $I$  koji predstavlja vrednost indeksa minimalnog broja sa ulaza, npr.  $I = 10$  ako je  $M = B_2$ . U slučaju da je više ulaznih vrednosti jednako minimalnoj, indeks treba da bude najveći od svih mogućih, npr.  $I = 10$  ako je  $M = B_0 = B_2$ . U ovom zadatku nije dozvoljeno korišćenje osnovnih logičkih kola.

3. a)

B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	G <sub>2</sub>	G <sub>1</sub>	G <sub>0</sub>
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0



G <sub>2</sub> G <sub>1</sub> G <sub>0</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
000	0	0	0
001	0	0	1
010	0	1	1
011	0	1	0
100	1	1	1
101	1	1	0
110	1	0	0
111	1	0	1

$A_2 = G_2$

A<sub>1</sub>:

G <sub>2</sub>	G <sub>1</sub> G <sub>0</sub>	00	01	11	10
0	0	0	0	1	1
1	1	1	1	0	0

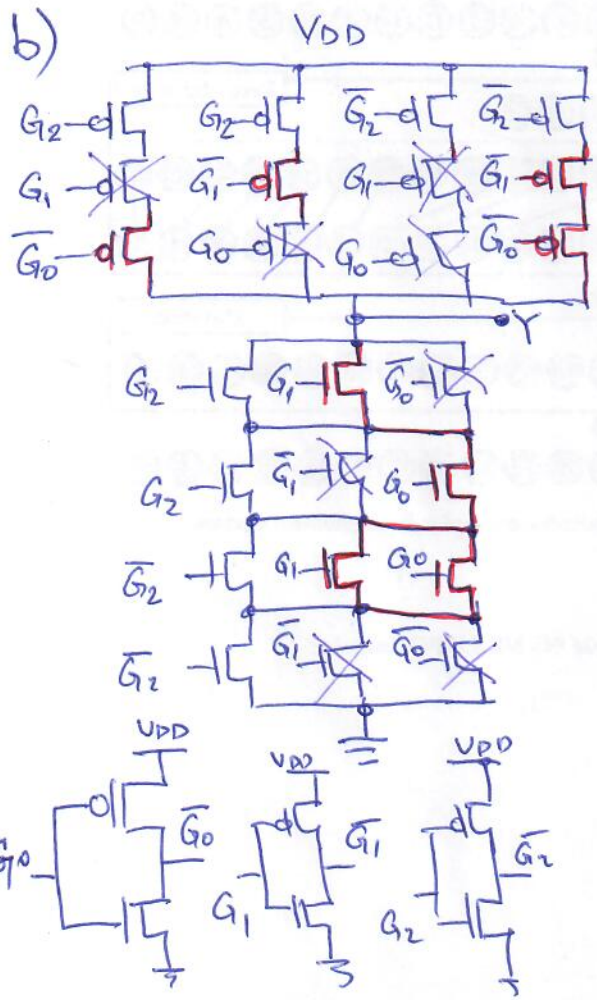
$A_1 = \overline{G_2}G_1 + G_2\overline{G_1} = G_2 \oplus G_1$

A<sub>0</sub>:

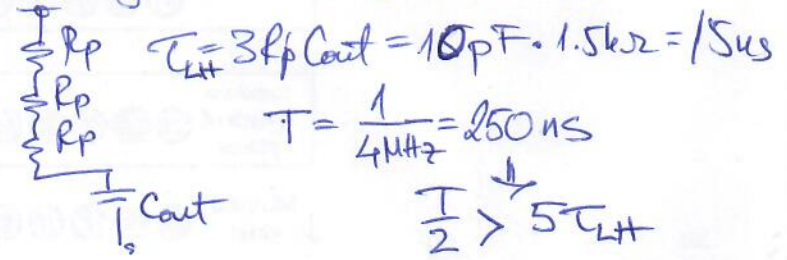
G <sub>2</sub>	G <sub>1</sub> G <sub>0</sub>	00	01	11	10
0	0	0	1	0	1
1	1	1	0	1	0

$A_0 = \overline{G_2}\overline{G_1}G_0 + \overline{G_2}G_1\overline{G_0} + G_2\overline{G_1}\overline{G_0} + G_2G_1G_0 = \overline{G_2}(G_1G_0 + G_1\overline{G_0}) + G_2(\overline{G_1}\overline{G_0} + G_1G_0) = \overline{G_2}(G_1 \oplus G_0) + G_2(G_1 \oplus G_0) = G_2 \oplus G_1 \oplus G_0$

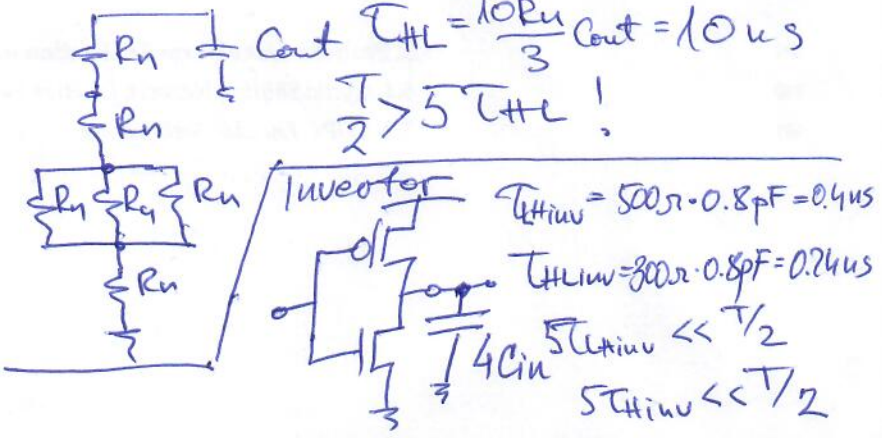
b)



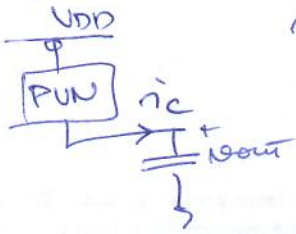
c) Uključeni tranzistori ako je  $G_1 = 1$  i  $G_0 = 1$   
 Otvorene veze ako je  $G_1 = 1$  i  $G_0 = 1$   
 PUN uključena ako je  $G_2 = 1$ , tj.  $\overline{G_2} = 0$ :



PDN uključena ako je  $G_2 = 0$ , tj.  $\overline{G_2} = 1$



c) nastavak



$$i_c = C \frac{dV_{out}}{dt} \quad P_{DD} = V_{DD} i_c$$

$$E_{0 \rightarrow 1} = \int_0^{T/2} V_{DD} i_c dt = V_{DD} \int_0^{T/2} C \frac{dV_{out}}{dt} dt = C \cdot V_{DD} \int_0^{V_{DD}} dV_{out} = C V_{DD}^2$$

$E_{1 \rightarrow 0} = 0$  ← iz baterije ništa

$$E = E_{0 \rightarrow 1} \text{ inv} + E_{0 \rightarrow 1} \text{ iz CMOS} = 4 C_{in} V_{DD}^2 + C_{out} V_{DD}^2 = 5 \text{ pJ} + 62,5 \text{ pJ}$$

$$P = \frac{E}{T} = \frac{67,5 \text{ pJ}}{250 \text{ ns}} = 270 \text{ pW}$$

d)  $V_{out}(t) = V_{out}(\infty) + (V_{out}(0) - V_{out}(\infty)) e^{-t/\tau}$

$$t = \tau \ln \frac{V_{out}(\infty) - V_{out}(0)}{V_{out}(\infty) - V_{out}(t)}$$

$$t_{rise} = t_{90\%} - t_{10\%} = \tau_{LH} \ln \frac{V_{DD} - 0}{V_{DD} - 0.9V_{DD}} - \tau_{LH} \ln \frac{V_{DD} - 0}{V_{DD} - 0.1V_{DD}} =$$

$$= \tau_{LH} \ln \frac{V_{DD} - 0.1V_{DD}}{V_{DD} - 0.9V_{DD}} = \tau_{LH} \ln 9 = C_{out} \cdot 3R_p \cdot \ln 9 = \underline{\underline{32,96 \text{ ns}}}$$

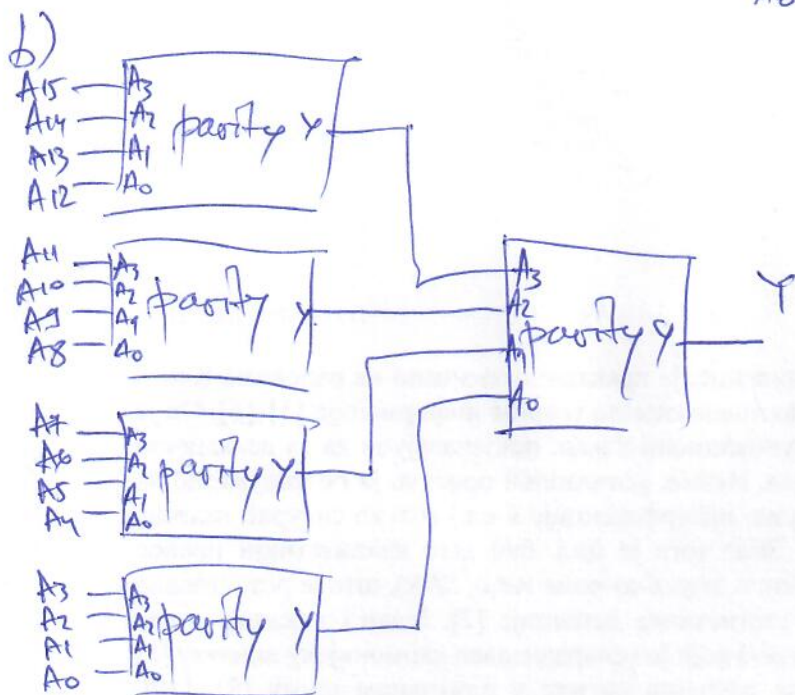
$$t_{fall} = t_{10\%} - t_{90\%} = \tau_{HL} \ln \frac{0 - V_{DD}}{0 - 0.1V_{DD}} - \tau_{HL} \ln \frac{0 - V_{DD}}{0 - 0.9V_{DD}} = \tau_{HL} \ln 9 = \underline{\underline{21,97 \text{ ns}}}$$

e)  $F = \overline{(\overline{A \cdot B}) \cdot (\overline{A \cdot \overline{B}})} = \overline{\overline{A \cdot B}} + \overline{\overline{A \cdot \overline{B}}} = \overline{\overline{A \cdot B}} + \overline{\overline{A \cdot \overline{B}}} = A \oplus B$

↑  
Wired AND

4. a) Nakon mnogo grupisanja dobije se:

$$Y = A_3 \oplus A_2 \oplus A_1 \oplus A_0 \Rightarrow$$



B umesto A ☺

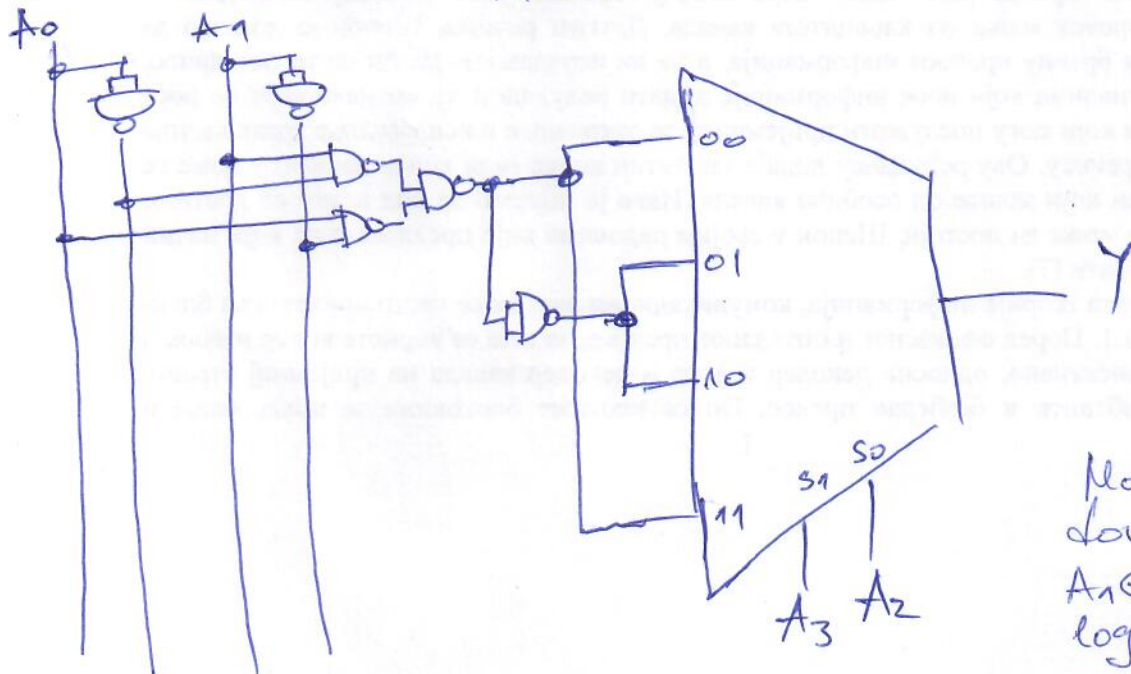
c)  $Y(A_3 A_2 = 00) = 0 \oplus 0 \oplus (A_1 \oplus A_0) = A_1 \oplus A_0$

$Y(A_3 A_2 = 01) = 0 \oplus 1 \oplus (A_1 \oplus A_0) = 1 \oplus (A_1 \oplus A_0) = \overline{A_1 \oplus A_0}$

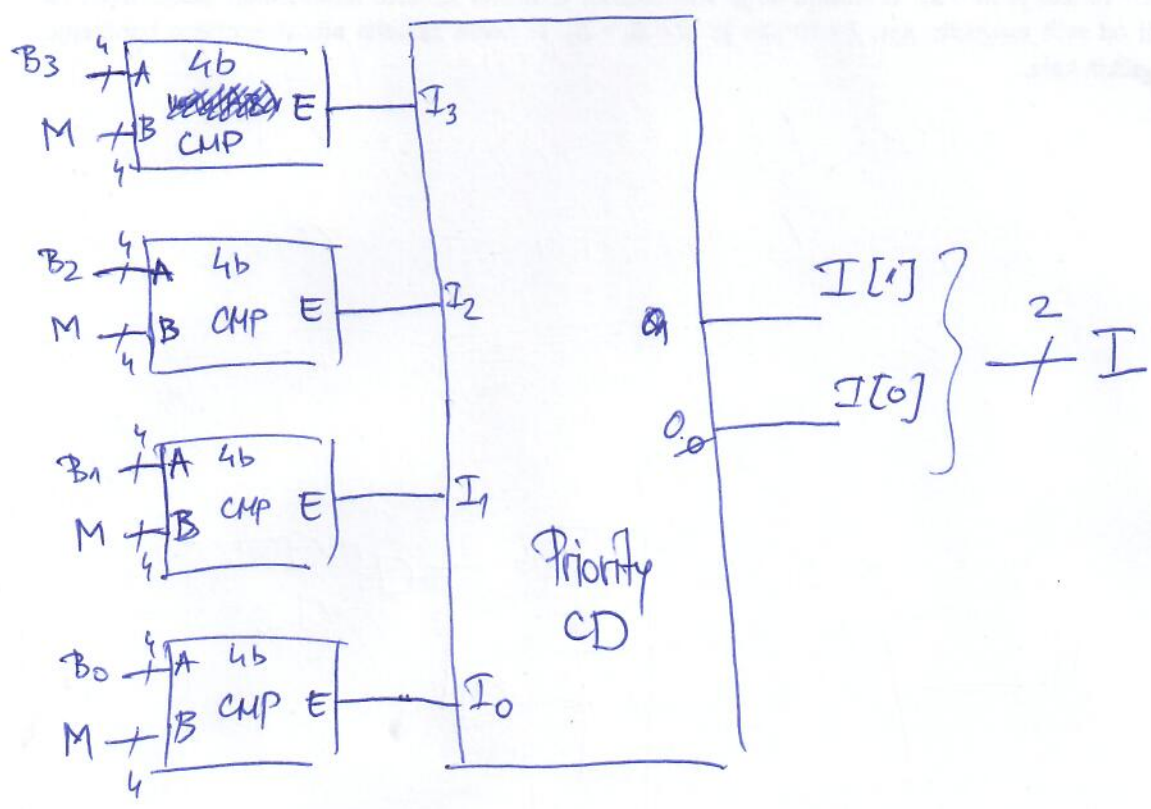
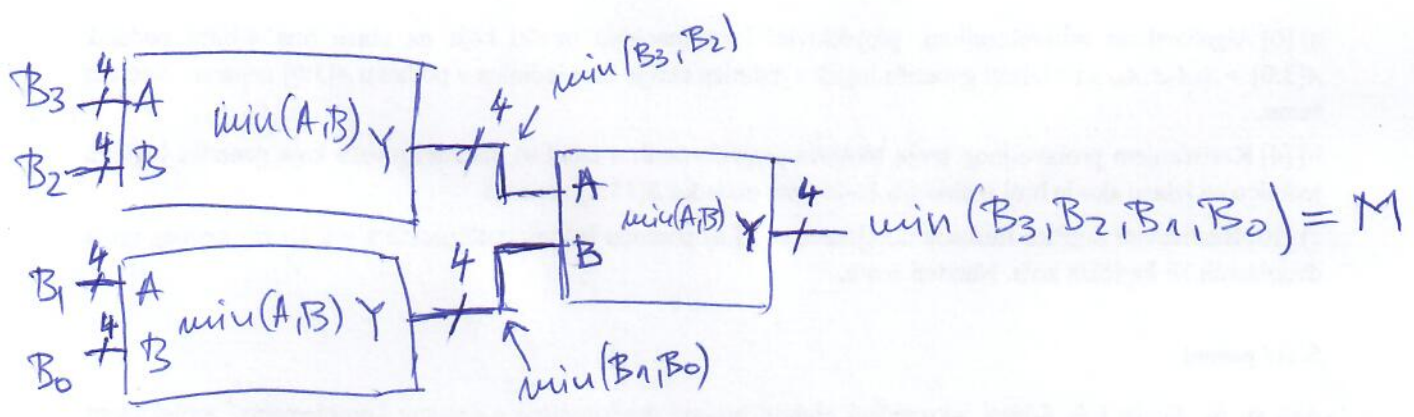
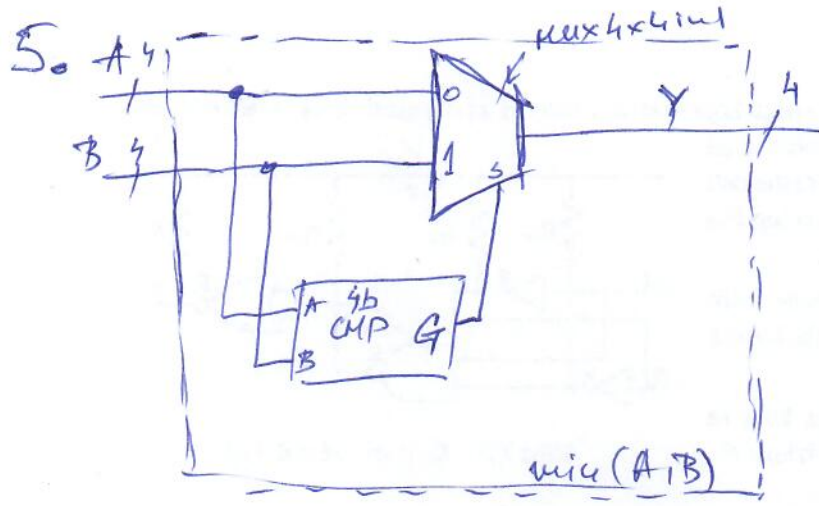
$Y(A_3 A_2 = 10) = 1 \oplus 0 \oplus (A_1 \oplus A_0) = 1 \oplus (A_1 \oplus A_0) = \overline{A_1 \oplus A_0}$

$Y(A_3 A_2 = 11) = 1 \oplus 1 \oplus (A_1 \oplus A_0) = 0 \oplus A_1 \oplus A_0 = A_1 \oplus A_0$

$A_1 \oplus A_0 = \overline{A_1 A_0} + \overline{\overline{A_1} \overline{A_0}} = \overline{A_1 A_0} \cdot \overline{\overline{A_1} \overline{A_0}} \Rightarrow$  samo invertor



Možemo i na S1 i S0 dovesti  $A_3 \oplus A_2$  i  $A_1 \oplus A_0$  a na MUX log. nule i jedinice.



Naravno, može i drugačije.