

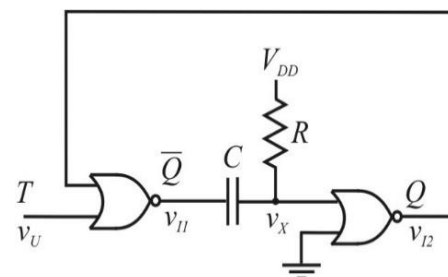
Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajući kvadratić upisati X.

1. [18 poena]

a) [9] Ako se u kolu koje je prikazano na slici 1.a) na ulaz T dovede kratkotrajni impuls, analizirati ponašanje kola (nije potrebno pisati jednačine). Skicirati odgovarajuće vremenske dijagrame. Koja je namena ovog kola? Smatrati da je prag logičkih kola $0,5V_{DD}$ i da se na ulazima ne nalaze zaštitne diode.

b) [3] Objasniti jedan način na koji se može ostvariti programiranje spojeva u programabilnim komponentama.

c) [6] Šta predstavlja kolo prikazano na slici 1.c)? Ukratko objasniti kako radi to kolo.



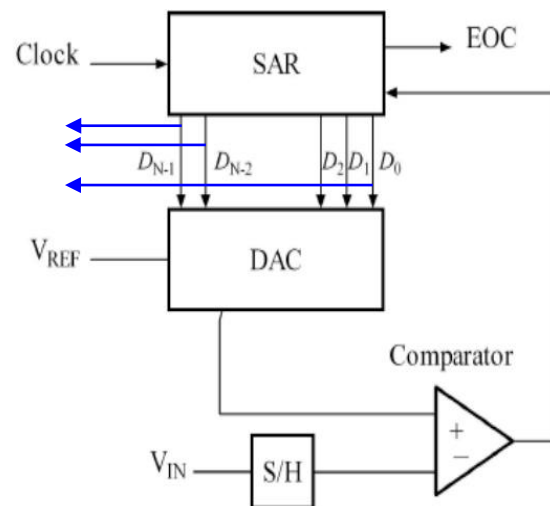
Slika 1.a)

2. [14 poena]

a) [8] Realizovati sinhroni brojač koji broji unapred od 0 do 9. Ako brojač dođe do maksimalne vrednosti omogućiti da se nakon naredne uzlazne ivice signala takta ponovo postavi stanje 0. Na raspolaganju su ivični JK flip-flovi i potrebna logička kola. Nacrtati šemu brojača.

b) [3] Za brojač iz tačke a) obezbediti mogućnost zabrane brojanja. Brojač broji ako je ulazni kontrolni signal *ENABLE* na logičkoj jedinici, u suprotnom, ostaje u prethodnom stanju.

c) [3] Za brojač iz tačke b) obezbediti mogućnost sinhronog reseta dovođenjem ulaznog signala *RESET* koji je aktivan na logičkoj jedinici.



Slika 1.c)

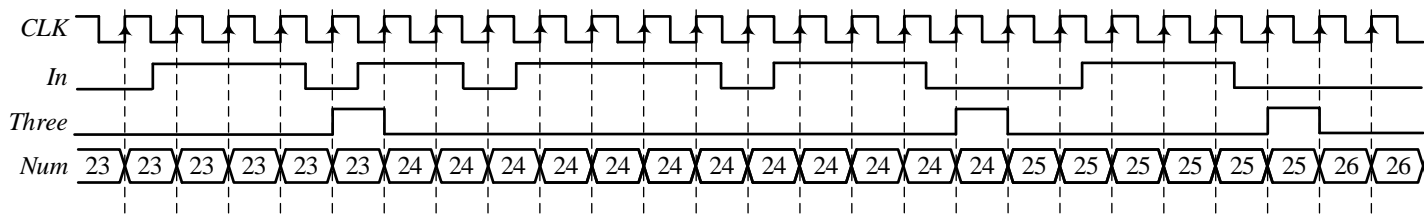
3. [18 poena]

Potrebno je najpre projektovati sinhronu sekvencijalnu mrežu koja generiše signal *Three* trajanja jedne periode signala takta pod uslovom da signal na ulazu obuhvata uzlaznu ivicu signala takta u tačno tri periode. Zatim je potrebno obezbediti brojanje takvih situacija u prirodnom BCD kodu i njihov broj prikazati na dvocifrenom izlazu *Num*. Maksimalna vrednost koja se može prikazati je 99, a u slučaju da signal *Three* postane aktivan pri maksimalnoj vrednosti, izlaz *Num* treba da se postavi na 0.

Primer ulaznih, jednog internog i izlaznih signala prikazan je na vremenskim dijagramima sa slike 3. Izlazna vrednost *Num* prikazana je u BCD kodu i predstavlja izlaze dva brojača realizovana u zadatku 2. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flova i logičkih kola. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} .

a) [10] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju mašine stanja na raspolaganju ivični D flip-flovi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

c) [8] Realizovati mrežu korišćenjem ivičnih D flip-flova, potrebnih logičkih kola i dva brojača realizovanih u 2. zadatku. Nacrtati šemu.



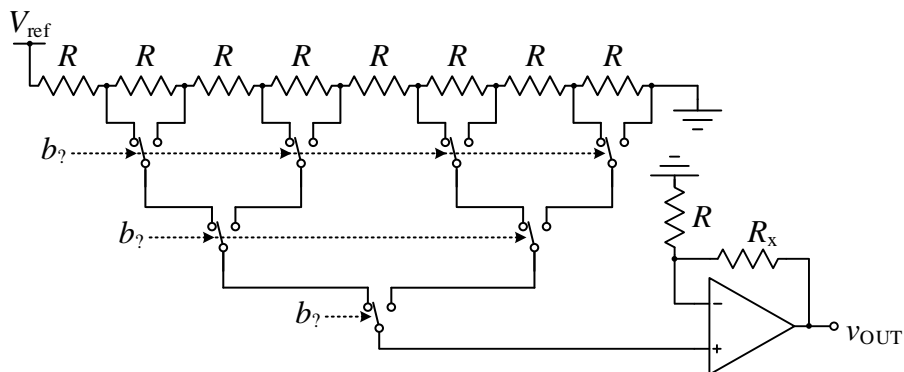
Slika 3 – Vremenski dijagrami signala sekvencijalne mreže iz zadatka 3

4. [10 poena]

Na slici 4 je prikazan 3-bitni D/A konvertor koji konvertuje binarni broj predstavljen u prirodnom binarnom kodu bitima $b[2:0] = b_2b_1b_0$ u odgovarajući analogni napon v_{OUT} proporcionalan tom broju. Svaki preklopnik je spojen na desni priključak ako odgovarajući bit b_i ima vrednost logičke nule, a na levi priključak ako bit b_i ima vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan.

a) [6] Za svaki preklopnik odrediti koji od bita b_i ulaznog podatka treba da ga kontroliše tako da kolo sa slike radi kao 3-bitni D/A konvertor. Zatim izvesti izraz za izlazni napon v_{OUT} u zavisnosti od zadatih elemenata u kolu i vrednosti bita sa ulaza. Na kraju odrediti otpornost R_x tako da vrednost izlaznog napona bude između 0 i V_{ref} . Poznato je da je $R = 700 \Omega$.

b) [4] Korišćenjem dva D/A konvertora sa slike 4, projektovati 6-bitni D/A konvertor tako da maksimalni napon na izlazu ne prelazi V_{ref} . Na raspolaganju su dodatni otpornici proizvoljnih otpornosti i dodatna dva idealna operaciona pojačavača.



Slika 4 – 3-bitni D/A konvertor uz zadatak 4