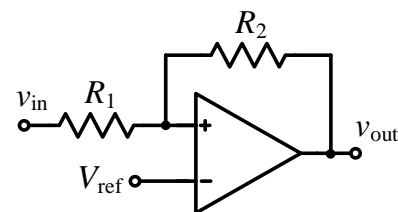


Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X.

**1. [18 poena]**

a) [9] U kolu prikazanom na slici 1 je  $R_2 = 4R_1$ , operacioni pojačavač je idealan, a nominalne vrednosti logičke nule i jedinice na izlazu treba da budu  $V_{OL}$  i  $V_{OH}$ , respektivno. Ukratko opisati kako radi ovo kolo, a zatim nacrtati karakteristiku prenosa. Izračunati širinu histerezisa.



Slika 1

b) [3] Objasniti koje su dve osnovne prednosti VHDL-a u odnosu na standardne programske jezike kada se opisuju hardverski moduli.

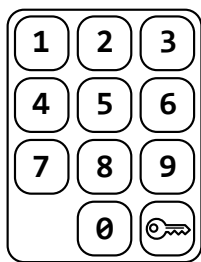
c) [6] Objasniti kako se vrši upis, a kako brisanje sadržaja kod flash memorija. Uporediti karakteristike flash i EEPROM memorija.

**2. [10 poena]**

Realizovati sinhroni brojač koji broji po sekvenci 0-7-6-8-4-15-10-1-2-3-5-0. Na raspolaganju su ivični JK flip-flopovi i potrebna logička kola. Nacrtati šemu brojača.

**3. [22 poena]**

Potrebno je projektovati kontroler elektronske brave. Kontroler generiše izlazni signal *lock* kojim se elektronska brava zaključava (*lock* = „1”) ili otključava (*lock* = „0”). Ulazni signali kontrolera brave su jednobitni signal *ctrl* i četvorobitni signal *num*, koji predstavljaju izlazne signale kontrolera tastature preko koje se unosi šifra. Tastatura je prikazana na slici



*ctrl num*

Slika 3.1 – Prikaz tastature

3.1 i preko nje se mogu uneti cifre iz decimalnog brojevnog sistema, dok se pritiskom na taster brava zaključava. Kada se pritisne taster sa validnom cifrom, vrednost cifre se prosledi na signal *num*, a signal *ctrl* dobije vrednost logičke jedinice koja traje tačno jednu periodu signala takta. Kada se pritisne taster , signal *ctrl* dobija vrednost logičke jedinice koja traje tačno dve periode signala takta (a vrednost signala *num* se ne menja). Kontroler tastature je na raspolaganju i nije ga potrebno realizovati. Za otključavanje brave je potrebno uneti cifre 3, 1 i 9, tim redosledom, koje predstavljaju šifru. Kada se unese ispravna šifra, brava se otključava. Primeri vremenskih dijagrama su prikazani na slici 3.2.

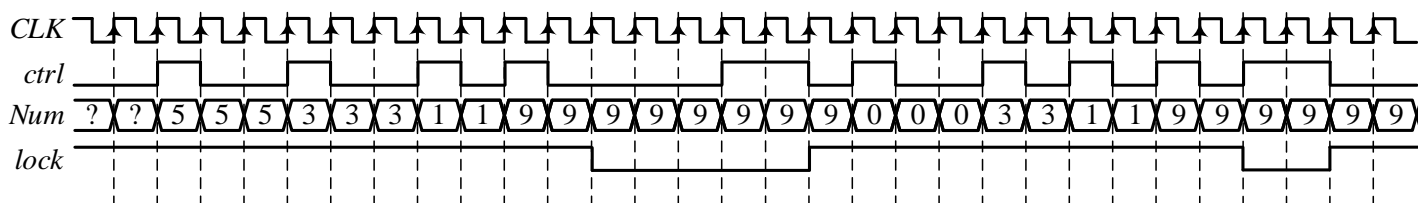
Kontroler elektronske brave se sastoji od dva dela: bloka za čuvanje i proveru trenutno unesene šifre i bloka koji realizuje mašinu stanja kojom se kontroliše da li je brava zaključana ili ne, a koju je potrebno realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flopova i logičkih kola.

a) [7] Korišćenjem dvanaest D flip-flopova projektovati pomerački registar za tri četvorobitna podatka. Pomerački registar pri uzlaznoj ivici signala takta upisuje podatak sa ulaza u prvi četvorobitni registar, a sadržaj narednih registara menja na osnovu sadržaja njima prethodnih registara u lancu. Omogućiti sinhronu kontrolu dozvole upisa (i pomeranja) podataka signalom *ENABLE*, kao i sinhroni reset signalom *RESET*.

b) [4] Korišćenjem bloka iz tačke a), potrebnih komparatora i drugih logičkih kola, projektovati blok za čuvanje i proveru trenutno unesene šifre. Blok treba da generiše logičku jedinicu na signalu *EQ* ako se u pomeračkom registru nalazi ispravna šifra.

c) [7] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza mašine stanja kontrolera elektronske brave ako su za realizaciju mašine stanja na raspolaganju ivični D flip-flopovi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

d) [4] Realizovati kontroler elektronske brave korišćenjem ivičnih D flip-flopova, potrebnih logičkih kola i komponenti realizovanih u prethodnim tačkama. Nacrtati šemu.



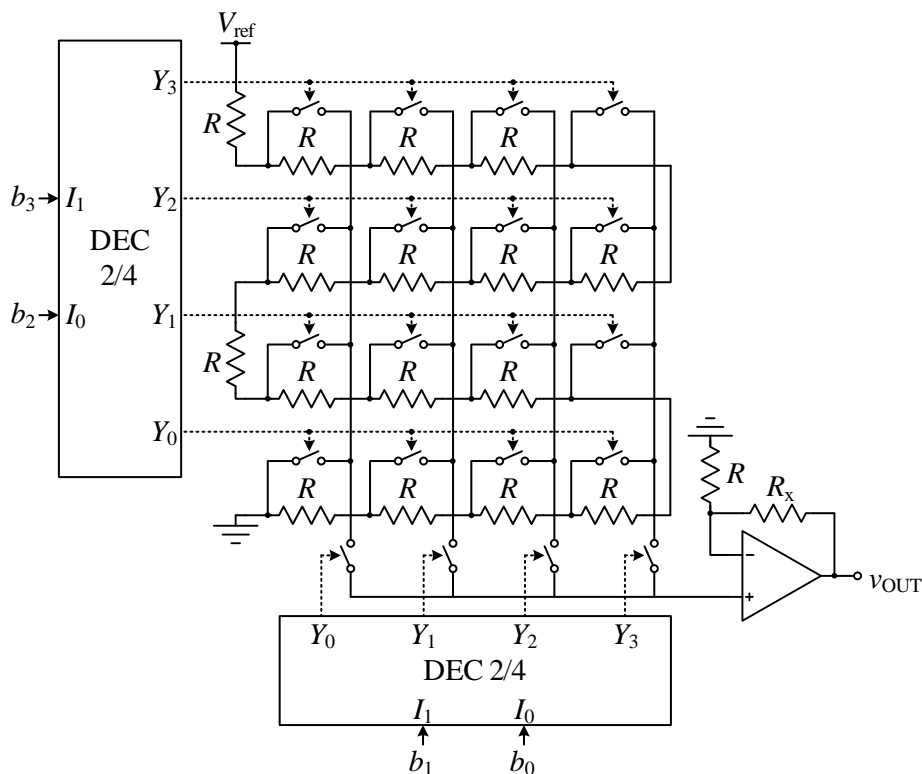
Slika 3.2 – Vremenski dijagrami signala sekvencijalne mreže iz zadatka 3

#### 4. [10 poena]

Na slici 4 je prikazan 4-bitni D/A konvertor koji konvertuje binarni broj predstavljen u prirodnom binarnom kodu bitima  $b[3:0] = b_3b_2b_1b_0$  u odgovarajući analogni napon  $v_{OUT}$  proporcionalan tom broju. Dekoderi prikazani na slici su potpuni binarni dekoderi. Svaki prekidač je zatvoren ako njegov odgovarajući kontrolni signal ima vrednost logičke jedinice. Smatrati da su prekidači idealni, kao i da je operacioni pojačavač idealan.

a) [8] Ukratko objasniti kako radi prikazani D/A konvertor i izvesti izraz za izlazni napon  $v_{OUT}$  u zavisnosti od zadatih elemenata u kolu i vrednosti bita sa ulaza. Zatim, odrediti otpornost  $R_x$  tako da vrednost izlaznog napona bude između 0 i  $V_{ref}$ . Poznato je da je  $R = 1,5 \text{ k}\Omega$ .

b) [2] Nacrtati karakteristiku prenosa ovog D/A konvertora.



Slika 4 – 4-bitni D/A konvertor uz zadatak 4