

Studenti koji rade samo kolokvijumski deo rade zadatke 1, 2 i 3 u trajanju od **90** minuta. Studenti koji rade samo završni ispit rade zadatke 4, 5, 6 i 7 u trajanju od **150** minuta. Integralni ispit traje **180** minuta. Na naslovnoj strani vežbanke jasno napisati koja je opcija odabrana (KOLOKVIJUM, ZAVRŠNI ISPIT ili INTEGRALNI ISPIT). Za zadatak koji nije raden u odgovarajući kvadratić upisati **X**. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka.

1. [9 poena] – teorijska pitanja

a) [5] Faktor grananja dvoulaznog NILI kola je 4, a njegov izlazni signal treba dovesti na ulaze 5 dvoulaznih NILI kola. Predložiti šemu samo sa dvoulaznim NILI kolima kojom se to može ostvariti tako da kašnjenje izlaznih signala cele kombinacione mreže bude približno jednako. Smatrati da svaki ulaz narednog kola povlači istu struju sa izlaza prethodnog kola.

b) [4] Šta su trostatička logička kola? Nacrtati šemu i simbol trostatičkog CMOS invertora i navesti gde se obično koristi.

2. [6 poena]

a) [3] Označeni broj $A = -25.1875_{10}$ predstaviti u drugom komplementu sa minimalnim potrebnim brojem bita.

b) [3] Izvršiti množenje označenih brojeva $A = 110.11_2$ i $B = 10.0001_2$ ako je za smeštanje rezultata predviđeno 10 bita.

3. [15 poena]

a) [3] Nacrtati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje logičku funkciju $Y = \overline{A(B+CD)+DEF}$. Zatim, modifikovati šemu kola tako da svi tranzistori iz PMOS mreže budu zamenjeni pull-up otpornikom otpornosti R_{pu} .

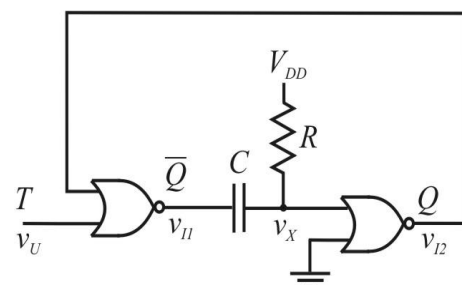
b) [7] Izvesti izraz za izlazni napon kola sa pull-up otpornikom ako se na ulaz D dovodi povorka simetričnih pravougaonih impulsa periode $T = 500$ ns, a ostali signali su $A = "1"$, $B = "0"$, $C = "1"$, $E = "1"$ i $F = "1"$. Na izlazu je povezana sonda osciloskopa kapacitivnosti $C_{probe} = 10$ pF. Nacrtati vremenske dijagrame napona na ulazu C i izlazu Y jedan ispod drugog.

c) [5] Izračunati ukupnu snagu koja se crpi iz baterije za napajanje za situaciju iz tačke b).

Otpornosti svih NMOS tranzistora su jednake i iznose $R_{NMOS} = 200 \Omega$, a otpornosti svih PMOS tranzistora su $R_{PMOS} = 400 \Omega$. Vrednost otpornosti pull-up otpornika je $R_{pu} = 4,7 \text{ k}\Omega$. Napon napajanja je $V_{DD} = 5 \text{ V}$.

4. [20 poena] – teorijska pitanja

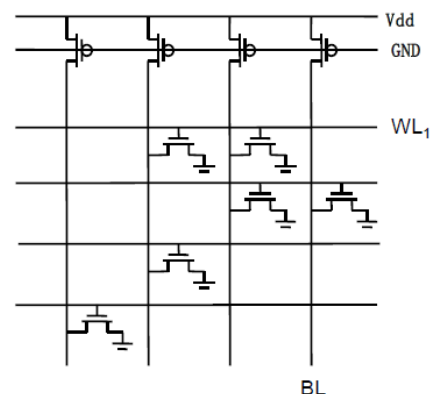
a) [9] Ako se u kolu koje je prikazano na slici 4.a) na ulaz T dovede kratkotrajni impuls, analizirati ponašanje kola (nije potrebno pisati jednačine). Skicirati odgovarajuće vremenske dijagrame. Koja je namena ovog kola? Smatrati da je prag logičkih kola $0,5V_{DD}$ i da se na ulazima ne nalaze zaštitne diode.



Slika 4.a)

b) [5] Po čemu se razlikuju FPGA i CPLD čipovi u pogledu osnovne arhitekture? Ilustrovati slikama.

c) [6] Na slici 4.c je prikazana realizacija jedne ROM memorije. Koje su osnovne karakterisitke i gde se koriste ROM memorije? Objasniti kako će da radi ova memorija ako se dovede signal $WL_1 = "1"$.



Slika 4.c)

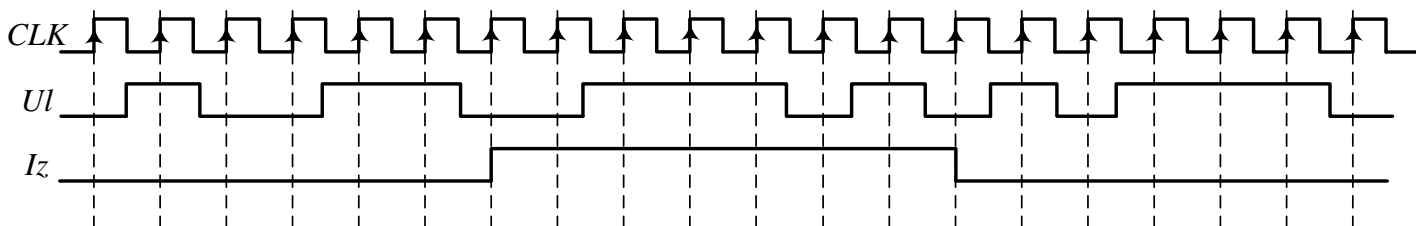
5. [20 poena]

- a) [10] Realizovati sinhroni 3-bitni potpuni brojač koji broji unapred unapred ili unazad u zavisnosti od signala *SMER*. Ako je signal *SMER* na logičkoj nuli, brojač broji unapred, u suprotnom, brojač broji unazad. Brojač broji u prirodnom binarnom kodu. Na raspolaganju su ivični D flip-flopovi sa asinhronim ulazima za direktan set *Sd* i reset *Rd* koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Nacrtati šemu brojača. Najpre napraviti T flip-flop od D flip-flopa i potrebnog logičkog kola, a zatim takve sklopove koristiti za dizajn brojača.
- b) [2] Za brojač iz tačke a) obezbediti mogućnost sinhronog reseta dovođenjem ulaznog signala *RESET* koji je aktivan na logičkoj jedinici.
- d) [8] Projektovati kombinacionu mrežu koja izračunava kvadrat izlaza brojača. Mreža se može projektovati na više načina. Može se koristiti proizvoljan broj jednobitnih potpunih sabirača ili proizvoljan broj osnovnih logičkih kola.

6. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja je zadata vremenskim dijagramima prikazanim na slici 6. Izlazni signal *Iz* menja vrednost sa logičke nule na logičku jedinicu ako je aktivnom vrednošću ulaznog signala *Ul* obuhvaćen paran broj uzlaznih ivica signala takta. Izlazni signal *Iz* menja vrednost sa logičke jedinice na logičku nulu ako je aktivnom vrednošću ulaznog signala *Ul* obuhvaćena tačno jedna uzlazna ivica signala takta. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flopova i logičkih kola. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće ili jednako T_{CLK} . Odrediti:

- a) [9] Tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopovi.
- b) [3] Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.
- c) [6] Realizovati mrežu korišćenjem ivičnih D flip-flopova i potrebnih logičkih kola. Nacrtati šemu.
- d) [2] Ako se mreža nađe u zabranjenim stanjima, proveriti da li i posle koliko taktova izlazi iz zabranjenih stanja.

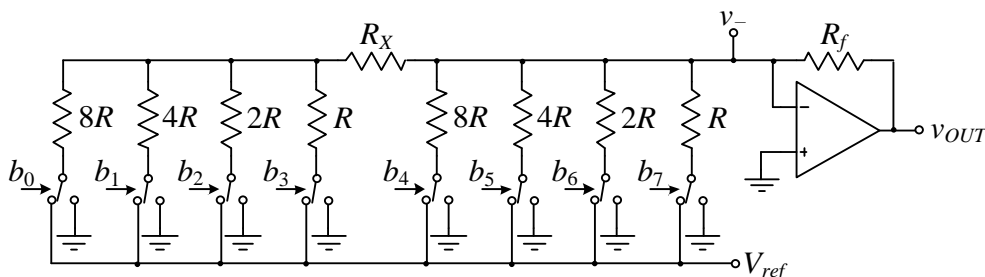


Slika 6 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 6

7. [10 poena]

Na slici 7 je prikazan 8-bitni D/A konvertor koji konvertuje broj predstavljen bitima $b[7:0]$ u odgovarajući analogni napon v_{OUT} . Preklopnici povezuju otpornike iz otporne mreže sa masom ako odgovarajući biti b_i imaju vrednost logičke nule, a sa naponom V_{ref} ako biti b_i imaju vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan.

- a) [7] Odrediti vrednost otpornosti R_X (u zavisnosti od otpornosti R) tako da konvertor konvertuje osmобitni binarni broj $b[7:0]$ u analogni napon proporcionalan tom broju.
- b) [3] Odrediti vrednost otpornosti R_f tako da je $v_{OUT}(b = 00_{16}) = 0$ V, a $v_{OUT}(b = FF_{16}) = 5$ V. Poznato je $V_{ref} = -5$ V i $R = 2,55$ k Ω .



Slika 7 – 8-bitni D/A konvertor uz zadatak 7