

Studenti koji rade samo kolokvijumski deo rade zadatke 1, 2 i 3 u trajanju od 90 minuta. Integralni ispit traje 180 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X.

### 1. [9 poena] – teorijska pitanja

- a) [3] Uporediti standardne CMOS i TTL familije logičkih kola prema brzini, potrošnji i marginama smetnji.
- b) [6] Kako se definiše maksimalni *fanout* logičkog kola i šta bi se desilo ukoliko se prekorači? Odrediti maksimalni *fanout* za logičko kolo čije su karakteristike date u tabeli 1.

		74LS
LOW-level input voltage [V]	$V_{ILmax}$	0.8
LOW-level output voltage [V]	$V_{OLmax}$	0.5
HIGH-level input voltage [V]	$V_{IHmin}$	2.0
HIGH-level output voltage [V]	$V_{OHmin}$	2.7
LOW-level input current [ $\mu$ A]	$I_{ILmax}$	-400
LOW-level output current [mA]	$I_{OLmax}$	8
HIGH-level input current [ $\mu$ A]	$I_{IHmax}$	20
HIGH-level output current [mA]	$I_{OHmax}$	-0.4

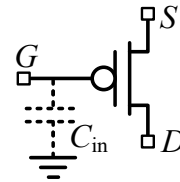
Tabela 1

### 2. [6 poena]

- a) [3] Označeni broj  $A = -25.3125_{10}$  predstaviti u drugom komplementu sa minimalnim potrebnim brojem bita.
- b) [3] Izvršiti množenje označenih brojeva  $A = 110.011_2$  i  $B = 101.01_2$  ako je za smeštanje rezultata predviđeno 10 bita.

### 3. [15 poena]

- a) [5] Nacrati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje multiplexer 2 u 1. Izlaz Y je jednak ulazu A ako je selekcionni signal S na "0", dok je u suprotnom izlaz jednak ulazu B. Eventualne komplementarne vrednosti signala generisati na odgovarajući način kao poseban stepen.
- b) [7] Za proizvoljni prelaz jednog od signala za podatke, izvesti izraz za i odrediti kašnjenje logičke jedinice na izlazu multiplexera ako je na njega povezana sonda osciloskopa kapacitivnosti  $C_{probe} = 10$  pF. Kašnjenje računati kao zbir pojedinačnih kašnjenja stepena za generisanje komplementarne vrednosti signala i izlaznog CMOS stepena.
- c) [3] Izračunati srednju snagu koja se disipira na svim tranzistorima izlaznog stepena ako se izlaz multiplexera menja na svakih 1  $\mu$ s.

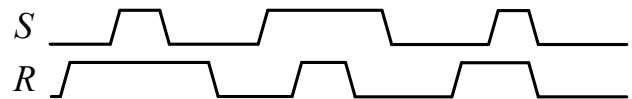


Slika 3 – Prikaz ekvivalentne ulazne kapacitivnosti tranzistora

Otpornosti svih NMOS tranzistora su jednake i iznose  $R_{NMOS} = 100 \Omega$ , a otpornosti svih PMOS tranzistora su  $R_{PMOS} = 200 \Omega$ . Napon napajanja je  $V_{DD} = 2,5$  V. Ulazna kapacitivnost svih tranzistora je  $C_{in} = 0,2$  pF (slika 3).

### 4. [20 poena] – teorijska pitanja

- a) [6] Nacrati šemu i napisati tabelu stanja za SR leč sa NILI kolima. Ako se signali S i R menjaju kao što je prikazano na slici 4, nacrtati vremenske dijagrame za oba izlazna signala i objasniti zašto ovaj leč ima nedozvoljeno stanje.



Slika 4

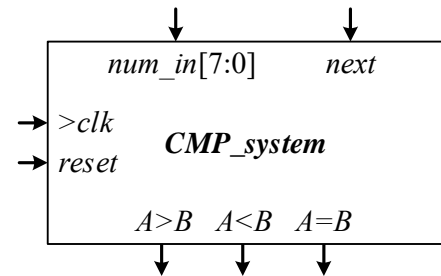
- b) [4] Objasniti koje su dve osnovne prednosti VHDL-a u odnosu na standardne programske jezike kada se opisuju hardverski moduli.
- c) [10] Analogni signal koji se menja u opsegu od 0V do 16V treba konvertovati u 4-bitni digitalni signal korišćenjem A/D konvertora sa sukcesivnim aproksimacijama. Nacrati karakteristiku prenosa idealnog A/D konvertora i odrediti kvantizacionu grešku. Napisati redosled stanja na izlazu ako je ulazni napon  $V_{UL} = 9,25$  V. Navesti dobre i loše osobine ovog tipa A/D konvertora.

### 5. [10 poena]

- a) [7] Realizovati sinhroni 3-bitni potpuni brojač koji broji unapred u prirodnom binarnom kodu. Na raspolaganju su ivični JK flip-flopovi sa asinhronim ulazima za direktan set  $Sd$  i reset  $Rd$  koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Nacrati šemu brojača.
- b) [3] Za brojač iz tačke a) obezbediti mogućnost sinhronog reseta dovođenjem ulaznog signala *RESET* koji je aktivan na logičkoj jedinici.

## 6. [30 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja omogućava učitavanje dva neoznačena binarna broja sa ulaza, a zatim na izlazu prikazuje rezultat poređenja ova dva broja. Blok šema sistema je prikazana na slici 6.1. Mašina stanja koja predstavlja glavni deo ove sekvencijalne mreže može da se nađe u tri stanja. Po izlasku iz asinronog reseta, mašina stanja se nalazi u stanju *READ\_A* i u njemu ostaje sve dok ulazni signal *next* ne postane jednak "1". U ovom stanju se u 8-bitni registar *regA* uvek upisuje 8-bitni podatak sa ulaza *num\_in[7:0]*. Kada ulazni signal *next* postane jednak "1", mašina stanja prelazi u stanje *READ\_B*. U ovom stanju se u 8-bitni registar *regB* uvek upisuje 8-bitni podatak sa ulaza *num\_in[7:0]*. Kada ulazni signal *next* ponovo postane jednak "1", mašina stanja prelazi u stanje *CMP*. U stanju *CMP* sistem ostaje tačno 5 taktova i tokom trajanja ovog stanja na izlazu prikazuje rezultate poređenja dva ulazna podatka. Nakon isteka 5 taktova, mašina stanja se vraća u stanje *READ\_A*. Rezultat poređenja se prikazuje samo u stanju *CMP*, dok u ostalim stanjima svi izlazi treba da budu na "0".



Slika 6.1 – Blok šema sistema iz zadatka 6

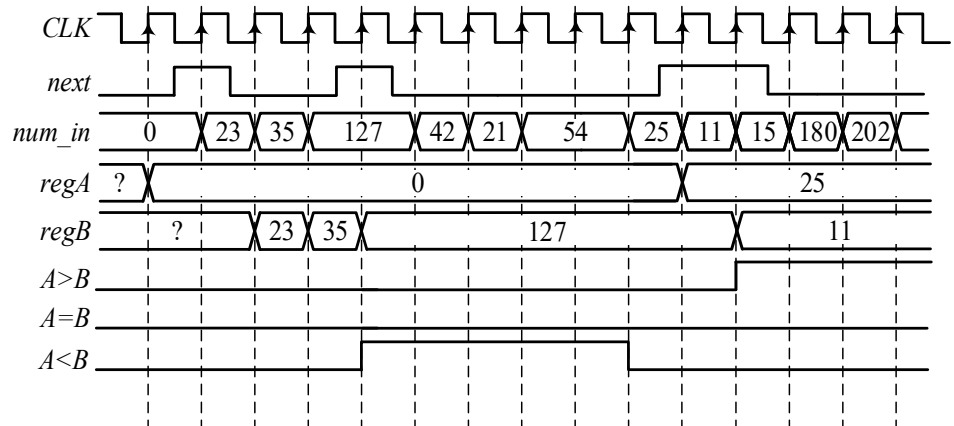
Primer ulaznih, internih i izlaznih signala je prikazan na vremenskim dijagramima sa slike 6.2. Ulazni podatak *num\_in* i sadržaj registara *regA* i *regB* su prikazani u decimalnom zapisu. Mašinu stanja treba realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flopova i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako  $T_{CLK}$ .

a) [5] Projektovati 8-bitni registar sa signalom dozvole. Na raspolaganju su ivični D flip-flopovi i potrebna osnovna logička kola.

b) [7] Projektovati oduzimač 8-bitnih neoznačenih brojeva ako su na raspolaganju jednobitni potpuni sabirači i potrebna logička kola. Dopuniti šemu potrebnim logičkim kolima tako da novi sistem radi kao *magnitude* komparator koji generiše tri vrednosti poređenja ulaznih podataka:  $A < B$ ,  $A = B$  i  $A > B$ .

c) [9] Popuniti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju mašine stanja na raspolaganju ivični D flip-flopovi i brojač iz zadatka 5. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

d) [9] Realizovati mrežu korišćenjem ivičnih D flip-flopova, potrebnih logičkih kola i blokova realizovanih u 5. zadatku i tačkama a) i b) ovog zadatka. Nacrtati šemu.

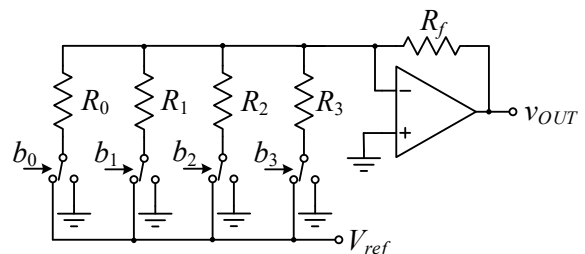


Slika 6.2 – Vremenski dijagrami signala sistema iz zadatka 6

## 7. [10 poena]

Na slici 7 je prikazan 4-bitni D/A konvertor koji konvertuje broj predstavljen u prirodnom binarnom kodu bitima  $b[3:0]$  u odgovarajući analogni napon  $v_{OUT}$  proporcionalan tom broju. Preklopnici povezuju otpornike iz otporne mreže sa masom ako odgovarajući biti  $b_i$  imaju vrednost logičke nule, odnosno sa izvorom referentnog napona ako biti  $b_i$  imaju vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan. Poznato je  $R_3 = 1 \text{ k}\Omega$ ,  $R_f = 1 \text{ k}\Omega$ .

Odrediti otpornosti  $R_0$ ,  $R_1$  i  $R_2$  tako da se kolo sa slike 7 ponaša kao opisani D/A konvertor. Zatim, odrediti izraz za izlazni napon  $v_{OUT}$  u zavisnosti od zadatih elemenata u kolu. Odrediti vrednost referentnog napona  $V_{ref}$  tako da vrednost izlaznog napona bude između 0 i 15 V.



Slika 7 – 4-bitni D/A konvertor uz zadatak 7