

Studenti koji rade samo kolokvijumski deo rade zadatke 1, 2 i 3 u trajanju od 90 minuta. Studenti koji rade samo završni ispit rade zadatke 4, 5, 6 i 7 u trajanju od 150 minuta. Integralni ispit traje 180 minuta. Na naslovnoj strani vežbanke jasno napisati koja je opcija odabrana (KOLOKVIJUM, ZAVRŠNI ISPIT ili INTEGRALNI ISPIT). Za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka.

1. [9 poena] – teorijska pitanja

- a) [3] U tabeli 1 su date karakteristike jednog NI kola. Odrediti da li će to logičko kolo ispravno da radi u sistemu u kome se javlja šum maksimalne vrednosti ± 400 mV.
- b) [6] Ukratko objasniti po jednu komponentu statičke i dinamičke disipacije CMOS invertora.

2. [6 poena]

- a) [3] Označeni broj $A = -11.1875_{10}$ predstaviti u drugom komplementu sa minimalnim potrebnim brojem bita.
- b) [3] Izvršiti množenje označenih brojeva $A = 1000.11_2$ i $B = 1.0101_2$ ako je za smeštanje rezultata predviđeno 10 bita.

3. [15 poena]

- a) [4] Nacrtati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje multiplexer 2 u 1. Izlaz Y je jednak ulazu A ako je selekcionni signal S na "0", odnosno, jednak je ulazu B ako je selekcionni signal S na "1". Zatim, modifikovati šemu kola tako da svi tranzistori iz PMOS mreže budu zamenjeni pull-up otpornikom otpornosti R_{pu} .
- b) [7] Izvesti izraz za izlazni napon multiplexera sa pull-up otpornikom ako se na ulaz S dovodi povorka simetričnih pravougaonih impulsa periode $T = 400$ ns, a ostali signali su $A = "0"$ i $B = "1"$. Na izlazu je povezana sonda osciloskopa kapacitivnosti $C_{probe} = 10$ pF. Nacrtati vremenske dijagrame napona na ulazu S i izlazu Y jedan ispod drugog.
- c) [4] Izvesti izraz za i izračunati kašnjenje logičke jedinice na izlazu multiplexera u situaciji iz tačke b).

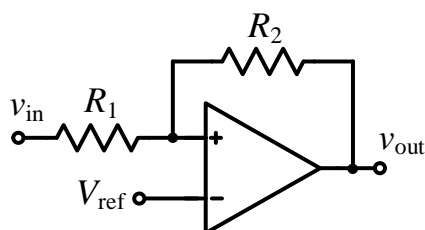
Otpornosti svih NMOS tranzistora su jednake i iznose $R_{NMOS} = 200 \Omega$, a otpornosti svih PMOS tranzistora su $R_{PMOS} = 400 \Omega$. Vrednost otpornosti pull-up otpornika je $R_{pu} = 3,6$ k Ω . Napon napajanja je $V_{DD} = 2,5$ V.

		74LS
LOW-level input voltage [V]	V_{ILmax}	0.8
LOW-level output voltage [V]	V_{OLmax}	0.5
HIGH-level input voltage [V]	V_{IHmin}	2.0
HIGH-level output voltage [V]	V_{OHmin}	2.7
LOW-level input current [μ A]	I_{ILmax}	-400
LOW-level output current [mA]	I_{OLmax}	8
HIGH-level input current [μ A]	I_{IHmax}	20
HIGH-level output current [mA]	I_{OHmax}	-0.4

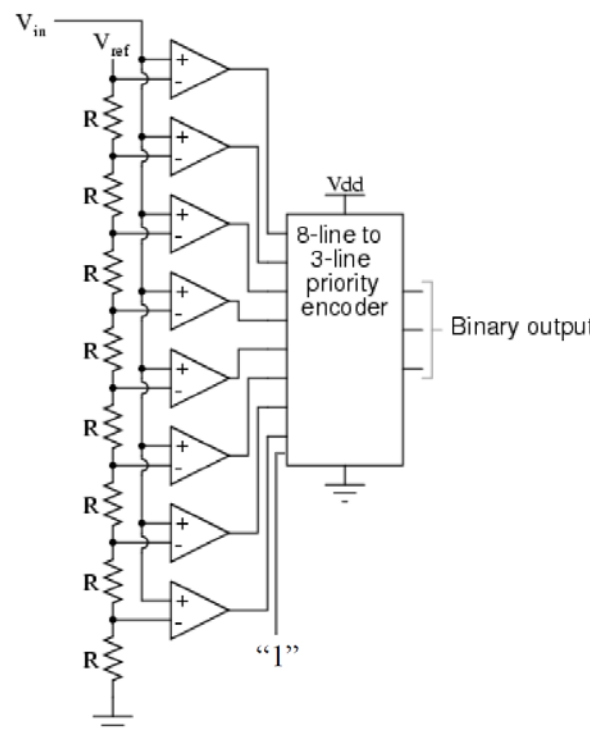
Tabela 1

4. [20 poena] – teorijska pitanja

- a) [10] U kolu prikazanom na slici 4.a) je $R_2 = 4R_1$, operacioni pojačavač je idealan, a nominalne vrednosti logičke nule i jedinice na izlazu treba da budu V_{OL} i V_{OH} , respektivno. Ukratko opisati kako radi ovo kolo, a zatim nacrtati karakteristiku prenosa. Izračunati širinu histerezisa.
- b) [4] Koja je osnovna komponenta koja omogućava čuvanje podataka u EEPROM i Flash memorijama? Ukratko objasniti princip rada te komponente.
- c) [6] Šta predstavlja kolo prikazano na slici 4.c)? Ukratko objasniti kako radi to kolo i koje su njegove osobine.



Slika 4.a)



Slika 4.c)

5. [10 poena]

a) [8] Realizovati sinhroni 3-bitni potpuni brojač koji broji unapred u prirodnom binarnom kodu. Na raspolaganju su ivični D flip-flovi sa asinhronim ulazima za direktan set Sd i reset Rd koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Nacrtati šemu brojača.

b) [2] Za brojač iz tačke a) obezbediti mogućnost sinhronog reseta dovođenjem ulaznog signala $RESET$ koji je aktivan na logičkoj jedinici.

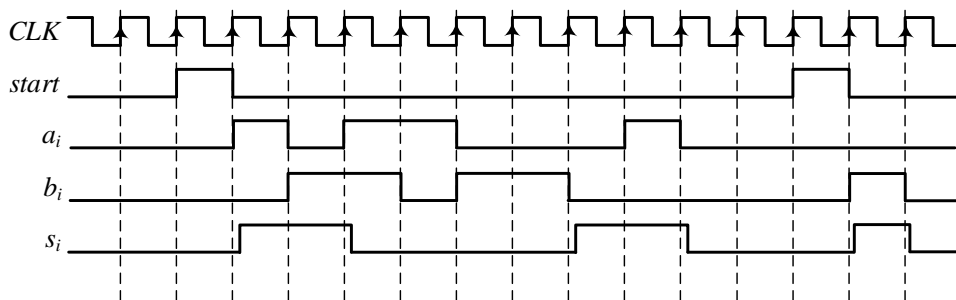
6. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja serijski sabira dva označena 8-bitna binarna broja sa ulaza. Ulazi u sekvencijalnu mrežu, pored signala takta, su biti a_i i b_i brojeva A i B koji se sabiraju i signal $start$ koji označava početak sekvence ulaznih podataka. Signal $start$ traje tačno jednu periodu signala takta i aktivan je na logičkoj jedinici. Kada signal $start$ postane aktivan, mašina stanja ulazi u režim sabiranja brojeva sa ulaza. U narednih 8 taktova sistem uzima bite brojeva A i B počev od LSB bita i na svom izlazu generiše bite sume ta dva broja.

Primer ulaznih i izlaznih signala je prikazan na vremenskim dijagramima sa slike 6. Mašinu stanja treba realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flova i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} . Za projektovanje sistema koristiti ivične D flip-flovoe, potrebna osnovna logička kola, jedan potpuni sabirač i, eventualno, brojač iz zadatka 5.

a) [8] Popuniti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

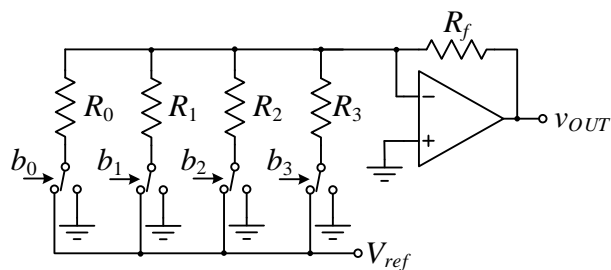
b) [12] Realizovati mrežu korišćenjem elemenata koji su na raspolaganju. Nacrtati šemu.



Slika 6 – Vremenski dijagrami signala sistema iz zadatka 6

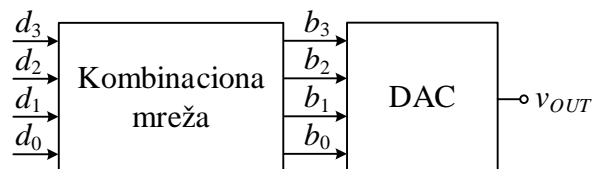
7. [20 poena]

Na slici 7.1 je prikazan 4-bitni D/A konvertor koji konvertuje broj predstavljen u prirodnom binarnom kodu bitima $b[3:0]$ u odgovarajući analogni napon v_{OUT} proporcionalan tom broju. Preklopnici povezuju otpornike iz otporne mreže sa masom ako odgovarajući biti b_i imaju vrednost logičke nule, odnosno sa izvorom referentnog napona ako biti b_i imaju vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan. Poznato je $R_3 = 1 \text{ k}\Omega$, $R_f = 1 \text{ k}\Omega$.



Slika 7.1 – 4-bitni D/A konvertor uz zadatak 7

a) [10] Odrediti otpornosti R_0 , R_1 i R_2 tako da se kolo sa slike 7.1 ponaša kao opisani D/A konvertor. Zatim, odrediti izraz za izlazni napon v_{OUT} u zavisnosti od zadatih elemenata u kolu. Odrediti vrednost referentnog napona V_{ref} tako da vrednost izlaznog napona bude između 0 i 15 V.



Slika 7.2 – D/A konvertor za BCD cifru $d_3d_2d_1d_0$

b) [2] Napisati izraz za izlazni napon v_{OUT} ako se otpornost R_3 izmeni i bude $R_3 = 4 \text{ k}\Omega$, a ostali elementi D/A konvertora su isti.

c) [8] Potrebno je projektovati kombinacionu mrežu koja na ulazu ima broj u prirodnom BCD kodu ($d_3d_2d_1d_0$), a čiji je izlaz povezan na ulaz D/A konvertora sa izmenjenom otpornošću R_3 iz tačke b). Šema povezivanja je prikazana na slici 7.2. Kombinaciona mreža na svom izlazu generiše odgovarajući podatak tako da D/A konvertor na izlazu daje napon u opsegu od 0 do 9 V proporcionalan BCD cifri sa ulaza u kombinacionu mrežu. Projektovati ovu kombinacionu mrežu korišćenjem minimalnog broja osnovnih logičkih kola.