

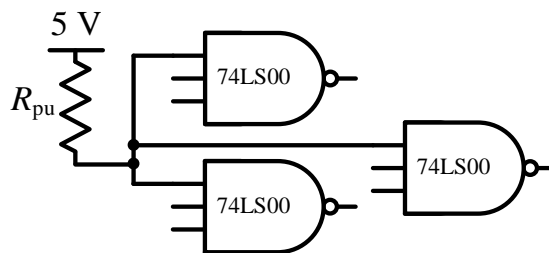
Studenti koji rade samo kolokvijumski deo rade zadatke 1, 2 i 3 u trajanju od **90** minuta. Studenti koji rade samo završni ispit rade zadatke 4, 5, 6 i 7 u trajanju od **150** minuta. Integralni ispit traje **180** minuta. Na naslovnoj strani vežbanke jasno napisati koja je opcija odabrana (KOLOKVIJUM, ZAVRŠNI ISPIT ili INTEGRALNI ISPIT). Za zadatak koji nije raden u odgovarajući kvadratić upisati **X**. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka.

1. [9 poena] – teorijska pitanja

- a) [3] Navesti prednosti standardne CMOS familije u odnosu na TTL familiju logičkih kola.
- b) [6] Na slici 1. je prikazan deo šeme u kome se nekorišćeni ulazi logičkih kola povezuju preko *pull-up* otpornika na napajanje. Ostali ulazi logičkih kola su povezani na izlaze logičkih kola iz iste familije koja nisu prikazana na slici. Ako su korišćena logička kola 74LS00 čije su statičke karakteristike prikazane u tabeli 1, odrediti maksimalnu vrednost *pull-up* otpornika tako da šema ispravno radi. Napon napajanja je konstantan.

		74LS
LOW-level input voltage [V]	V_{ILmax}	0.8
LOW-level output voltage [V]	V_{OLmax}	0.5
HIGH-level input voltage [V]	V_{IHmin}	2.0
HIGH-level output voltage [V]	V_{OHmin}	2.7
LOW-level input current [μA]	I_{ILmax}	-400
LOW-level output current [mA]	I_{OLmax}	8
HIGH-level input current [μA]	I_{IHmax}	20
HIGH-level output current [mA]	I_{OHmax}	-0.4

Tabela 1.



Slika 1.

2. [6 poena]

- a) [3] Označeni broj $A = -15.1875_{10}$ predstaviti u drugom komplementu sa minimalnim potrebnim brojem bita.
- b) [3] Izvršiti množenje označenih brojeva $A = 100.11_2$ i $B = 10.0101_2$ ako je za smeštanje rezultata predviđeno 10 bita.

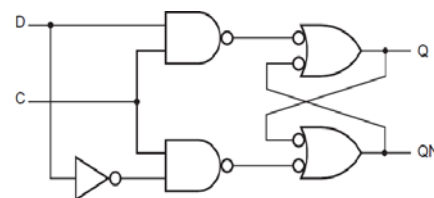
3. [15 poena]

- a) [3] Nacrtati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje logičku funkciju $Y = \overline{A(B + CD)}$. Zatim, modifikovati šemu kola tako da svi tranzistori iz PMOS mreže budu zamenjeni *pull-up* otpornikom otpornosti R_{pu} .
- b) [8] Izvesti izraz za izlazni napon kola sa *pull-up* otpornikom ako se na ulaz C dovodi povorka simetričnih pravougaonih impulsa periode $T = 400$ ns, a ostali signali su $A = "1"$, $B = "0"$ i $D = "1"$. Na izlazu je povezana sonda osciloskopa kapacitivnosti $C_{probe} = 10$ pF. Nacrtati vremenske dijagrame napona na ulazu C i izlazu Y jedan ispod drugog.
- c) [4] Izvesti izraz za t_{z} i izračunati trajanje uzlazne ivice signala na izlazu kola iz tačke b).

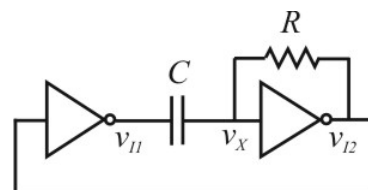
Otpornosti svih NMOS tranzistora su jednake i iznose $R_{NMOS} = 200 \Omega$, a otpornosti svih PMOS tranzistora su $R_{PMOS} = 400 \Omega$. Vrednost otpornosti *pull-up* otpornika je $R_{pu} = 3,4$ k Ω . Napon napajanja je $V_{DD} = 2,5$ V.

4. [20 poena] – teorijska pitanja

- a) [6] Na slici 4.a je prikazan D leč sa signalom dozvole. Definirati vreme postavljanja i vreme držanja za taj leč. Nacrtati vremenske dijagrame na kojima će biti prikazana ta vremena. Analizirajući šemu leča, objasniti zbog čega je potrebno da se uvedu ta dva parametra.
- b) [5] Šta je *test bench* i koja mu je namena? Šta sadrži entiti, a šta arhitektura *test bench*-a u VHDL-u?
- c) [9] Analizirati ponašanje kola koje je prikazano na slici 4.c (nije potrebno pisati jednačine). Koja je namena ovog kola? Skicirati vremenske dijagrame napona v_x , v_{I1} i v_{I2} ako je prag logičkih kola $0.5 V_{DD}$, a na ulazu ne postoje zaštitne diode.



Slika 4.a



Slika 4.c

5. [20 poena]

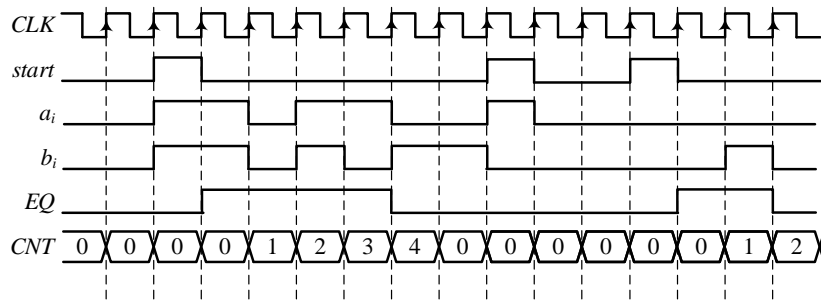
- a) [8] Realizovati sinhroni 4-bitni potpuni brojač koji broji unapred u prirodnom binarnom kodu. Na raspolaganju su ivični D flip-flopovi sa asinhronim ulazima za direktan set Sd i reset Rd koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Nacrtati šemu brojača. Najpre napraviti T flip-flop od D flip-flopa i potrebnog logičkog kola, a zatim takve sklopove koristiti za dizajn brojača.
- b) [2] Za brojač iz tačke a) obezbediti mogućnost sinhronog reseta dovođenjem ulaznog signala $RESET$ koji je aktivan na logičkoj jedinici.
- c) [2] Za brojač iz tačke b) obezbediti mogućnost zabrane brojanja. Brojač broji ako je signal $ENABLE$ na logičkoj jedinici.
- d) [8] Na izlaz brojača je potrebno postaviti mrežu koja konvertuje 4-bitni broj iz prirodnog binarnog koda u prirodni BCD kod. Projektovati ovu kombinacionu mrežu bez korišćenja osnovnih logičkih kola.

6. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja serijski proverava jednakost dva binarna broja sa ulaza. Pored signala takta, ulazi u sekvencijalnu mrežu su biti a_i i b_i brojeva A i B koji se porede, i signal $start$ koji označava početak sekvence ulaznih podataka. Signal $start$ traje tačno jednu periodu signala takta i aktivan je na logičkoj jedinici. Kada signal $start$ postane aktivan, tada počinje i ulazna sekvencija bita počev od MSB bita. Mašina stanja treba da generiše signal EQ koji se postavlja na logičku jedinicu dok god su ulazni brojevi jednaki. Onog trenutka kada više nisu, signal EQ se postavlja na logičku nulu.

Primer ulaznih i izlaznih signala je prikazan na vremenskim dijagramima sa slike 6. Mašinu stanja treba realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flopova i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje su ulazni signali na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} . Za projektovanje sistema koristiti ivične D flip-flopove i potrebna osnovna logička kola.

- a) [8] Popuniti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.
- b) [8] Realizovati mrežu korišćenjem elemenata koji su na raspolaganju. Nacrtati šemu.
- c) [4] Dopuniti mrežu iz tačke b) brojačem iz tačke c) 5. zadatka tako da brojač stalno prikazuje broj jednakih bita. Primer izlaza brojača predstavljen u decimalnom zapisu je prikazan na slici 6.

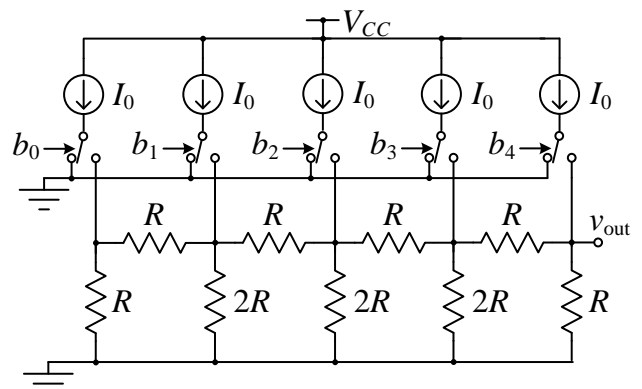


Slika 6 – Vremenski dijagrami signala sistema iz zadatka 6

7. [10 poena]

Na slici 7 je prikazan 5-bitni D/A konvertor sa idealnim strujnim izvorima i otporničkom mrežom. Na ulaz D/A konvertora se dovodi binarni broj $b_4b_3b_2b_1b_0$ dok se na izlazu konvertora generiše analogni napon v_{out} koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Smatrati da su preklopnici idealni. Poznato je da je $0 \text{ V} \leq v_{out} \leq 3,1 \text{ V}$, $V_{CC} = 5 \text{ V}$ i $I_0 = 1 \text{ mA}$.

Izvesti izraz za izlazni napon D/A konvertora u zavisnosti od svih elemenata u kolu (ulaznog podatka, struje I_0 , otpornosti R , napona V_{CC}), a zatim izračunati otpornost R tako da izlazni napon bude u navedenom opsegu.



Slika 7 – 5-bitni D/A konvertor uz zadatak 7