

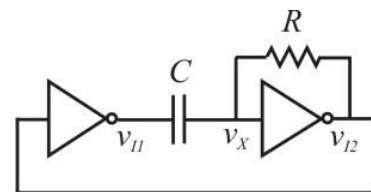
Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajući kvadratić upisati X.

### 1. [18 poena]

a) [9] Analizirati ponašanje kola koje je prikazano na slici 1.a (nije potrebno pisati jednačine). Koja je namena ovog kola? Skicirati vremenske dijagrame napona  $v_x$ ,  $v_{II}$  i  $v_{I2}$  ako je prag logičkih kola  $0.5 V_{DD}$ , a na ulazu ne postoje zaštitne diode.

b) [5] Po čemu se razlikuju FPGA i CPLD čipovi u pogledu osnovne arhitekture? Ilustrovati slikama.

c) [4] Koje su sličnosti, a koje razlike između EPROM i EEPROM memorija?



Slika 1.a

### 2. [12 poena]

a) [6] Realizovati sinhroni 3-bitni potpuni brojač koji broji unapred u prirodnom binarnom kodu. Na raspolaganju su ivični JK flip-flovi sa asinhronim ulazima za direktan set  $S_d$  i reset  $R_d$  koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Nacrtati šemu brojača.

b) [3] Za brojač iz tačke a) obezbediti mogućnost zabrane brojanja. Brojač broji ako je ulazni kontrolni signal  $ENABLE$  na logičkoj jedinici, u suprotnom, ostaje u prethodnom stanju.

c) [3] Za brojač iz tačke b) obezbediti mogućnost sinhronog reseta dovođenjem ulaznog signala  $RESET$  koji je aktivan na logičkoj jedinici.

### 3. [20 poena]

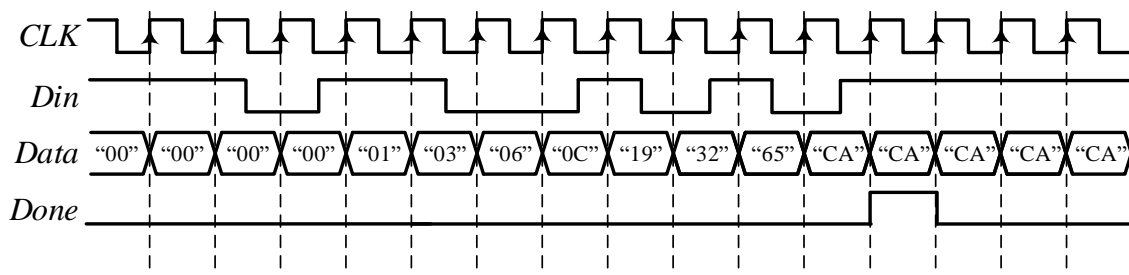
Potrebno je projektovati sinhronu sekvencijalnu mrežu koja radi kao serijski prijemnik 8-bitnog podatka. Mreža je neaktivna ako je ulazni signal  $Din$  jednak logičkoj jedinici. Kada ulazni signal promeni vrednost sa jedinice na nulu, mašina stanja prepoznaje da je potrebno početi sa očitavanjem ulaznog podatka. U narednim taktovima, na ulazu  $Din$  se pojavljuju jedan po jedan bit 8-bitnog podatka i nakon 8 taktova ulazni signal  $Din$  ponovo dobija vrednost logičke jedinice. Osmobitni podatak se učitava u pomerački registar, a nakon što se učita, mreža treba da izgeneriše signal  $Done$ , trajanja jedne periode signala takta, koji označava da je primljen novi podatak. Na izlazima pomeračkog registra se dobija 8-bitni izlazni signal  $Data$ .

Primer ulaznih i izlaznih signala je prikazan na vremenskim dijagramima sa slike 3. Signal  $Data$  je prikazan u heksadecimalnom zapisu. Mrežu realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flova i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako  $T_{CLK}$ .

a) [4] Projektovati 8-bitni pomerački registar sa signalom dozvole. Registar radi kao pomerački registar ako je ulazni signal  $SHIFT\_EN$  na logičkoj jedinici, a zadržava prethodno stanje ako je  $SHIFT\_EN$  na logičkoj nuli. Na raspolaganju su ivični D flip-flovi i potrebna logička kola.

b) [8] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju mašine stanja na raspolaganju ivični D flip-flovi i brojač iz zadatka 2. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

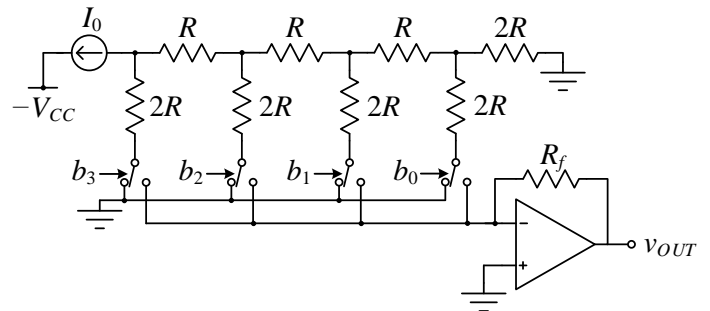
c) [8] Realizovati mrežu korišćenjem ivičnih D flip-flova, potrebnih logičkih kola i blokova realizovanih u 2. zadatku i tački a) ovog zadatka. Nacrtati šemu.



Slika 3 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 3

#### 4. [10 poena]

Na slici 4 je prikazan 4-bitni D/A konvertor koji konvertuje binarni broj predstavljen bitima  $b[3:0]$  u odgovarajući analogni napon  $v_{OUT}$  proporcionalan tom broju. Preklopnici povezuju otpornike iz otporne mreže sa masom ako odgovarajući biti  $b_i$  imaju vrednost logičke nule, a sa ulazom operacionog pojačavača ako biti  $b_i$  imaju vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan. Poznato je  $I_0 = 1 \text{ mA}$ .



Slika 4 – 4-bitni D/A konvertor uz zadatak 4

- a) [5] Odrediti izraz za izlazni napon  $v_{OUT}$  u zavisnosti od zadatih elemenata u kolu. Zatim odrediti otpornost  $R_f$  tako da vrednost izlaznog napona bude između 0 i 3,75 V.
- b) [5] Dopuniti kolo sa slike 4 tako da predstavlja 6-bitni D/A konvertor. Na raspolaganju su tri strujna izvora struje  $I_0 = 1 \text{ mA}$ , tri identična preklopnika kao na slici 4 i potrebna logička kola.