

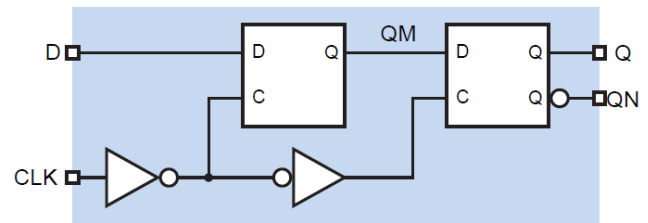
Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajućim kvadratić upisati X.

1. [18 poena]

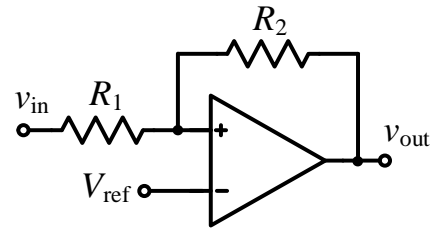
a) [6] Nacrtati simbol i napisati tablicu istinitosti za flip-flop prikazan na slici 1.a). Nacrtati odgovarajuće vremenske dijagrame na kojima treba naznačiti kašnjenja koja se mogu definisati za taj flip-flop, kao i vremena postavljanja i držanja.

b) [9] U kolu prikazanom na slici 1.b) je $R_2 = 4R_1$, operacioni pojačavač je idealan, a nominalne vrednosti logičke nule i jedinice na izlazu treba da budu V_{OL} i V_{OH} , respektivno. Ukratko opisati kako radi ovo kolo, a zatim nacrtati karakteristiku prenosa. Izračunati širinu histerezisa.

c) [3] Uporediti realizacije A/D konvertora sa sukcesivnim aproksimacijama, sa dvojnim nagibom i fleš A/D konvertora u pogledu brzine i rezolucije za koju se najčešće koriste u praksi.



Slika 1.a)



Slika 1.b)

2. [10 poena]

a) [5] Realizovati sinhroni 3-bitni potpuni brojač koji broji unapred u prirodnom binarnom kodu. Na raspolaganju su ivični D flip-flovi sa asinhronim ulazima za direktan set Sd i reset Rd koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Nacrtati šemu brojača.

b) [3] Za brojač iz tačke a) obezbediti mogućnost zabrane brojanja. Brojač broji ako je ulazni sinhroni kontrolni signal $ENABLE$ na logičkoj jedinici, u suprotnom, ostaje u prethodnom stanju.

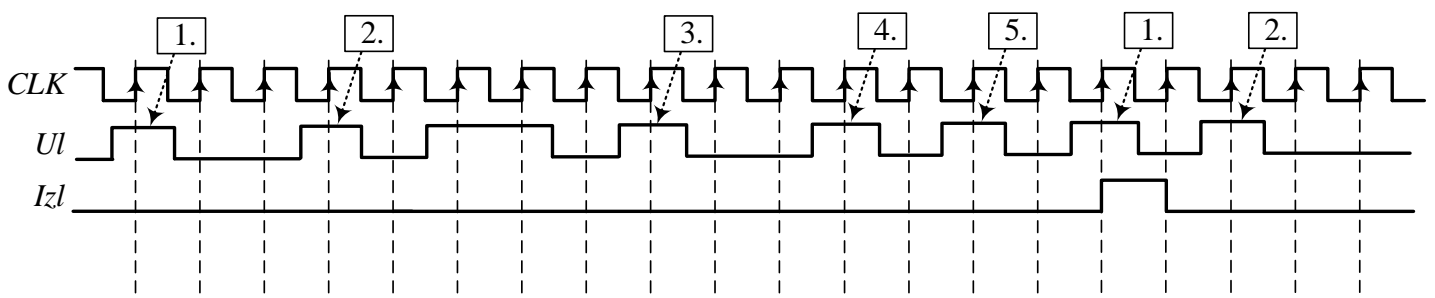
c) [2] Za brojač iz tačke b) obezbediti mogućnost sinhronog reseta dovodenjem ulaznog signala $RESET$ koji je aktivan na logičkoj jedinici.

3. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja na izlazu generiše impuls trajanja jedne periode signala takta, nakon što je detektovala 5 istih takvih ulaznih impulsa. Primer ulaznih i izlaznih signala je prikazan na vremenskim dijagramima sa slike 3. Za realizaciju sekvencijalne mreže se može koristiti brojač iz zadatka 2 i Murova mašina stanja za detekciju impulsa. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće ili jednako T_{CLK} .

a) [10] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza za mašinu stanja za detekciju impulsa ako su na raspolaganju ivični JK flip-flovi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove mašine stanja. Na vremenskim dijagramima označiti i stanja brojača neophodnog za realizaciju cele sekvencijalne mreže.

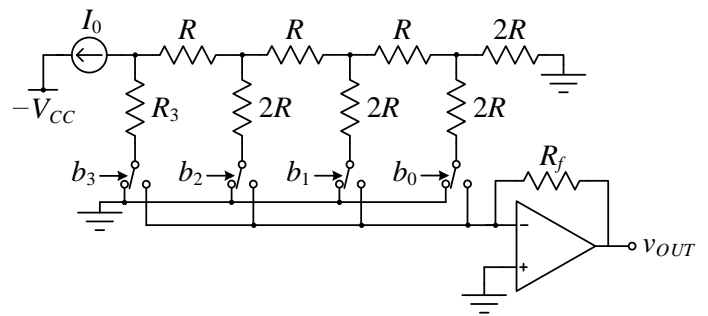
b) [10] Realizovati mrežu korišćenjem ivičnih JK flip-flova, potrebnih logičkih kola i brojača realizovanog u 2. zadatku. Nacrtati šemu.



Slika 3 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 3

4. [12 poena]

Na slici 4 je prikazan 4-bitni D/A konvertor koji konvertuje binarni broj predstavljen bitima $b[3:0]$ u odgovarajući analogni napon v_{OUT} proporcionalan tom broju. Preklopnici povezuju otpornike iz otporne mreže sa masom ako odgovarajući biti b_i imaju vrednost logičke nule, a sa ulazom operacionog pojačavača ako biti b_i imaju vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan. Poznato je $I_0 = 1 \text{ mA}$.



Slika 4 – 4-bitni D/A konvertor uz zadatak 4

- a) [5] Odrediti izraz za izlazni napon v_{OUT} u zavisnosti od zadatih elemenata u kolu, ako je $R_3 = 2R$. Zatim odrediti otpornost R_f tako da vrednost izlaznog napona bude između 0 i 15 V. Nacrtati prenosnu karakteristiku ovog D/A konvertora.
- b) [7] Ako se otpornost R_3 promeni tako da je $R_3 = 3R$, odrediti izraz za izlazni napon v_{OUT} u zavisnosti od zadatih elemenata u kolu u tom slučaju. Nacrtati prenosnu karakteristiku D/A konvertora u tom slučaju, a zatim odrediti najveću diferencijalnu nelinearnost (DNL).