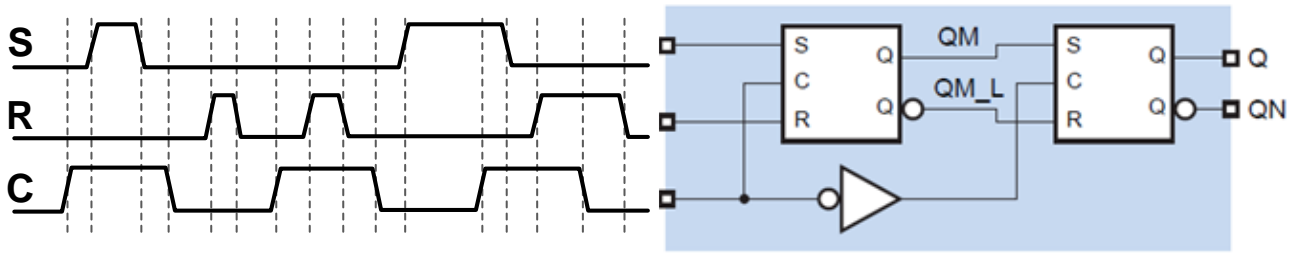


Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajući kvadratić upisati X.

1. [18 poena]

a) [6] Nacrtati simbol i napisati tablicu istinitosti za flip-flop prikazan na slici 1.a). Nacrtati vremenske dijagrame za signale QM i Q ako se ulazi flip-flopa pobuđuju kao na slici.



Slika 1.a)

b) [6] Objasniti postupke upisa i brisanja sadržaja *flash* memorija. Uporediti karakteristike *flash* i EEPROM memorija.

c) [6] Nacrtati tipičnu arhitekturu savremenog FPGA čipa (kao što je Spartan 3) i ukratko objasniti ulogu svakog bloka.

2. [12 poena]

a) [8] Potrebno je realizovati sinhroni brojač koji ima dva režima rada u zavisnosti od vrednosti ulaznog kontrolnog signala *CNT_MODE*. Ako je signal *CNT_MODE* na logičkoj jedinici, brojač radi kao 3-bitni potpuni brojač unapred, dok u suprotnom broji po sekvenci 0-7-2-5-4-3-0. Na raspolaganju su ivični JK flip-flovi sa asinhronim ulazima za direktan set *Sd* i reset *Rd* koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.

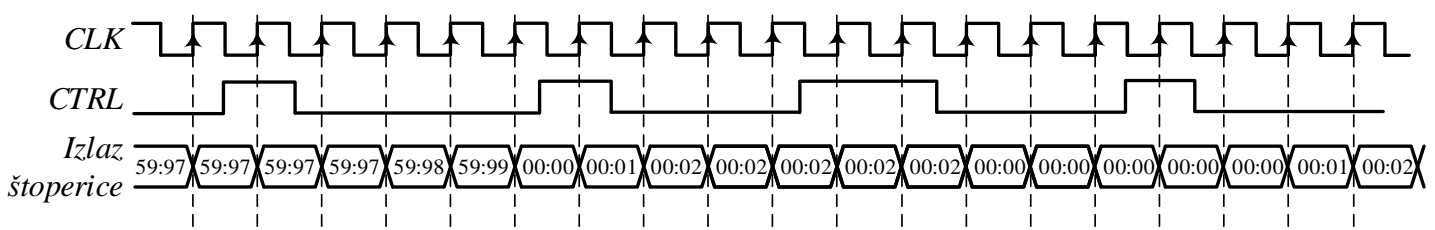
b) [2] Za brojač iz tačke a) obezbediti mogućnost zabrane brojanja. Brojač broji ako je ulazni kontrolni signal *ENABLE* na logičkoj jedinici, u suprotnom, ostaje u prethodnom stanju.

c) [2] Za brojač iz tačke b) obezbediti mogućnost asinhronog reseta dovođenjem ulaznog signala *RESET* koji je aktivan na logičkoj jedinici.

3. [18 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja radi kao štoperica koja meri vreme trajanja do jednog minuta. Na raspolaganju su dva 8-bitna brojača sa sinhronim *ENABLE* ulazom i sinhronim *RESET* ulazom aktivnim na logičkoj jedinici. Brojači služe za brojanje stotinki i sekundi. Stanje štoperice se kontroliše jednim kontrolnim ulaznim signalom *CTRL* kojim se štoperica može startovati, pauzirati ili resetovati. Štoperica se startuje ako trenutno nije startovana i ako ulazni signal *CTRL* dobije vrednost logičke jedinice trajanja tačno jedne periode signala takta. Štoperica se pauzira ako je startovana i ako ulazni signal *CTRL* dobije vrednost logičke jedinice trajanja tačno jedne periode signala takta. Štoperica se resetuje, nevezano od toga da li je startovana ili nije, ako ulazni signal *CTRL* dobije vrednost logičke jedinice trajanja više od jedne periode signala takta. Nakon reseta, štoperica je pauzirana. U slučaju da štoperica izbroji do 59 sekundi 99 stotinki, a nije zaustavljena, na naredni takt se svi brojači postavljaju na nule. Potrebno je osmisлити sistem koji sadrži navedena dva brojača čiji se kontrolni signali *ENABLE* i *RESET* generišu na osnovu signala dobijenih iz mašine stanja.

Primer ulaznog signala i vrednosti na izlazu štoperice su prikazani na vremenskim dijagramima sa slike 3. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flova i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} i da je $T_{CLK} = 10$ ms.



Slika 3 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 3

a) [10] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza mašine stanja, ako su za njenu realizaciju na raspolaganju ivični D flip-flovi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

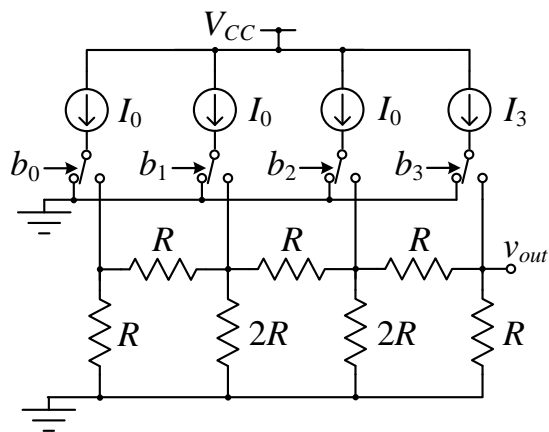
c) [8] Realizovati mrežu korišćenjem ivičnih D flip-flova, potrebnih logičkih kola i opisanih 8-bitnih brojača. Nacrtati šemu.

4. [12 poena]

Na slici 4 je prikazan 4-bitni D/A konvertor sa idealnim strujnim izvorima i otporničkom mrežom. Na ulaz D/A konvertora se dovodi binarni broj $b_3b_2b_1b_0$ dok se na izlazu konvertora generiše analogni napon v_{out} koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Smatrati da su preklopnici idealni. Poznato je da je $V_{CC} = 5\text{ V}$ i $I_3 = I_0 = 1\text{ mA}$.

a) [6] Izvesti izraz za izlazni napon D/A konvertora u zavisnosti od svih elemenata u kolu (ulaznog podatka, struje I_0 , otpornosti R , napona V_{CC}), a zatim izračunati otpornost R tako da izlazni napon bude u opsegu $0\text{ V} \leq v_{out} \leq 5\text{ V}$.

b) [6] Ako se struja stujnog izvora I_3 promeni tako da je $I_3 = 2/3I_0$, odrediti izraz za izlazni napon v_{out} u zavisnosti od zadatih elemenata u kolu u tom slučaju. Nacrtati prenosnu karakteristiku D/A konvertora u tom slučaju, a zatim odrediti najveću diferencijalnu nelinearnost (DNL).



Slika 4 – 4-bitni D/A konvertor uz zadatak 4