

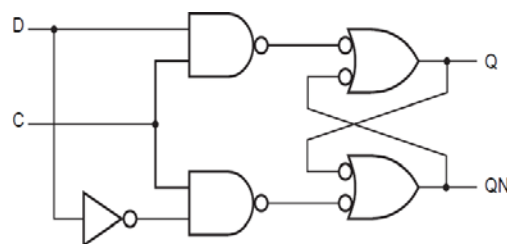
Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajućim kvadratićima upisati X.

1. [18 poena]

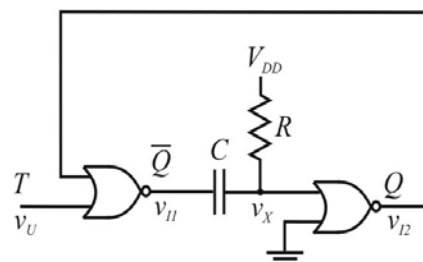
a) [6] Na slici 1.a) je prikazan D leč sa signalom dozvole. Definirati vreme postavljanja i vreme držanja za taj leč. Nacrtati vremenske dijagrame na kojima će biti prikazana ta vremena. Analizirajući šemu leča, objasniti zbog čega je potrebno da se uvedu ta dva parametra.

b) [4] Zbog čega se prilikom projektovanja hardverskih modula u VHDL-u signalima najčešće dodeljuje tip signala STDLOGIC (type STD_LOGIC is ('U', 'X', '0', '1', 'Z', 'W', 'L', 'H', '-')), a ne tip BIT? Kratko obrazložiti.

c) [8] Ako se u kolu koje je prikazano na slici 1.c) na ulaz T dovede kratkotrajni impuls, analizirati ponašanje kola (nije potrebno pisati jednačine). Skicirati odgovarajuće vremenske dijagrame. Koja je namena ovog kola? Smatrati da je prag logičkih kola $0,5V_{DD}$ i da se na ulazima ne nalaze zaštitne diode.



Slika 1.a)



Slika 1.c)

2. [12 poena]

a) [8] Potrebno je realizovati sinhroni brojač koji ima dva režima rada u zavisnosti od vrednosti ulaznog kontrolnog signala CNT_MODE . Ako je signal CNT_MODE na logičkoj nuli, brojač radi kao 3-bitni potpuni brojač unazad, dok u suprotnom broji po sekvenci 0-5-1-7-3-2-0. U slučaju da se režim rada promeni dok je brojač u nekom nedozvoljenom stanju za novi režim rada, neophodno je preći u najbliže dozvoljeno stanje. Na raspolaganju su ivični JK flip-flopi sa asinhronim ulazima za direktan set S_d i reset R_d koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.

b) [2] Za brojač iz tačke a) obezbediti mogućnost asinhronog paralelnog upisa. U brojač se upisuje 3-bitni podatak $D_{in}[2:0]$ ako je ulazni signal $LOAD$ na logičkoj jedinici.

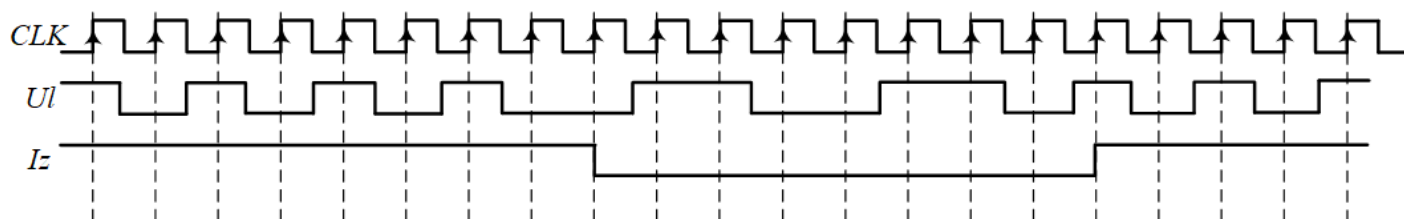
c) [2] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola $t_{dlk} = 5$ ns, kašnjenja svih flip-flova $t_{dff} = 10$ ns, a vreme postavljanja (setup time) svih flip-flova je $t_{setup} = 2$ ns. Smatrati da su vremena držanja (hold time) zadovoljena.

3. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja detektuje učestanost ulaznog signala. Ulazni signal je pravougaona povorka impulsa koja može imati dve učestanosti, pri čemu se učestanost menja samo kada je signal na logičkoj nuli. Ako se ulazni signal menja učestanošću duplo većom od učestanosti signala takta, mreža treba da generiše logičku jedinicu na izlazu. Ako se ulazni signal menja učestanošću 4 puta većom od učestanosti signala takta, mreža treba da generiše logičku nulu na izlazu. Primer ulaznih i izlaznog signala je prikazan na vremenskim dijagramima sa slike 3. Mrežu realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flova i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} .

a) [14] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

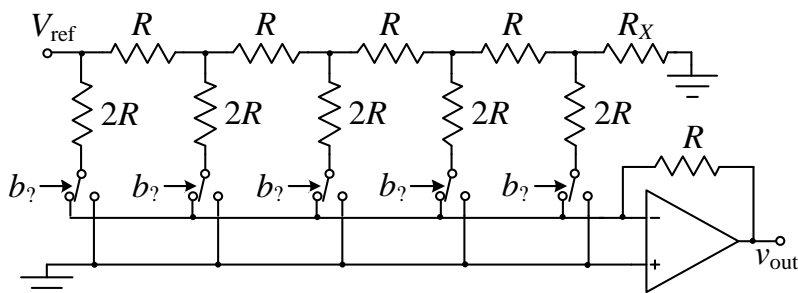
b) [6] Realizovati mrežu korišćenjem ivičnih D flip-flova i potrebnih logičkih kola. Nacrtati šemu.



Slika 3 – Vremenski dijagrami ulaznih i izlaznog signala sekvencijalne mreže iz zadatka 3

4. [10 poena]

Na slici 4 je prikazan 5-bitni D/A konvertor sa otporničkom mrežom i operacionim pojačavačem. Na ulaz D/A konvertora se dovodi binarni broj $b_4b_3b_2b_1b_0$ dok se na izlazu konvertora generiše analogni napon v_{out} koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan. Poznato je da je $V_{ref} = -16\text{ V}$ i $R = 1\text{ k}\Omega$.



Slika 4 – 5-bitni D/A konvertor uz zadatak 4

a) [7] Odrediti otpornost R_x , položaj preklopnika kada se na njih dovede logička jedinica, kao i redosled bita ulaznog podatka na pojedinim preklopnicima tako da kolo radi kao opisani D/A konvertor. Izvesti izraz za izlazni napon D/A konvertora u zavisnosti od vrednosti svih elemenata u kolu (ulaznog podatka, otpornosti R , napona V_{ref}).

b) [3] Uz pomoć jednog operacionog pojačavača i dodatnih otpornika obezbediti da izlazni napon bude u opsegu od -8 V do $7,5\text{ V}$.