

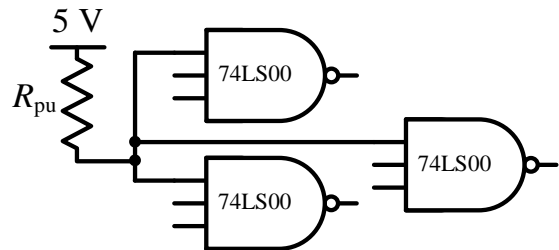
Kolokvijum traje 150 minuta. Dozvoljeno je korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje sale tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajući kvadratić upisati X.

1. [25 poena]

- a) [7] U tabeli 1 su prikazane statičke karakteristike TTL logičkog kola iz 74LS familije. Šta možemo da zaključimo na osnovu oznake „LS“? Odrediti margine šuma i maksimalni *fanout* ovog logičkog kola.
- b) [6] Odrediti maksimalnu vrednost *pull-up* otpornika u kolu prikazanom na slici 1. tako da se na nekorišćenim ulazima logičkih kola iz 74LS familije zadrži željeni logički nivo. Napon napajanja je konstantan.

		74LS
LOW-level input voltage [V]	V_{ILmax}	0.8
LOW-level output voltage [V]	V_{OLmax}	0.5
HIGH-level input voltage [V]	V_{IHmin}	2.0
HIGH-level output voltage [V]	V_{OHmin}	2.7
LOW-level input current [μA]	I_{ILmax}	-400
LOW-level output current [mA]	I_{OLmax}	8
HIGH-level input current [μA]	I_{IHmax}	20
HIGH-level output current [mA]	I_{OHmax}	-0.4

Tabela 1.



Slika 1.

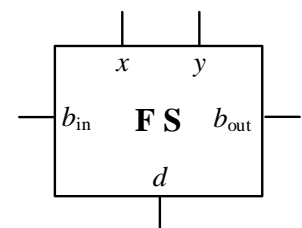
- c) [6] Šta su vremenski hazardi u kombinacionim kolima i zbog čega se javljaju? Opisati statičke hazarde.
- d) [6] Napisati tablicu istinitosti za koder prioriteta sa 8 ulaza ako su aktivni signali čija je vrednost na logičkoj nuli. Navesti bar jednu primenu kodera prioriteta.

2. [12 poena]

- a) [2] Neoznačeni broj 17.625_{10} predstaviti u drugom komplementu sa proizvoljnim brojem bita.
- b) [3] Za brojeve $A = -16_{10}$ i $B = 32_{10}$ koje je potrebno predstaviti kao označene binarne brojeve u drugom komplementu odrediti minimalne moguće brojeve bita $nbitA_{min}$ i $nbitB_{min}$ dovoljne za predstavu ovih brojeva, a zatim predstaviti broj A na $nbitA_{min}$ i broj B na $nbitB_{min}$ bita.
- c) [3] Nad binarnim brojevima iz tačke b) izvršiti sledeće operacije: $A+B$ i $A-B$ ako je za smeštanje rezultata na raspolaganju $nbitB_{min}$ bita. Označiti sve bite prenosa i odrediti da li je prilikom računanja došlo do prekoračenja.
- d) [4] Izvršiti množenje označenih brojeva 10.111_2 i 10.101_2 ako je za smeštanje rezultata na raspolaganju 9 bita.

3. [30 poena]

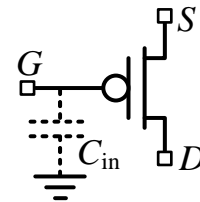
a) [8] Potrebno je izvršiti sintezu jedne ćelije jednobitnog potpunog oduzimača (*full-subtractor*) (slika 3). Na ulaz ćelije oduzimača dovode se biti x (umanjenik) i y (umanjilac) razreda i , koje treba oduzeti, kao i bit pozajmice b_{in} iz prethodnog razreda (*borrow in*). Izlaz ćelije oduzimača daje razliku, rezultat oduzimanja u i -tom razredu, d (*difference*), kao i pozajmicu iz narednog razreda b_{out} (*borrow out*). Nije dozvoljeno najpre praviti ćeliju potpunog sabirača, a zatim iz nje ćeliju potpunog oduzimača. Nacrtati tablicu istinitosti za izlaze potpunog oduzimača d i b_{out} . Algebarskom minimizacijom odrediti izlazne funkcije jednobitnog potpunog oduzimača.



Slika 3

- b) [6] Nacrtati električnu šemu multipleksera 2 u 1 realizovanog kao jednostepeno statičko CMOS logičko kolo. Eventualne komplementarne vrednosti signala generisati na odgovarajući način kao poseban stepen.

c) [8] Izvesti izraz za i odrediti najveća kašnjenja ulazne i silazne ivice izlaznog signala multipleksera 2 u 1 za odgovarajući prelaz ulaznih signala, ako je na izlaz povezano kapacitivno opterećenje kapacitivnosti $C_{load} = 1 \text{ pF}$. U slučaju da su u tački b) komplementarne vrednosti signala realizovane kao poseban stepen, odrediti pojedinačna kašnjenja svakog CMOS stepena, a zatim i ukupno kašnjenje. Smatrati da je ekvivalentna ulazna kapacitivnost svakog tranzistora $C_{in} = 50 \text{ fF}$ (slika 3), da su otpornosti svih tranzistora jednake i da iznose $R_{NMOS} = R_{PMOS} = 200 \text{ } \Omega$, kao i da su ulazni signali generisani iz idealnog naponskog generatora.



Slika 3 – Prikaz ekvivalentne ulazne kapacitivnosti tranzistora

d) [5] Izvesti izraz za i izračunati energiju koja se disipira na tranzistorima *Power-Down* mreže izlaznog stepena za odabrane slučajeve iz tačke c).

e) [3] Ako se umesto cele PMOS mreže izlaznog stepena kola iz tačke b) stavi jedan *pull-up* otpornik otpornosti $R_{pu} = 2 \text{ k}\Omega$, odrediti minimalni napon logičke nule koji se može pojaviti na izlazu logičkog kola.

4. [18 poena]

a) [8] Projektovati kombinacionu mrežu *ABS* koja na ulazu ima 4-bitni označeni broj $A[3:0] = A_3A_2A_1A_0$, a na izlazu generiše neoznačeni 4-bitni broj $B[3:0] = B_3B_2B_1B_0$ koji predstavlja apsolutnu vrednost broja A . Na raspolaganju su samo osnovna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu.

b) [5] Ispitati mogućnost pojave statičkih hazarda pri realizaciji funkcija iz tačke a). Kašnjenja svih logičkih kola su jednaka.

c) [5] Realizovati logičku funkciju koja generiše izlaz B_2 samo uz pomoć dvoulaznih NI logičkih kola. Nacrtati šemu.

5. [15 poena]

Ako su A i B 4-bitni označeni binarni brojevi predstavljeni u kodu znak i apsolutna vrednost gde biti A_3 i B_3 predstavljaju znak, projektovati kombinacionu mrežu koja sabira ova dva broja i kao rezultat daje 5-bitni broj Y takođe u kodu znak i apsolutna vrednost gde bit Y_4 predstavlja znak. U ovoj tački nije dozvoljeno korišćenje osnovnih logičkih kola osim eventualno invertora.