

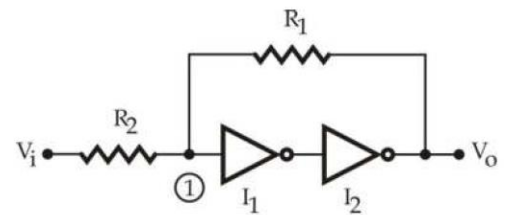
Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X.

1. [18 poena]

a) [9] U kolu prikazanom na slici 1 je $R_1 = 2R_2$, CMOS invertori imaju idealne karakteristike i napon praga $V_T = V_{DD}/2$, $V_{DD} = 5$ V. Ukratko opisati kako radi kolo, a zatim nacrtati njegovu karakteristiku prenosa. Odrediti širinu histerezisa.

b) [3] Navesti osnovne sličnosti i razlike između SRAM i DRAM memorija.

c) [6] Analogni signal koji se menja u opsegu od 0V do 12V treba konvertovati u 3-bitni digitalni signal korišćenjem fleš A/D konvertora. Nacrtati karakteristiku prenosa tog A/D konvertora smatrajući da je idealan i odrediti kvantizacionu grešku. Odrediti potreban broj komparatora i referentne napone za svaki komparator.



Slika 1

2. [10 poena]

a) [6] Potrebno je realizovati potpuni asinhroni 3-bitni brojač. Najpre realizovati jedan T flip-flop sa *ENABLE* ulazom aktivnim u logičkoj nuli, a zatim korišćenjem realizovanih T flip-flova realizovati traženi brojač. Na raspolaganju su ivični D flip-flovi sa asinhronim ulazima za direktan set *Sd* i reset *Rd* koji su aktivni u logičkoj jedinici, kao i potrebna osnovna logička kola. Nacrtati šemu brojača.

b) [2] Obezbediti mogućnost asinhronog paralelnog upisa. U brojač se upisuje 3-bitni podatak $D_{in}[2:0]$ ako je ulazni signal *LOAD* na logičkoj jedinici.

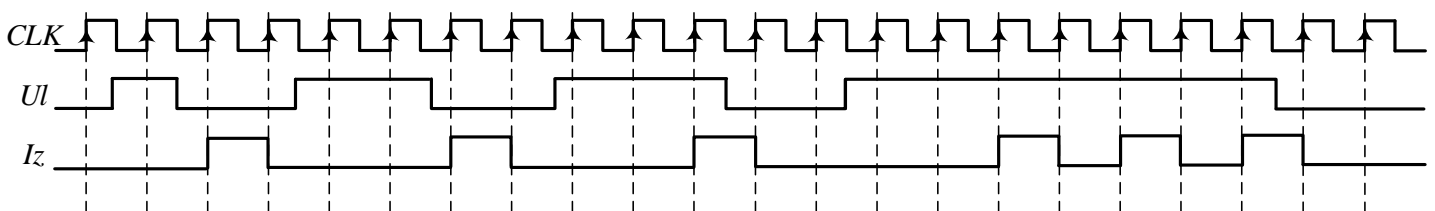
c) [2] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola $t_{dlk} = 15$ ns, kašnjenja svih flip-flova $t_{dff} = 20$ ns, a vreme postavljanja (*setup time*) svih flip-flova je $t_{setup} = 5$ ns. Smatrati da su vremena držanja (*hold time*) zadovoljena.

3. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja detektuje kratak i dug pritisak tastera i na izlazu generiše odgovarajući broj impulsa (kao kod TV daljinskog upravljača). Ako je ulazni signal na logičkoj jedinici kraće od tri uzastopne uzlazne ivice signala takta, na izlazu se generiše impuls trajanja jedne periode signala takta i to nakon postavljanja ulaznog signala na logičku nulu. Ako je ulazni signal na logičkoj jedinici u toku tri ili više uzastopnih ivica signala takta, na izlazu se generiše povorka impulsa sve dok ulazni signal ne padne na nulu. Primer ulaznih i izlaznog signala je prikazan na vremenskim dijagramima sa slike 3. Mrežu realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-flova i logičkih kola tako da obavlja opisanu funkciju. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} .

a) [14] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flovi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

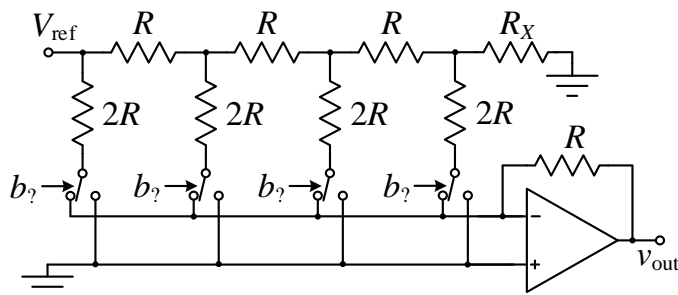
b) [6] Realizovati mrežu korišćenjem ivičnih JK flip-flova i potrebnih logičkih kola. Nacrtati šemu.



Slika 3 – Vremenski dijagrami ulaznih i izlaznog signala sekvencijalne mreže iz zadatka 3

4. [12 poena]

Na slici 4 je prikazan 4-bitni D/A konvertor sa otporničkom mrežom i operacionim pojačavačem. Na ulaz D/A konvertora se dovodi binarni broj $b_3b_2b_1b_0$ dok se na izlazu konvertora generiše analogni napon v_{out} koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan. Poznato je da je $V_{ref} = -8\text{ V}$ i $R = 2\text{ k}\Omega$.



Slika 4 – 4-bitni D/A konvertor uz zadatak 4

- a) [6] Odrediti otpornost R_x , položaj preklopnika kada se na njih dovede logička jedinica, kao i redosled bita ulaznog podatka na pojedinim preklopticima tako da kolo radi kao opisani D/A konvertor. Izvesti izraz za izlazni napon D/A konvertora u zavisnosti od vrednosti svih elemenata u kolu (ulaznog podatka, otpornosti R , napona V_{ref}).
- b) [6] Uz pomoć dva D/A konvertora sa slike 4 potrebno je realizovati 8-bitni D/A konvertor koji na ulazu ima 8-bitni binarni broj predstavljen u prirodnom BCD kodu. Rezultujući D/A konvertor na izlazu treba da generiše napon srazmeran vrednosti ulaznog BCD broja u opsegu od 0 do 10 V. Na raspolaganju su dodatni otpornici i operacioni pojačavači. Realizovati navedeni 8-bitni D/A konvertor, izračunati odnose i odrediti vrednosti svih korišćenih otpornika.