

Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X.

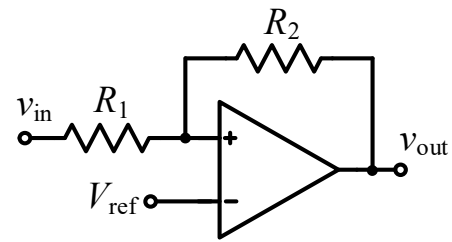
### 1. [18 poena]

a) [9] U kolu prikazanom na slici 1 je  $R_2 = 2R_1$ , operacioni pojačavač je idealan, a nominalne vrednosti logičke nule i jedinice na izlazu treba da budu  $V_{OL}$  i  $V_{OH}$ , respektivno. Ukratko opisati kako radi ovo kolo, a zatim nacrtati karakteristiku prenosa. Izračunati širinu histerezisa.

b) [3] Objasniti koje su dve osnovne prednosti VHDL-a u odnosu na standardne programske jezike kada se opisuju hardverski moduli.

c) [6] Analogni signal koji se menja u opsegu od 0 V do 16 V treba konvertovati u 3-bitni digitalni signal korišćenjem A/D konvertora sa sukcesivnim aproksimacijama. Nacrtati karakteristiku prenosa idealnog A/D konvertora i odrediti grešku konverzije.

Napisati redosled stanja na izlazu ako je ulazni napon  $v_{in} = 4,5$  V.



Slika 1

### 2. [10 poena]

a) [6] Realizovati sinhroni, potpuni 4-bitni brojač koji broji unapred. Na raspolaganju su ivični JK flip-floповi sa asinhronim ulazima za direktan set  $Sd$  i reset  $Rd$  koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.

b) [2] Za brojač iz tačke a) obezbediti mogućnost sinhronog reseta. Brojač se resetuje na vrednost "0000" ako je ulazni signal  $RESET\_CNT$  na logičkoj jedinici.

c) [2] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola  $t_{dlk} = 10$  ns, kašnjenja svih flip-floпова  $t_{diff} = 20$  ns, a vreme postavljanja (*setup time*) svih flip-floпова je  $t_{setup} = 5$  ns. Smatrati da su vremena držanja (*hold time*) zadovoljena.

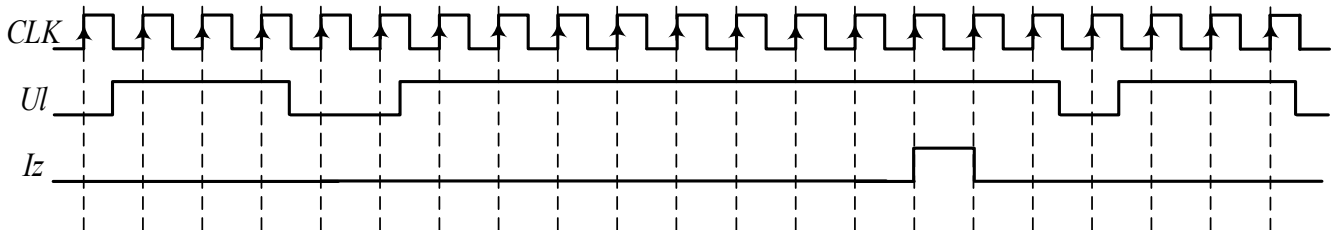
### 3. [22 poena]

Projektovati sinhronu sekvencijalnu mrežu koja radi detekciju uzlazne ivice ulaznog signala i ujedno njegovo debaunsiranje koja je zadata vremenskim dijagramima prikazanim na slici 3. Mreža treba da generiše signal koji dobija vrednost logičke jedinice ako je ulazni signal imao vrednost "1" najmanje 9 perioda signala takta. Logička jedinica izlaznog signala treba da traje tačno jednu periodu signala takta -  $T_{CLK}$ , nakon čega se čeka naredna uzlazna ivica ulaznog signala. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-floпова i logičkih kola. Dodatno, na raspolaganju je brojač projektovan u prethodnom zadatku. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće ili jednako  $T_{CLK}$ .

a) [13] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-floповi. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

b) [6] Realizovati mrežu korišćenjem ivičnih JK flip-floпова i potrebnih logičkih kola. Nacrtati šemu.

c) [3] Pod istim uslovima iz tačke 2.c), odrediti maksimalnu učestanost rada cele mašine stanja koja radi detekciju i debaunsiranje signala.



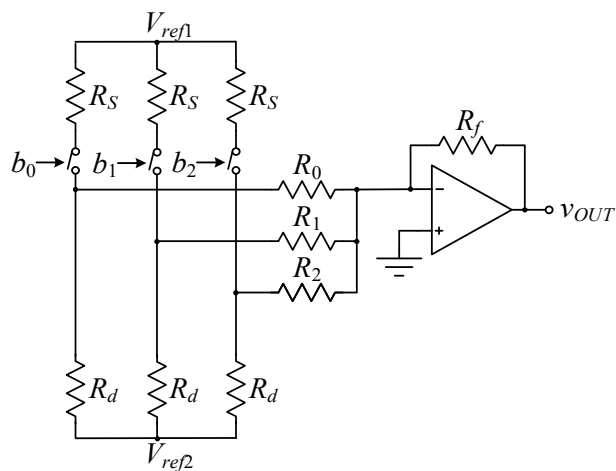
Slika 3 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 3

#### 4. [10 poena]

Na slici 7 je prikazan 3-bitni D/A konvertor. Na ulaz D/A konvertora se dovodi binarni broj  $b_2b_1b_0$  dok se na izlazu konvertora generiše analogni napon  $v_{OUT}$  koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Prekidači su zatvoreni ako su kontrolni signali na njima na logičkoj nuli. Smatrati da su prekidači idealni, kao i da je operacioni pojačavač idealan. Naponski generatori  $V_{ref1}$  i  $V_{ref2}$  daju napon apsolutne vrednosti 10 V.

a) [7] Odrediti polaritet napona  $V_{ref1}$  i  $V_{ref2}$ , kao i vrednosti otpornika  $R_d$ ,  $R_s$ ,  $R_f$ ,  $R_2$ ,  $R_1$  i  $R_0$  tako da izlazni napon konvertora bude u opsegu od 0 do 3,5 V za vrednosti ulaza  $b_2b_1b_0$  "000" odnosno "111" respektivno. Poznato je da je  $R_d = R_s$ . Maksimalna izlazna struja D/A konvertora koja ide kroz potrošač na izlazu treba da bude 10 mA. Maksimalna dozvoljena izlazna struja operacionog pojačavača je  $I_{OPmax} = 20$  mA.

b) [3] Izračunati diferencijalnu nelinearnost (DNL) D/A konvertora iz tačke a) za bilo koje ulazne podatke, ako otpornici  $R_2$ ,  $R_1$  i  $R_0$  imaju 10% veće vrednosti od vrednosti određenih u tački a). Ostali otpornici imaju fiksnu vrednost.



Slika 7 – 3-bitni D/A konvertor uz zadatak 7