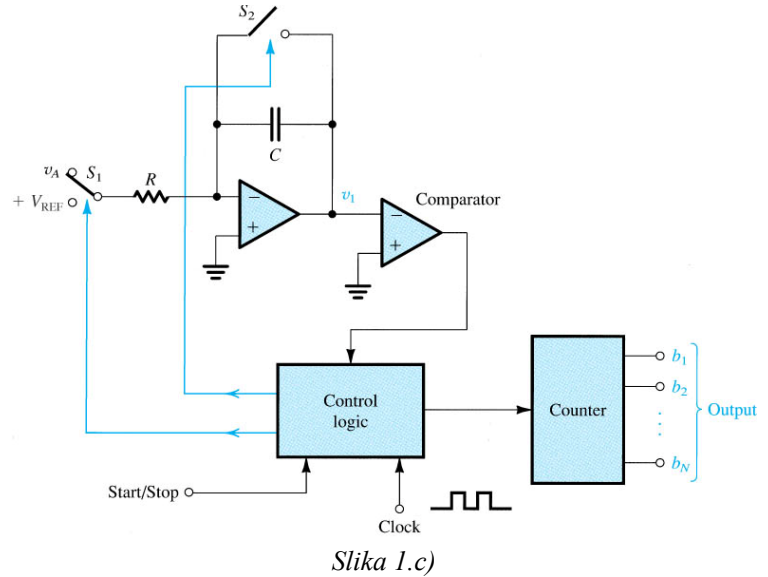


Ispit traje 150 minuta. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije raden u odgovarajući kvadratić upisati X.

### 1. [18 poena]

- a) [6] Objasniti kako se vrši upis, a kako brisanje sadržaja kod *flash* memorija. Uporediti karakteristike *flash* i EEPROM memorija.
- b) [5] Po čemu se razlikuju FPGA i CPLD čipovi u pogledu osnovne arhitekture? Ilustrovati slikama.
- c) [7] Šta predstavlja kolo koje je prikazano na slici 1.c)? Ukratko objasniti kako radi to kolo. Smatrati da je kondenzator  $C$  ispražnjen u početnom trenutku.



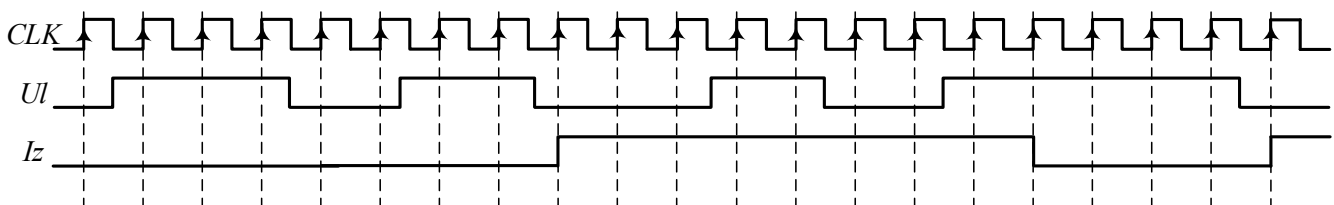
### 2. [14 poena]

- a) [10] Potrebno je realizovati sinhroni brojač koji ima dva režima rada u zavisnosti od vrednosti ulaznog kontrolnog signala  $CNT\_MODE$ . Ako je signal  $CNT\_MODE$  na logičkoj nuli, brojač radi kao 3-bitni potpuni brojač unapred, dok u suprotnom broji po sekvenci 0-7-2-5-3-4-0. Na raspolaganju su ivični D flip-flovi sa asinhronim ulazima za direktan set  $S_d$  i reset  $R_d$  koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.
- b) [2] Za brojač iz tačke a) obezbediti mogućnost sinhronog reseta. Brojač se resetuje na vrednost "000" ako je ulazni signal  $RESET\_CNT$  na logičkoj jedinici. Težiti da broj upotrebljenih dodatnih logičkih kola bude što manji.
- c) [2] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola  $t_{dlk} = 5$  ns, kašnjenja svih flip-flova  $t_{diff} = 10$  ns, a vreme postavljanja (*setup time*) svih flip-flova je  $t_{setup} = 2$  ns. Smatrati da su vremena držanja (*hold time*) zadovoljena.

### 3. [18 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja je zadata vremenskim dijagramima prikazanim na slici 3. Izlazni signal  $I_z$  se postavlja na logičku jedinicu ako je aktivnom vrednošću ulaznog signala  $U_l$  obuhvaćen paran broj uzlaznih ivica signala takta i traje tačno 8 perioda takta. Tokom trajanja logičke jedinice izlaznog signala ulazni signal se ignoriše. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem ivičnih JK flip-flova i logičkih kola. Dodatno, na raspolaganju je sinhroni potpuni brojač unapred sa signalom  $RESET\_CNT$  aktivnim u logičkoj jedinici kojim se vrši sinhroni reset. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće ili jednako  $T_{CLK}$ .

- a) [12] Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.
- b) [6] Realizovati mrežu korišćenjem navedenog brojača, ivičnih JK flip-flova i potrebnih logičkih kola. Nacrtati šemu.

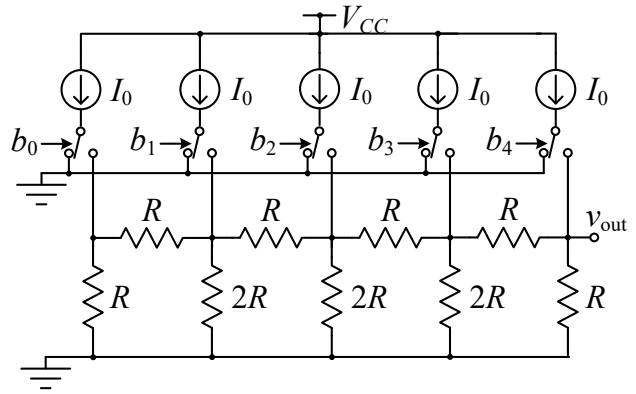


Slika 3 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 3

#### 4. [10 poena]

Na slici 4 je prikazan 5-bitni D/A konvertor sa idealnim strujnim izvorima i otporničkom mrežom. Na ulaz D/A konvertora se dovodi binarni broj  $b_4b_3b_2b_1b_0$  dok se na izlazu konvertora generiše analogni napon  $v_{out}$  koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Smatrati da su preklopnici idealni. Poznato je da je  $0\text{ V} \leq v_{out} \leq 3,1\text{ V}$ ,  $V_{CC} = 5\text{ V}$  i  $I_0 = 1\text{ mA}$ .

Izvesti izraz za izlazni napon D/A konvertora u zavisnosti od svih elemenata u kolu (ulaznog podatka, struje  $I_0$ , otpornosti  $R$ , napona  $V_{CC}$ ), a zatim izračunati otpornost  $R$  tako da izlazni napon bude u navedenom opsegu.



Slika 4 – 5-bitni D/A konvertor uz zadatak 4