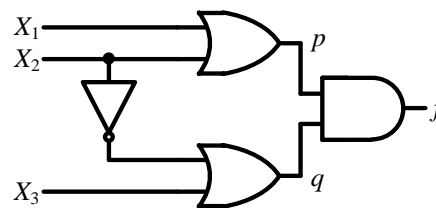


Ispit traje 3 sata. Studenti koji su položili kolokvijum rade zadatke 4-7 u trajanju od 2,5 sata. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Ako je položen kolokvijum na naslovnoj strani u kvadratiće za zadatke 1-3 upisati **Kolokvijum**.

1. [12 poena]

a) [6] Ako je faktor grananja dvoulaznog NI kola 4, a izlazni signal treba dovesti na ulaze 6 dvoulaznih NI kola, predložiti šemu sa što manjim brojem dvoulaznih NI kola kojom se to može ostvariti. Smatrati da svaki ulaz narednog kola povlači istu struju sa izlaza prethodnog kola.

b) [6] Odrediti koji tip hazarda postoji u kolu prikazanom na slici 1 ako je kašnjenje svih logičkih kola isto i iznosi 20 ns. Skicirati vremenske dijagrame u slučaju pojave hazarda.



Slika 1

2. [5 poena]

a) [2] Neoznačeni broj 11.09375_{10} predstaviti u drugom komplementu sa proizvoljnim brojem bita.

b) [3] Izvršiti množenje označenih brojeva 1110.01_2 i 10.111_2 ako je za smeštanje rezultata na raspolaganju 10 bita.

3. [23 poena]

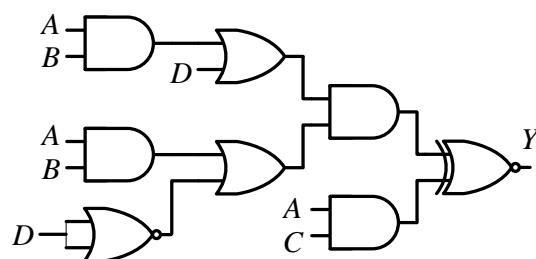
a) [4] Algebarskom minimizacijom minimizovati logičku funkciju na izlazu Y kola sa slike 3.

b) [3] Nacrtati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje minimizovanu logičku funkciju iz tačke a). Dozvoljeno je koristiti komplementarne vrednosti signala i smatrati da se one postavljaju jako brzo nakon uspostavljanja originalne vrednosti.

c) [8] Izvesti izraz za i odrediti najveće kašnjenje uzlazne i najveće kašnjenje silazne ivice realizovanog kola iz tačke b), ako je na izlaz kola povezana sonda osciloskopa kapacitivnosti $C_{sonde} = 10$ pF. Za iste prelaze odrediti trajanje uzlazne i trajanje silazne ivice signala Y. Otpornosti svih NMOS tranzistora su $R_{NMOS} = 300 \Omega$, a otpornosti svih PMOS tranzistora $R_{PMOS} = 400 \Omega$. Napon napajanja je $V_{DD} = 2,5$ V.

d) [4] Realizovati funkciju Y korišćenjem dvoulaznih NILI logičkih kola.

e) [4] Koristeći potrebna kombinaciona kola, projektovati mrežu koja na izlazu daje zbir dva ulazna neoznačena broja $A[3:0]$ i $B[3:0]$ ako je $A > B$, a ako je $A \leq B$, na izlazu je rezultat operacije $2A + B$. Rezultat ima minimalan broj bita koji omogućava da u izračunavanju nema prekoračenja. U ovoj tački nije dozvoljeno korišćenje osnovnih logičkih kola.

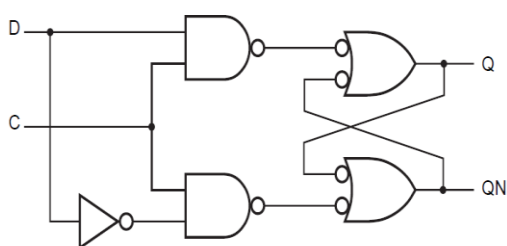


Slika 3 – Šema kola uz zadatak 3

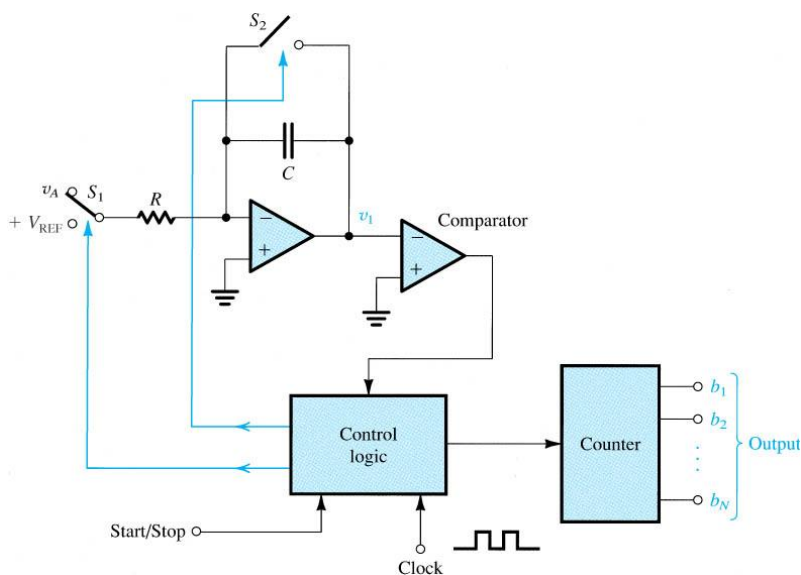
4. [18 poena]

a) [6] Na slici 4.a) je prikazan D leč sa signalom dozvole. Definirati vreme postavljanja i vreme držanja za taj leč. Nacrtati vremenske dijagrame na kojima će biti prikazana ta vremena. Analizirajući šemu leča, objasniti zbog čega je potrebno da se uvedu ta dva parametra.

b) [5] Po čemu se razlikuju FPGA i CPLD čipovi u pogledu osnovne arhitekture? Ilustrovati slikama.



Slika 4.a)



Slika 4.c)

c) [7] Šta predstavlja kolo koje je prikazano na slici 4.c)? Ukratko objasniti kako radi to kolo. Smatrati da je kondenzator C ispražnjen u početnom trenutku.

5. [12 poena]

a) [8] Realizovati sinhroni brojač koji broji po sekvenci 0-7-6-5-1-2-4-0. Na raspolaganju su ivični JK flip-flopovi sa asinhronim ulazima za direktan set S_d i reset R_d koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.

b) [2] Za brojač iz tačke a) obezbediti mogućnost asinhronog paralelnog upisa. U brojač se upisuje 3-bitni podatak $D_{in}[2:0]$ ako je ulazni signal $LOAD$ na logičkoj jedinici.

c) [2] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola $t_{dlk} = 10$ ns, kašnjenja svih flip-floпова $t_{dff} = 20$ ns, a vreme postavljanja (*setup time*) svih flip-floпова je $t_{setup} = 5$ ns. Smatrati da su vremena držanja (*hold time*) zadovoljena.

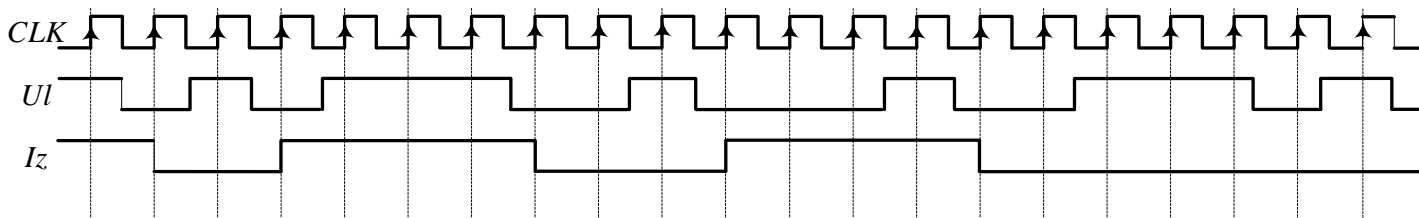
6. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja je zadata vremenskim dijagramima prikazanim na slici 6. Ako se na 3 uzastopne uzlazne ivice signala takta na ulazu pojave vrednosti redom 0-1-0, na 3. uzlaznu ivicu signala takta izlazni signal I_z dobija vrednost logičke jedinice. Izlazni signal I_z menja vrednost sa logičke jedinice na logičku nulu ako je detektovana silazna ivica ulaznog signala UL . Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-floпова i logičkih kola. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou uvek veće ili jednako T_{CLK} . Odrediti:

a) [11] Tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopovi sa asinhronim ulazima za direktan set S_d i reset R_d koji su aktivni u logičkoj nuli. Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

b) [6] Realizovati mrežu korišćenjem ivičnih D flip-floпова i potrebnih logičkih kola. Nacrtati šemu.

c) [3] Omogućiti asinhroni reset realizovane mašine stanja. Kada je signal $RESET$ na logičkoj jedinici mreža se nalazi u stanju u kome je izlaz na logičkoj jedinici.



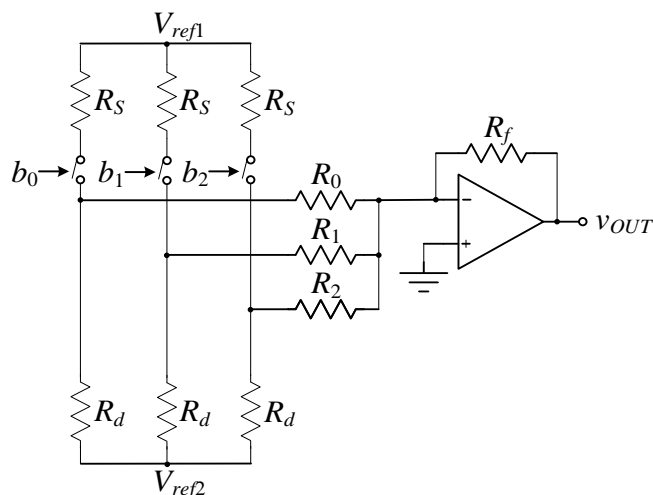
Slika 6 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 6

7. [10 poena]

Na slici 7 je prikazan 3-bitni D/A konvertor. Na ulaz D/A konvertora se dovodi binarni broj $b_2b_1b_0$ dok se na izlazu konvertora generiše analogni napon v_{OUT} koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Prekidači su zatvoreni ako su kontrolni signali na njima na logičkoj nuli. Smatrati da su prekidači idealni, kao i da je operacioni pojačavač idealan.

a) [6] Odrediti vrednosti težinskih otpornika R_2 , R_1 i R_0 tako da izlazni napon konvertora bude u opsegu od 0 do 7 V za vrednosti ulaza $b_2b_1b_0$ "000" odnosno "111" respektivno. Poznato je $R_d = 2$ k Ω , $R_S = 2$ k Ω , $R_f = 5$ k Ω , $V_{ref1} = 10$ V, $V_{ref2} = -10$ V.

b) [4] Izračunati diferencijalnu nelinearnost (*DNL*) D/A konvertora iz tačke a) za bilo koje ulazne podatke, ako otpornici R_2 , R_1 i R_0 imaju 10% veće vrednosti od vrednosti određenih u tački a). Ostali otpornici imaju fiksnu vrednost.



Slika 7 – 3-bitni D/A konvertor uz zadatak 7