

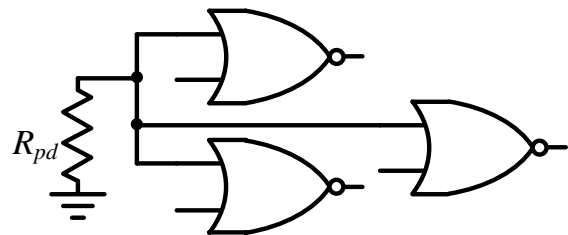
Kolokvijum traje 2.5 sata. Dozvoljeno je korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje sale tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Kolokvijum je položen ako je ostvareno minimum 8 poena na 1. zadatku i više od 50 poena ukupno.

1. [24 poena] U tabeli 1. su date karakteristike jedne familije CMOS i jedne familije TTL logičkih kola (za CMOS familiju su dati podaci u slučaju da se na izlaz vežu TTL kola).

- a) [6] Koja je oznaka i koje su osnovne osobine ove TTL familije logičkih kola?
- b) [4] Odrediti margine šuma za logička kola iz obe familije.
- c) [8] Kako se definiše maksimalni *fanout* logičkog kola i šta bi se desilo ukoliko se prekorači? Odrediti maksimalni *fanout* ovog CMOS logičkog kola ako se na njegov izlaz dovode TTL kola.
- d) [6] Odrediti maksimalnu vrednost *pull down* otpornika u kolu prikazanom na slici 1. tako da se na nekorišćenim ulazima logičkih kola zadrži željeni logički nivo. Upotrebljena su TTL logička kola.

		74LS	74HC
LOW-level input voltage [V]	V_{ILmax}	0.8	1.35
LOW-level output voltage [V]	V_{OLmax}	0.5	0.33
HIGH-level input voltage [V]	V_{IHmin}	2.0	3.15
HIGH-level output voltage [V]	V_{OHmin}	2.7	3.84
LOW-level input current [μA]	I_{ILmax}	-400	-1
LOW-level output current [mA]	I_{OLmax}	8	4
HIGH-level input current [μA]	I_{IHmax}	20	1
HIGH-level output current [mA]	I_{OHmax}	-0.4	-4

Tabela 1.



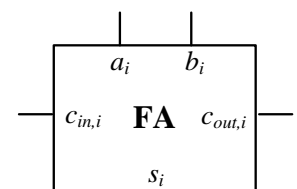
Slika 1

2. [12 poena]

- a) [2] Neoznačeni broj 37.625_{10} predstaviti u drugom komplementu sa proizvoljnim brojem bita.
- b) [3] Za brojeve $A = -15_{10}$ i $B = 21_{10}$ koje je potrebno predstaviti kao označene binarne brojeve u drugom komplementu odrediti minimalne moguće brojeve bita $nbitA_{min}$ i $nbitB_{min}$ dovoljne za predstavu ovih brojeva, a zatim predstaviti broj A na $nbitA_{min}$ i broj B na $nbitB_{min}$ bita.
- c) [3] Nad binarnim brojevima iz tačke b) izvršiti sledeće operacije: $A+B$ i $A-B$ ako je za smeštanje rezultata na raspolaganju $nbitB_{min}$ bita. Označiti sve bite prenosa i odrediti da li je prilikom računanja došlo do prekoračenja.
- d) [4] Izvršiti množenje označenih brojeva 01.101_2 i 10.111_2 ako je za smeštanje rezultata na raspolaganju 9 bita.

3. [30 poena]

Potrebno je izvršiti sintezu jedne ćelije jednobitnog potpunog sabirača (slika 3). Na ulaz ćelije sabirača dovode se biti a_i i b_i razreda i , koje treba sabrati, kao i bit prenosa $c_{in,i}$ iz prethodnog razreda. Izlaz ćelije sabirača daje rezultat sabiranja u i -tom razredu, s_i , kao i prenos u naredni razred $c_{out,i}$.



Slika 3

- a) [7] Algebarskom minimizacijom odrediti izlazne funkcije jednobitnog potpunog sabirača.
- b) [8] Nacrtati električnu šemu jednostepenih statičkih CMOS logičkih kola koja realizuju logičke funkcije iz tačke a). Eventualne komplementarne vrednosti signala generisati na odgovarajući način.
- c) [10] Za proizvoljne prelaze ulaznih signala, izvesti izraz za i odrediti kašnjenja jedne uzlazne i jedne silazne ivice signala na izlazu kola koje realizuje funkciju $c_{out,i}$, ako je na njega povezana sonda osciloskopa kapacitivnosti $C_{probe} = 20$ pF. Smatrati da se tranzistori u NMOS i PMOS mreži statičkog CMOS kola uključuju jako brzo, tj. zanemariti kašnjenje eventualnih kola za generisanje komplementarnih vrednosti signala. Otpornosti svih NMOS tranzistora su jednake i iznose $R_{NMOS} = 50 \Omega$, a otpornosti svih PMOS tranzistora su $R_{PMOS} = 100 \Omega$. Napon napajanja je $V_{DD} = 2,5$ V.
- d) [5] Izvesti izraz za i izračunati energiju koja se disipira na tranzistorima *Power-Down* mreže za odabrane slučajeve iz tačke c).

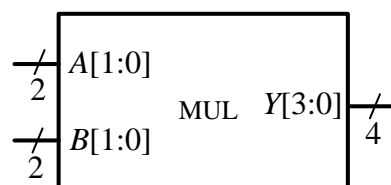
4. [15 poena]

a) [8] Koristeći potpune sabirače iz prethodnog zadatka i potreban broj osnovnih logičkih kola projektovati kombinacionu mrežu koja sabira dva 4-bitna binarna broja $A[3:0]$ i $B[3:0]$ predstavljena u komplementu dvojke ako je kontrolni signal \overline{ADD}/SUB na logičkoj nuli, a oduzima broj $B[3:0]$ od broja $A[3:0]$ ako je signal \overline{ADD}/SUB na logičkoj jedinici. Rezultat je četvorobitni podatak $C[3:0]$. Mreža treba da generiše izlazni signal OF u slučaju da je došlo do prekoračenja prilikom sabiranja/oduzimanja.

b) [7] Koristeći kombinacionu mrežu iz tačke a) i potrebna kombinaciona kola, projektovati mrežu koja sabira dva ulazna podatka $A[3:0]$ i $B[3:0]$ ako je $A \leq B$, a oduzima ih ako je $A > B$. Rezultat sabiranja/oduzimanja je četvorobitni. Ako je došlo do prekoračenja sa gornje strane, tj. ako su sabirana dva pozitivna broja i došlo je do prekoračenja, izlaz je potrebno postaviti na maksimalnu moguću vrednost koja se može zapisati na 4 bita. Ako je došlo do prekoračenja sa donje strane, izlaz se postavlja na minimalnu moguću vrednost. U ovoj tački nije dozvoljeno korišćenje osnovnih logičkih kola.

5. [19 poena]

a) [10] Projektovati kombinacionu mrežu MUL (slika 5) koja na ulazima ima dva neoznačena dvobitna broja $A[1:0] = A_1A_0$ i $B[1:0] = B_1B_0$, a na izlazima generiše neoznačeni četvorobitni broj $Y[3:0] = Y_3Y_2Y_1Y_0$ koji predstavlja proizvod brojeva A i B . Na raspolaganju su samo osnovna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu.



Slika 5

b) [4] Realizovati logičku funkciju koja generiše izlaz Y_3 samo uz pomoć dvoulaznih NILI logičkih kola. Nacrtati šemu.

c) [5] Projektovati isti množač korišćenjem potpunih sabirača iz zadatka 3 i odgovarajućih logičkih kola za generisanje parcijalnih proizvoda.