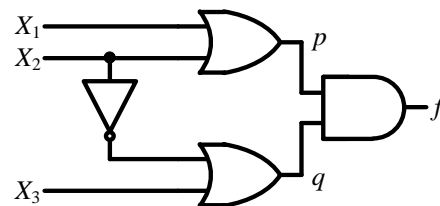


Ispit traje 3 sata. Studenti koji su položili kolokvijum rade zadatke 4-7 u trajanju od 2,5 sata. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Ako je položen kolokvijum na naslovnoj strani u kvadratiće za zadatke 1-3 upisati **Kolokvijum**.

### 1. [12 poena]

a) [6] Odrediti koji tip hazarda postoji u kolu prikazanom na slici 1 ako je kašnjenje svih logičkih kola isto i iznosi 20 ns. Skicirati vremenske dijagrame u slučaju pojave hazarda.

b) [6] Navesti i ukratko objasniti komponente statičke disipacije CMOS invertora.



Slika 1

### 2. [5 poena]

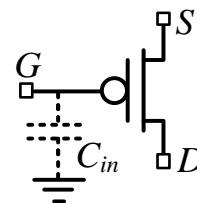
a) [2] Neoznačeni broj  $24.1875_{10}$  predstaviti u drugom komplementu sa proizvoljnim brojem bita.

b) [3] Izvršiti množenje označenih brojeva  $1100.01_2$  i  $10.001_2$  ako je za smeštanje rezultata na raspolaganju 10 bita.

### 3. [23 poena]

a) [6] Nacrtati statičko CMOS logičko kolo koje realizuje funkciju  $Y = \overline{A \oplus B}$ . Eventualne komplementarne vrednosti signala generisati na odgovarajući način. Težiti da broj upotrebljenih tranzistora bude minimalan.

b) [6] Odrediti kašnjenja uzlazne i silazne ivice signala  $Y$  u odnosu na signal  $A$ , ako je na izlaz  $Y$  povezano kapacitivno opterećenje kapacitivnosti  $C_{load} = 1$  pF. U slučaju da je kolo u tački a) realizovano kao višestepeno, odrediti pojedinačna kašnjenja svakog CMOS stepena, a zatim i ukupno kašnjenje od ulaza  $A$  do izlaza  $Y$ . Smatrati da je ekvivalentna ulazna kapacitivnost svakog tranzistora  $C_{in} = 50$  fF (slika 3), da su otpornosti svih tranzistora jednake i da iznose  $R_{NMOS} = R_{PMOS} = 200 \Omega$ , kao i da je ulazni signal  $A$  generisan iz idealnog naponskog generatora. Logički nivo signala  $B$  u ovim proračunima usvojiti proizvoljno.



Slika 3 – Prikaz ekvivalentne ulazne kapacitivnosti tranzistora

c) [6] Realizovati funkciju  $Y = \overline{ABC\overline{D}} + \overline{ABC} + \overline{AC} + \overline{ABC\overline{D}} + \overline{AC\overline{D}}$  korišćenjem što manjeg broja dvoulaznih NI kola.

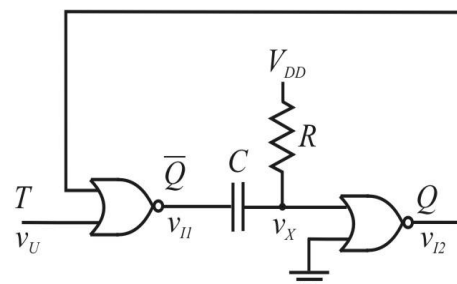
d) [5] Koristeći potrebna kombinaciona kola, projektovati mrežu koja sabira dva ulazna podatka  $A[3:0]$  i  $B[3:0]$  ako je  $A \leq B$ , a oduzima ih ako je  $A > B$ . Rezultat sabiranja/oduzimanja je četvorobitni. Ako je došlo do prekoračenja sa gornje strane, tj. ako su sabirana dva pozitivna broja i došlo je do prekoračenja, izlaz je potrebno postaviti na maksimalnu moguću vrednost koja se može zapisati na 4 bita. Ako je došlo do prekoračenja sa donje strane, izlaz se postavlja na minimalnu moguću vrednost. U ovoj tački nije dozvoljeno korišćenje osnovnih logičkih kola.

### 4. [18 poena]

a) [9] Ako se u kolu koje je prikazano na slici 4 na ulaz T dovede kratkotrajni impuls, analizirati ponašanje kola (nije potrebno pisati jednačine). Skicirati odgovarajuće vremenske dijagrame. Koja je namena ovog kola? Smatrati da je prag logičkih kola  $0,5V_{DD}$  i da se na ulazima ne nalaze zaštitne diode.

b) [5] Po čemu se razlikuju FPGA i CPLD čipovi u pogledu osnovne arhitekture? Ilustrovati slikama.

c) [4] Na kom principu rade flash memorije i koje su njihove osnovne karakteristike?



Slika 4

### 5. [12 poena]

a) [9] Realizovati sinhroni, potpuni 3-bitni brojač koji broji unapred ili unazad u zavisnosti od signala *SMER*. Ako je signal *SMER* na logičkoj nuli, brojač broji unapred, u suprotnom, brojač broji unazad. Na raspolaganju su ivični JK flip-flopovi sa asinhronim ulazima za direktan set *Sd* i reset *Rd* koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.

b) [3] Za brojač iz tačke a) obezbediti mogućnost sinhronog paralelnog upisa. U brojač se upisuje 3-bitni podatak  $D_{in}[2:0]$  ako je ulazni signal *LOAD* na logičkoj jedinici.

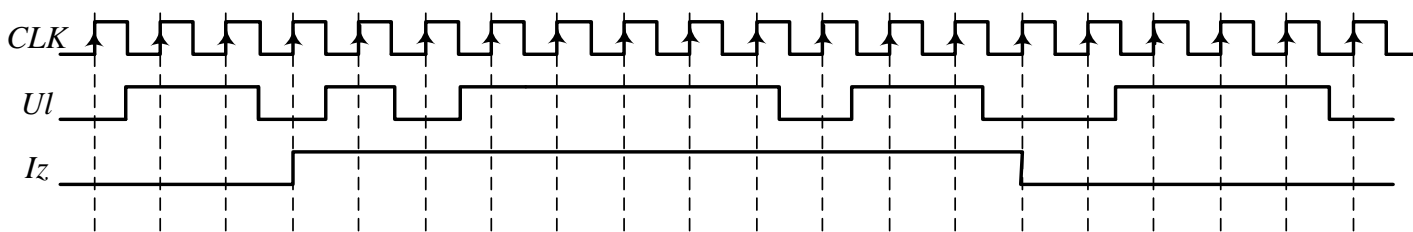
### 6. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja je zadata vremenskim dijagramima prikazanim na slici 6. Izlazni signal *Iz* menja vrednost sa logičke nule na logičku jedinicu i obrnuto samo ako su aktivnom vrednošću ulaznog signala *Ul* obuhvaćene tačno dve uzlazne ivice signala takta. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-floпова i logičkih kola. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće ili jednako  $T_{CLK}$ . Odrediti:

a) [11] Tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopovi.

b) [3] Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

c) [6] Realizovati mrežu korišćenjem ivičnih D flip-floпова i potrebnih logičkih kola. Nacrtati šemu.



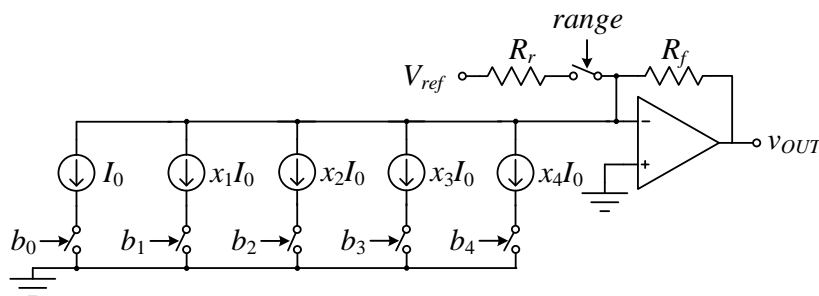
Slika 6 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 6

### 7. [10 poena]

Na slici 7 je prikazan 5-bitni D/A konvertor sa strujnim izvorima. Na ulaz D/A konvertora se dovodi binarni broj  $b_4b_3b_2b_1b_0$  dok se na izlazu konvertora generiše analogni napon  $v_{OUT}$  koji odgovara binarnom broju sa ulaza. Broj sa ulaza je u prirodnom binarnom kodu. Signalom *range* se kontroliše u kom opsegu se nalazi izlazni napon D/A konvertora. Prekidači su zatvoreni ako su kontrolni signali na njima na logičkoj jedinici. Smatrati da su prekidači idealni, kao i da je operacioni pojačavač idealan.

a) [5] Odrediti konstante  $x_1, x_2, x_3$  i  $x_4$ , tako da kolo sa slike 7 radi kao opisani D/A konvertor. Ako je signal *range* jednak "0", izvesti izraz za napon  $v_{OUT}$  u zavisnosti od struje  $I_0$  i otpornosti  $R_f$  i vrednosti binarnih promenljivih  $b_4, b_3, b_2, b_1$  i  $b_0$ . Odrediti vrednost otpornosti  $R_f$  tako da je  $v_{OUT}("00000") = 0$  V, a  $v_{OUT}("11111") = 5$  V. Poznato je  $I_0 = 1$  mA,  $V_{ref} = 5$  V.

b) [5] Ako je signal *range* jednak "1", opseg izlaznog napona se menja. Za vrednost otpornosti  $R_f$  koja je određena u prethodnoj tački, odrediti otpornost  $R_r$  tako da izlazni napon ima vrednost 0 V za ulazni podatak  $b_4b_3b_2b_1b_0 = "10000"$ . Koliki je u tom slučaju opseg izlaznog napona?



Slika 7 – 5-bitni D/A konvertor uz zadatak 7