

Ispit traje 3 sata. Studenti koji su položili kolokvijum rade zadatke 4-7 u trajanju od 2,5 sata. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Ako je **položen** kolokvijum na naslovnoj strani u kvadratiće za zadatke 1-3 upisati **Kolokvijum**.

1. [8 poena]

- a) [6] Ukratko objasniti po jednu komponentu statičke i dinamičke disipacije CMOS invertora.
 b) [2] Ako se u nekom digitalnom sistemu koriste samo NI kola iz 74HC familije čiji su parametri dati u tabeli 3, odrediti margine šuma za logičku nulu i logičku jedinicu na ulazu NI kola.

2. [3 poena]

- a) [1] Broj -18_{10} predstaviti kao označen binarni broj u drugom komplementu sa minimalnim mogućim brojem bita.
 b) [2] Izvršiti množenje označenih brojeva 0101.01_2 i 11.011_2 ako je za smeštanje rezultata na raspolaganju 10 bita.

3. [19 poena]

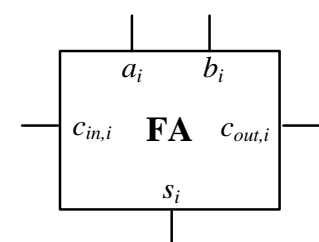
a) [5] Potrebno je izvršiti sintezu jedne ćelije jednobitnog potpunog sabirača (slika 3). Na ulaz ćelije sabirača dovode se biti a_i i b_i razreda i , koje treba sabrati, kao i bit prenosa $c_{in,i}$ iz prethodnog razreda. Izlaz ćelije sabirača daje rezultat sabiranja u i -tom razredu, s_i , kao i prenos u naredni razred $c_{out,i}$. Algebarskom minimizacijom odrediti izlazne funkcije jednobitnog potpunog sabirača tako da se sabirač može realizovati korišćenjem što manjeg broja dvoulaznih osnovnih logičkih kola.

b) [3] Realizovati funkciju s_i koristeći samo dvoulazna NI logička kola i nacrtati dobijenu mrežu.

c) [8] Neka su sva NI kola iz tačke b) ista kola iz 74HC familije čiji su parametri dati u tabeli 3. Na osnovu parametara iz tabele 3, odrediti ekvivalentne otpornosti p i n mreže ovih dvoulaznih NI kola.

Odrediti putanju po kojoj se javlja najveće moguće kašnjenje mreže iz tačke b). Koristeći dobijene parametre odrediti kašnjenja pojedinačnih kola na toj putanji, a zatim i ukupno kašnjenje do izlaza mreže s_i , ako je na njega povezano još jedno isto NI kolo i to tako da ono radi kao invertor.

d) [3] Korišćenjem realizovanih jednobitnih ćelija potpunog sabirača iz tačke a), realizovati 5-bitni potpuni sabirač. Koristeći realizovani 5-bitni sabirač i potrebna logička kola realizovati 5-bitni oduzimač.



Slika 3 – Blok šema potpunog sabirača uz zadatak 3

Tabela 3 – Parametri 74HC00 logičkog NI kola

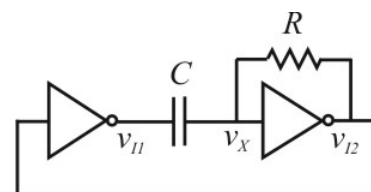
$V_{CC} = 5.0 \text{ V} \pm 10\%$						
Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V_{IH}	Input HIGH level	Guaranteed logic HIGH level	3.15	–	–	V
V_{IL}	Input LOW level	Guaranteed logic LOW level	–	–	1.35	V
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}, V_I = V_{CC}$	–	–	1	μA
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}, V_I = 0 \text{ V}$	–	–	–1	μA
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min}$ $I_{OH} = -20 \mu\text{A}$	4.4	4.499	–	V
		$V_{IN} = V_{IL}$ $I_{OH} = -4 \text{ mA}$	3.84	4.3	–	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min}$ $I_{OL} = 20 \mu\text{A}$	–	0.001	0.1	V
		$V_{IN} = V_{IH}$ $I_{OL} = 4 \text{ mA}$	–	0.17	0.33	V
C_I	Input capacitance	–	–	3	10	pF

4. [21 poen]

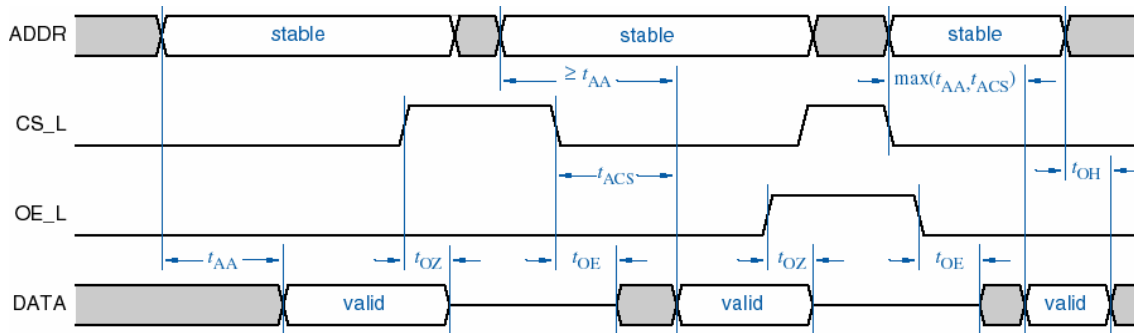
a) [9] Analizirati ponašanje kola koje je prikazano na slici 4.a (nije potrebno pisati jednačine). Koja je namena ovog kola? Skicirati vremenske dijagrame napona v_x , v_{I1} i v_{I2} ako je prag logičkih kola $0.5 V_{DD}$, a na ulazu ne postoje zaštitne diode.

b) [6] Objasniti postupak projektovanja hardvera na registarskom nivou korišćenjem VHDL-a.

c) [6] Nacrtati realizaciju jedne ROM ćelije za logičku jedinicu i objasniti kako radi. Na slici 4.b su prikazani vremenski dijagrami za ROM. Definisati vremena t_{AA} i t_{OH} .



Slika 4.a



Slika 4.b

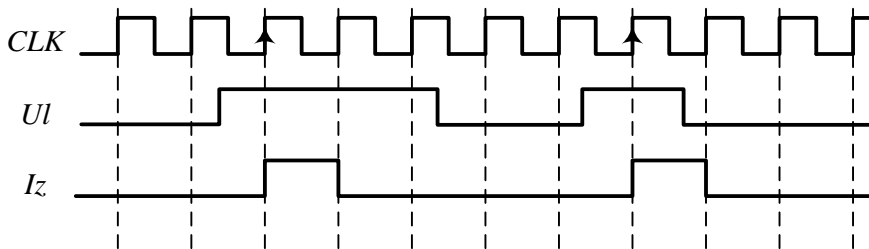
5. [20 poena]

- a) [9] Realizovati sinhroni brojač koji broji po sekvenci 0-5-7-1-4-2-0. Na raspolaganju su ivični D flip-flopovi sa asinhronim ulazima za direktan set S_d i reset R_d koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.
- b) [4] Obezbediti mogućnost sinhronog reseta. Brojač se resetuje ulaznim signalom $RESET$ aktivnim u logičkoj jedinici.
- c) [4] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola $t_{dlk} = 10$ ns, kašnjenja svih flip-floпова $t_{dff} = 20$ ns, a vreme postavljanja ($setup$ time) svih flip-floпова je $t_{setup} = 5$ ns. Smatrati da su vremena držanja ($hold$ time) zadovoljena.
- d) [3] Ako se mreža nađe u zabranjenim stanjima, proveriti da li i posle koliko taktova izlazi iz zabranjenih stanja.

6. [19 poena]

Projektovati sinhronu sekvencijalnu mrežu koja radi detekciju uzlazne ivice ulaznog signala. Mreža treba da generiše signal koji dobija vrednost logičke jedinice, ako je prethodna uzlazna ivica signala takta bila obuhvaćena logičkom nulom ulaznog signala, a trenutna je obuhvaćena logičkom jedinicom. Logička jedinica izlaznog signala treba da traje tačno jednu periodu signala takta - T_{CLK} . Vremenski dijagrami ulaznog signala UI i izlaznog signala Iz su prikazani na slici 6. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće od T_{CLK} . Odrediti:

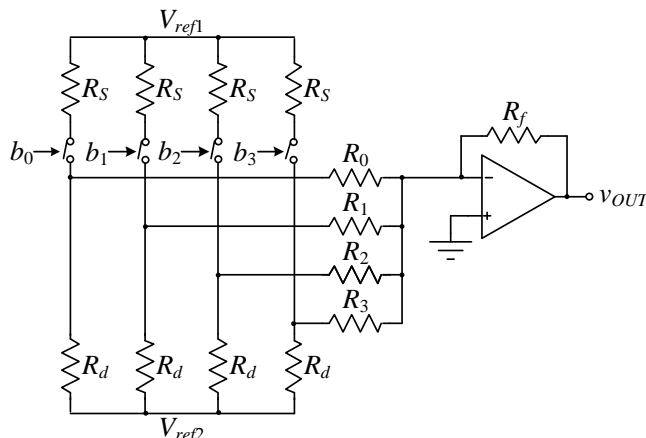
- a) [10] Tabele stanja/izlaza, prelaza/izlaza i pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopovi.
- b) [3] Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.
- c) [6] Realizovati mrežu korišćenjem ivičnih JK flip-floпова.



Slika 6 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 6

7. [10 poena]

Za kolo DA konvertora sa slike 7 odrediti vrednosti težinskih otpornika R_3, R_2, R_1 i R_0 tako da izlazni napon konvertora bude u opsegu od 0 do 3,75 V za vrednosti ulaza $b_3b_2b_1b_0$ "0000" odnosno "1111" respektivno. Definirati da li su prekidači uključeni ili isključeni ako je na ulazima b_i logička jedinica. Ako je poznato $R_d = 2$ k Ω , $R_f = 5$ k Ω i ako su na raspolaganju naponi napajanja ± 10 V odrediti vrednosti R_S, V_{ref1}, V_{ref2} .



Slika 7 – 4-bitni D/A konvertor uz zadatak 7