

Ispit traje 3 sata. Studenti koji su položili kolokvijum rade zadatke 4-7 u trajanju od 2,5 sata. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Ako je **položen** kolokvijum na naslovnoj strani u kvadratiće za zadatke 1-3 upisati **Kolokvijum**.

1. [8 poena]

- a) [3] Navesti prednosti standardne CMOS familije u odnosu na TTL familiju logičkih kola.
- b) [5] Faktor grananja dvoulaznog NILI kola je 4, a njegov izlazni signal treba dovesti na ulaze 5 dvoulaznih NILI kola. Predložiti šemu samo sa dvoulaznim NILI kolima kojom se to može ostvariti tako da kašnjenje izlaznih signala cele kombinacione mreže bude približno jednako. Smatrati da svaki ulaz narednog kola povlači istu struju sa izlaza prethodnog kola.

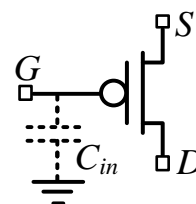
2. [2 poena]

Izvršiti množenje označenih brojeva 0101.01_2 i 11.011_2 ako je za smeštanje rezultata na raspolaganju 10 bita.

3. [20 poena]

a) [6] Nacrtati statičko CMOS logičko kolo koje realizuje funkciju $Y = A \oplus B$. Eventualne komplementarne vrednosti signala generisati na odgovarajući način. Težiti da broj upotrebljenih tranzistora bude minimalan.

b) [6] Odrediti kašnjenja uzlazne i silazne ivice signala Y u odnosu na signal A , ako je na izlaz Y povezano kapacitivno opterećenje kapacitivnosti $C_{load} = 1$ pF. U slučaju da je kolo realizovano kao višestepeno, odrediti pojedinačna kašnjenja svakog CMOS stepena, a zatim i ukupno kašnjenje od ulaza A do izlaza Y . Smatrati da je ekvivalentna ulazna kapacitivnost svakog tranzistora $C_{in} = 50$ fF (slika 3), da su otpornosti svih tranzistora jednake i da iznose $R_{NMOS} = R_{PMOS} = 200 \Omega$, kao i da je ulazni signal A generisan iz idealnog naponskog generatora. Logički nivo signala B u ovim proračunima usvojiti proizvoljno.



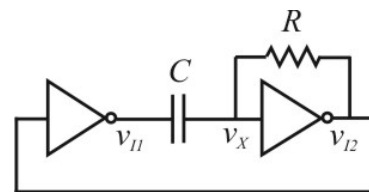
Slika 3 – Prikaz ekvivalentne ulazne kapacitivnosti tranzistora

c) [6] Koristeći logička kola iz tačke a) kao gotove blokove i ćelije jednobitnih potpunih sabirača projektovati kombinacionu mrežu koja sabira dva 4-bitna binarna broja $A[3:0]$ i $B[3:0]$ predstavljena u komplementu dvojke ako je signal \overline{ADD}/SUB na logičkoj nuli, a oduzima broj $B[3:0]$ od broja $A[3:0]$ ako je signal \overline{ADD}/SUB na logičkoj jedinici. Rezultat se smešta u petobitni podatak $C[4:0]$.

d) [2] Realizovati funkciju Y uz pomoć jednog multipleksera 4 u 1.

4. [21 poen]

a) [9] Analizirati ponašanje kola koje je prikazano na slici 4.a (nije potrebno pisati jednačine). Koja je namena ovog kola? Skicirati vremenske dijagrame napona v_x , v_{I1} i v_{I2} ako je prag logičkih kola $0.5 V_{DD}$, a na ulazu ne postoje zaštitne diode.



Slika 4.a

b) [6] Po čemu se razlikuju FPGA i CPLD čipovi u pogledu osnovne arhitekture? Ilustrovati slikama. Navesti dva najpoznatija proizvođača FPGA čipova.

c) [6] Analogni signal koji se menja u opsegu od 0V do 14V treba konvertovati u 3-bitni digitalni signal. Ako se za konverziju koristi fleš A/D konvertor, odrediti potreban broj komparatora i referentne napone za svaki komparator. Na raspolaganju je napon napajanja $V_{CC} = 15V$.

5. [15 poena]

a) [8] Potrebno je realizovati potpuni asinhroni 4-bitni brojač. Najpre realizovati jedan T flip-flop sa $ENABLE$ ulazom aktivnim u logičkoj nuli, a zatim korišćenjem realizovanih T flip-flopova realizovati traženi brojač. Na raspolaganju su ivični D flip-flopovi sa asinhronim ulazima za direktan set Sd i reset Rd koji su aktivni u logičkoj jedinici, kao i potrebna osnovna logička kola. Nacrtati šemu brojača.

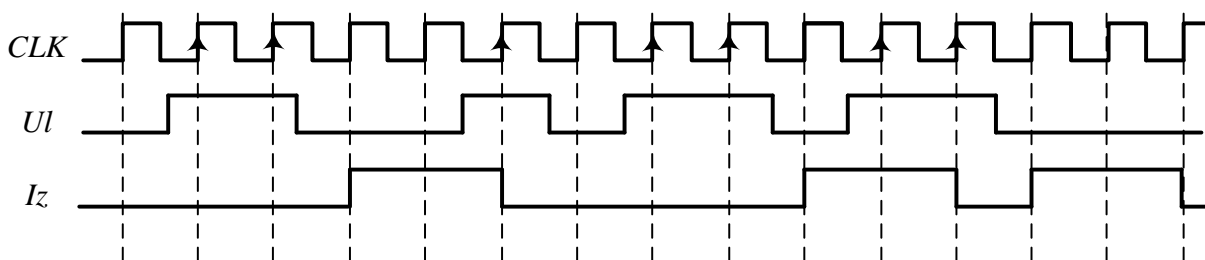
b) [4] Obezbediti mogućnost asinhronog paralelnog upisa. U brojač se upisuje 4-bitni podatak $D_{in}[3:0]$ ako je ulazni signal $LOAD$ na logičkoj jedinici.

c) [3] Za brojač iz tačke b) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola $t_{dlk} = 15$ ns, kašnjenja svih flip-flopova $t_{dff} = 20$ ns, a vreme postavljanja (*setup time*) svih flip-flopova je $t_{setup} = 5$ ns.

6. [19 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja je zadata vremenskim dijagramima prikazanim na slici 6. Ako je aktivnom vrednošću ulaznog signala UI obuhvaćen paran broj uzlaznih ivica signala takta, na izlazu Iz mreža treba da generiše logičku jedinicu trajanja dve periode signala takta. U svim ostalim slučajevima, izlazni signal ima vrednost logičke nule. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-floпова i logičkih kola.

- Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće ili jednako T_{CLK} . Odrediti:
- [9] Tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-floповi.
 - [3] Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.
 - [4] Realizovati mrežu korišćenjem ivičnih D flip-floпова i potrebnih logičkih kola.
 - [3] Ako se mreža nađe u zabranjenim stanjima, proveriti da li i posle koliko perioda takta izlazi iz zabranjenih stanja.

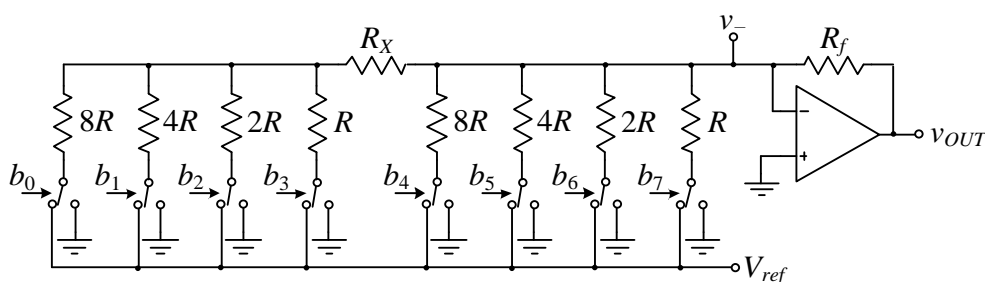


Slika 6 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 6

7. [15 poena]

Na slici 7 je prikazan 8-bitni D/A konvertor koji konvertuje broj predstavljen bitima $b[7:0]$ u odgovarajući analogni napon v_{OUT} . Preklopnici povezuju otpornike iz otporne mreže sa masom ako odgovarajući biti b_i imaju vrednost logičke nule, a sa naponom V_{ref} ako biti b_i imaju vrednost logičke jedinice. Smatrati da su preklopnici idealni, kao i da je operacioni pojačavač idealan.

- [6] Odrediti vrednost otpornosti R_X (u zavisnosti od otpornosti R) tako da konvertor konvertuje osmobarbitni binarni broj $b[7:0]$ u analogni napon proporcionalan tom broju.
- [3] Odrediti vrednost otpornosti R_f tako da je $v_{OUT}(b = 00_{16}) = 0$ V, a $v_{OUT}(b = FF_{16}) = 5$ V. Poznato je $V_{ref} = -5$ V i $R = 2,55$ k Ω .
- [6] Na priključak v_- i izlaz v_{OUT} povezati odgovarajuća kola sastavljena od otpornika i operacionih pojačavača tako da je $v_{OUT2}(b = 00_{16}) = -5$ V, a $v_{OUT2}(b = FF_{16}) = 5$ V, gde je v_{OUT2} analogni izlaz novog D/A konvertora. Predložiti vrednosti otpornika u dodatim kolima za koje se postiže ovo proširenje opsega.



Slika 7 – 8-bitni D/A konvertor uz zadatak 7