

Ispit traje 3 sata. Studenti koji su položili kolokvijum rade zadatke 4-7 u trajanju od 2,5 sata. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Ako je položen kolokvijum na naslovnoj strani u kvadratiće za zadatke 1-3 upisati **Kolokvijum**.

1. [8 poena]

- a) [3] Da li su STTL (*Schottky* TTL) kola brža od standardnih TTL logičkih kola? Objasniti zašto.
 b) [5] Odrediti faktor grananja na izlazu NI kola iz 74HC familije čije specifikacije su date u tabeli ako se na njegov izlaz vežu ista takva kola.

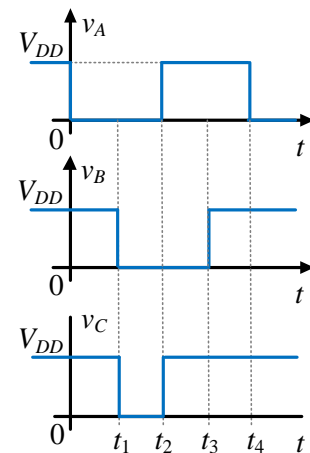
Sym.	Parameter	Test Conditions ⁽¹⁾	Min.	Typ. ⁽²⁾	Max.	Unit	
V_{IH}	Input HIGH level	Guaranteed logic HIGH level	3.15	—	—	V	
V_{IL}	Input LOW level	Guaranteed logic LOW level	—	—	1.35	V	
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}, V_I = V_{CC}$	—	—	1	μA	
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}, V_I = 0 \text{ V}$	—	—	-1	μA	
V_{IK}	Clamp diode voltage	$V_{CC} = \text{Min.}, I_N = -18 \text{ mA}$	—	-0.7	-1.2	V	
I_{IOS}	Short-circuit current	$V_{CC} = \text{Max.}, V_O = \text{GND}$	—	—	-35	mA	
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min.}, V_{IN} = V_{IL}$	$I_{OH} = -20 \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4 \text{ mA}$	3.84	4.3	—	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min.}, V_{IN} = V_{IH}$	$I_{OL} = 20 \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4 \text{ mA}$			0.17	0.33

2. [5 poena]

- a) [2] Brojeve $A = -12_{10}$ i $B = 18_{10}$, predstaviti kao označene binarne brojeve u drugom komplementu sa minimalnim mogućim brojem bita.
 b) [3] Izvršiti množenje označenih brojeva 0101.01_2 i 10.011_2 ako je za smeštanje rezultata na raspolaganju 10 bita.

3. [17 poena]

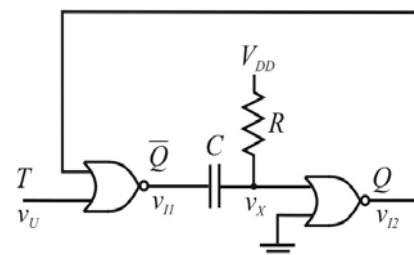
- a) [3] Algebarskom minimizacijom minimizovati logičku funkciju $Y = (AB + C) \oplus (AB + \bar{C})$.
 b) [2] Nacrtati električnu šemu jednostepenog statičkog CMOS logičkog kola koje realizuje minimizovanu logičku funkciju iz tačke a).
 c) [9] Odrediti i nactati vremenski oblik napona na izlazu kola iz tačke b) ako ulazni signali imaju talasne oblike kao na slici 3, pri čemu je $t_4 - t_3 = t_3 - t_2 = t_2 - t_1 = t_1 = T/4 = 100 \text{ ns}$. Na izlaz kola je povezana sonda osciloskopa kapacitivnosti $C_{sonde} = 10 \text{ pF}$. Odrediti kašnjenje uzlazne i kašnjenje silazne ivice izlaznog signala Y pri odgovarajućim promenama ulaznih signala sa slike 3. Otpornosti svih NMOS tranzistora su $R_{NMOS} = 200 \Omega$, a otpornosti svih PMOS tranzistora $R_{PMOS} = 300 \Omega$. Napon napajanja je $V_{DD} = 2,5 \text{ V}$.
 d) [3] Realizovati funkciju Y korišćenjem jednog multipleksera 4 u 1.



Slika 3 – Vremenski dijagrami ulaznih signala uz zadatak 3

4. [21 poen]

- a) [8] Ako se u kolu koje je prikazano na slici 4, na ulaz T dovede kratkotrajni impuls logičke jedinice, analizirati ponašanje kola (nije potrebno pisati jednačine, samo objasniti). Skicirati odgovarajuće vremenske dijagrame. Koja je namena ovog kola? Smatrati da je prag logičkih kola $0,5V_{DD}$ i da se na ulazima nalaze zaštitne diode.
 b) [7] Nacrtati tipičnu arhitekturu savremenog FPGA čipa (kao što je Spartan 3) i ukratko objasniti ulogu svakog bloka.



Slika 4

c) [6] Analogni signal koji se menja u opsegu od 0 V do 15 V treba konvertovati u 4-bitni digitalni signal korišćenjem A/D konvertora sa sukcesivnim aproksimacijama. Nacrtati karakteristiku prenosa idealnog A/D konvertora i odrediti grešku konverzije. Napisati redosled stanja na izlazu ako je ulazni napon $V_{UL} = 9$ V.

5. [20 poena]

a) [12] Realizovati sinhroni, 3-bitni brojač koji broji u binarnom Grejovom kodu. Na raspolaganju su ivični JK flip-flopovi sa asinhronim ulazima za direktan set Sd i reset Rd koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.

b) [3] Za brojač iz tačke a) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola $t_{dlk} = 10$ ns, kašnjenja svih flip-floпова $t_{dff} = 10$ ns, a vreme postavljanja (*setup time*) svih flip-floпова je $t_{setup} = 5$ ns. Smatrati da su vremena držanja (*hold time*) zadovoljena.

c) [5] Za brojač iz tačke a) obezbediti mogućnost sinhronog reseta. Brojač se resetuje ulaznim signalom *RESET* aktivnim u logičkoj jedinici.

6. [20 poena]

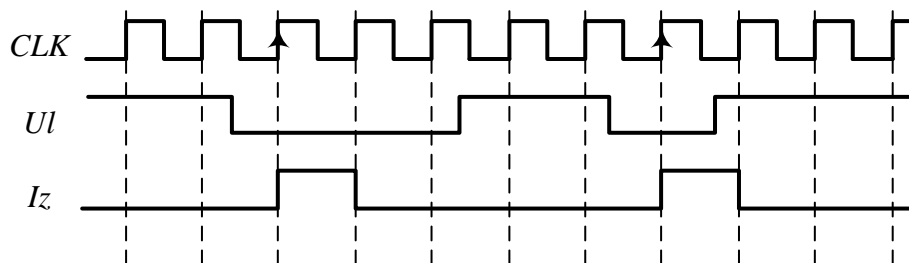
Projektovati sinhronu sekvencijalnu mrežu koja radi detekciju silazne ivice ulaznog signala. Mreža treba da generiše signal koji dobija vrednost logičke jedinice ako je u trenutku prethodne uzlazne ivice signala takta ulazni signal imao vrednost "1", a na trenutnu uzlaznu ivicu signala takta ulazni signal ima vrednost "0". Logička jedinica izlaznog signala treba da traje tačno jednu periodu signala takta - T_{CLK} . Vremenski dijagrami ulaznog signala U_I i izlaznog signala I_Z su prikazani na slici 6. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće od T_{CLK} . Odrediti:

a) [9] Tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopovi.

b) [3] Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.

c) [5] Realizovati mrežu korišćenjem ivičnih D flip-floпова i potrebnih logičkih kola.

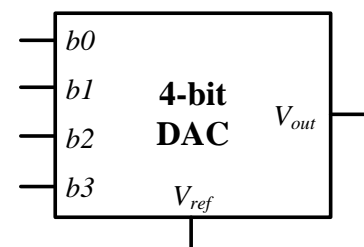
d) [3] Ako se mreža nađe u zabranjenim stanjima, proveriti da li i posle koliko taktova izlazi iz zabranjenih stanja.



Slika 6 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 6

7. [9 poena]

Potrebno je realizovati 8-bitni D/A konvertor koji na ulazu ima 8-bitni binarni broj predstavljen u prirodnom BCD kodu. D/A konvertor na izlazu generiše napon srazmeran vrednosti ulaznog BCD broja u punom opsegu od 0 do 5 V. Na raspolaganju su otpornici, operacioni pojačavači, izvor referentnog napona $V_{ref} = 5$ V i dva četvorobitna D/A konvertora (slika 7). Četvorobitni D/A konvertori na ulazu imaju neoznačen 4-bitni binarni broj, a na izlazu generišu napon srazmeran tom broju u punom opsegu od 0 do V_{ref} . Realizovati navedeni 8-bitni D/A konvertor, izračunati odnose i odrediti vrednosti svih korišćenih otpornika. Vrednosti otpornika birati tako da se obezbedi da izlazna struja oba 4-bitna D/A konvertora ne pređe maksimalnu dozvoljenu. Maksimalna dozvoljena izlazna struja oba D/A konvertora je $I_{OUTmax} = 10$ mA.



Slika 7 – 4-bitni D/A konvertor uz zadatak 7