

Ispit traje 3 sata. Studenti koji su položili kolokvijum rade zadatke 4-7 u trajanju od 2,5 sata. Na ispitu je dozvoljeno korišćenje samo pribora za pisanje i neprogramabilnog kalkulatora. Nije dozvoljeno napuštanje ispita tokom prvog sata. Napraviti razmak između tačaka a), b), c)...u zadatku i jasno označiti svaku tačku zadatka. Na naslovnoj strani vežbanke za zadatak koji nije rađen u odgovarajući kvadratić upisati X. Ako je **položen** kolokvijum na naslovnoj strani u kvadratiće za zadatke 1-3 upisati **Kolokvijum**.

### 1. [8 poena]

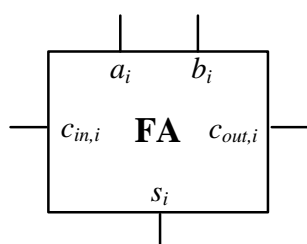
- a) [3] Nacrtati šemu CMOS invertora sa zaštitnim diodama na ulazu. Objasniti ulogu tih dioda.
- b) [5] Ako je faktor grananja dvoulaznog NILI kola 3, a izlazni signal treba dovesti na ulaze 5 dvoulaznih NILI kola, predložiti šemu sa minimalnim brojem dvoulaznih NILI kola kojom se to može ostvariti. Smatrati da svaki ulaz narednog kola povlači istu struju sa izlaza prethodnog kola.

### 2. [3 poena]

Izvršiti množenje označenih brojeva  $1100.01_2$  i  $10.001_2$  ako je za smeštanje rezultata na raspolaganju 10 bita.

### 3. [19 poena]

- a) [5] Potrebno je izvršiti sintezu jedne ćelije jednobitnog potpunog sabirača (slika 3). Na ulaz ćelije sabirača dovode se biti  $a_i$  i  $b_i$  razreda  $i$ , koje treba sabrati, kao i bit prenosa  $c_{in,i}$  iz prethodnog razreda. Izlaz ćelije sabirača daje rezultat sabiranja u  $i$ -tom razredu,  $s_i$ , kao i prenos u naredni razred  $c_{out,i}$ . Algebarskom minimizacijom odrediti izlazne funkcije jednobitnog potpunog sabirača tako da se sabirač može realizovati korišćenjem što manjeg broja dvoulaznih osnovnih logičkih kola.
- b) [3] Realizovati funkciju  $s_i$  koristeći samo dvoulazna NI logička kola i nacrtati dobijenu mrežu.
- c) [8] Neka su sva NI kola iz tačke b) ista kola iz 74HC familije čiji su parametri dati u tabeli 3. Na osnovu parametara iz tabele 3, odrediti ekvivalentne otpornosti  $p$  i  $n$  mreže ovih dvoulaznih NI kola. Odrediti putanju po kojoj se javlja najveće moguće kašnjenje mreže iz tačke b). Koristeći dobijene parametre odrediti kašnjenja pojedinačnih kola na toj putanji, a zatim i ukupno kašnjenje do izlaza mreže  $s_i$ , ako je na njega povezano još jedno isto NI kolo i to tako da ono radi kao invertor.
- d) [3] Korišćenjem realizovanih jednobitnih ćelija potpunog sabirača iz tačke a), realizovati 5-bitni potpuni sabirač. Koristeći realizovani 5-bitni sabirač i potrebna logička kola realizovati 5-bitni oduzimač.



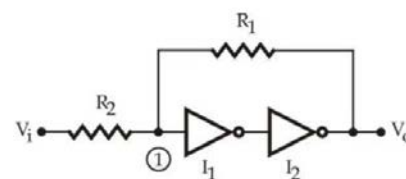
Slika 3 – Blok šema potpunog sabirača uz zadatak 3

Tabela 3 – Parametri 74HC00 logičkog NI kola

$V_{CC} = 5.0 \text{ V} \pm 10\%$							
Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	
$V_{OH}$	Output HIGH voltage	$V_{CC} = \text{Min}$ $V_{IN} = V_{IL}$	$I_{OH} = -20 \mu\text{A}$	4.4	4.499	–	V
			$I_{OH} = -4 \text{ mA}$	3.84	4.3	–	V
$V_{OL}$	Output LOW voltage	$V_{CC} = \text{Min}$ $V_{IN} = V_{IH}$	$I_{OL} = 20 \mu\text{A}$	–	0.001	0.1	V
			$I_{OL} = 4 \text{ mA}$	–	0.17	0.33	V
$C_I$	Input capacitance	–	–	3	10	pF	

### 4. [21 poen]

- a) [9] U kolu prikazanom na slici 4 je  $R_1 = 2R_2$ , CMOS invertori imaju idealne karakteristike i napon praga  $V_T = V_{DD}/2$ ,  $V_{DD} = 5 \text{ V}$ . Ukratko opisati kako radi kolo, a zatim nacrtati njegovu karakteristiku prenosa. Odrediti širinu histerezisa.
- b) [6] Objasniti kako se vrši upis, a kako brisanje sadržaja kod *flash* memorija. Uporediti karakteristike *flash* i EEPROM memorija.
- c) [6] Objasniti u čemu je osnovna funkcionalna razlika između ova dva VHDL koda:



Slika 4

<pre> PROCESS BEGIN   WAIT UNTIL (Clock'EVENT AND Clock='1');   IF reset='1' THEN     Q2 &lt;= '0';   ELSE     Q2 &lt;= D;   END IF; END PROCESS; </pre> <p style="text-align: center;">kod 1</p>	<pre> PROCESS (Reset, Clock) BEGIN   IF reset='1' THEN     Q3 &lt;= '0';   ELSEIF (Clock'EVENT AND Clock='1') THEN     Q3 &lt;= D;   END IF; END PROCESS; </pre> <p style="text-align: center;">kod 2</p>
---	---

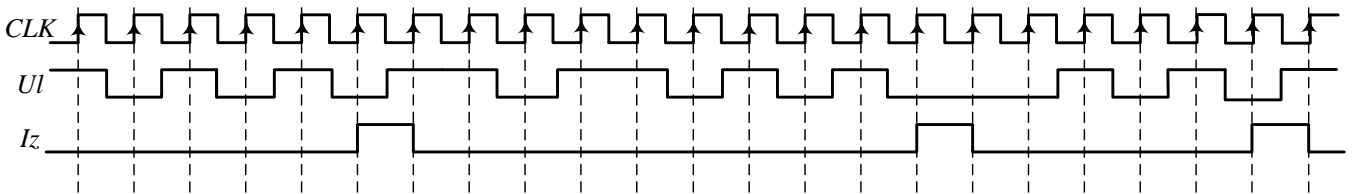
### 5. [15 poena]

- a) [11] Realizovati sinhroni, potpuni 3-bitni brojač koji broji unapred ili unazad u zavisnosti od signala *SMER*. Ako je signal *SMER* na logičkoj nuli, brojač broji unapred, u suprotnom, brojač broji unazad. Na raspolaganju su ivični JK flip-flopovi sa asinhronim ulazima za direktan set *Sd* i reset *Rd* koji su aktivni u logičkoj nuli, kao i potrebna logička kola. Težiti da broj upotrebljenih kola bude minimalan. Nacrtati šemu brojača.
- b) [4] Za brojač iz tačke a) odrediti maksimalnu učestanost rada ako su kašnjenja svih logičkih kola  $t_{dlk} = 10$  ns, kašnjenja svih flip-floпова  $t_{dff} = 10$  ns, a vreme postavljanja (*setup time*) svih flip-floпова je  $t_{setup} = 5$  ns. Smatrati da su vremena držanja (*hold time*) zadovoljena.

### 6. [20 poena]

Potrebno je projektovati sinhronu sekvencijalnu mrežu koja radi detekciju serijske sekvence 01010 ulaznog signala. Mašinu stanja realizovati kao Murovu mašinu stanja sa najmanjim mogućim brojem flip-floпова i logičkih kola. Ako se na 5 uzastopnih uzlaznih ivica signala takta na ulazu pojave vrednosti redom 0-1-0-1-0, na 5. uzlaznu ivicu je potrebno generisati signal koji dobija vrednost logičke jedinice. U svim ostalim slučajevima, izlazni signal ima vrednost logičke nule. Logička jedinica izlaznog signala treba da traje tačno jednu periodu signala takta -  $T_{CLK}$ . Vremenski dijagrami ulaznog signala *UI* i izlaznog signala *Iz* su prikazani na slici 6. Smatrati da je vreme za koje je ulazni signal na stabilnom logičkom nivou veće ili jednako  $T_{CLK}$ . Odrediti:

- a) [11] Tabelu stanja/izlaza, tabelu prelaza/izlaza i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopovi.
- b) [3] Obeležiti stanja na vremenskim dijagramima i nacrtati dijagram stanja ove sekvencijalne mreže.
- c) [6] Realizovati mrežu korišćenjem ivičnih D flip-floпова i potrebnih logičkih kola.



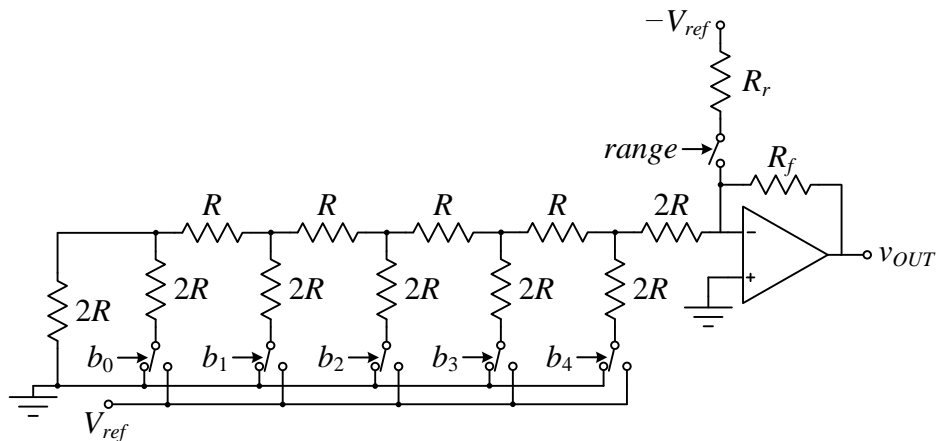
Slika 6 – Vremenski dijagrami ulaznih i izlaznih signala sekvencijalne mreže iz zadatka 6

### 7. [14 poena]

Na slici 7 je prikazan 5-bitni D/A konvertor sa lestvičastom  $R-2R$  otpornom mrežom. Na ulaz D/A konvertora se dovodi binarni broj  $b_4b_3b_2b_1b_0$  dok se na izlazu konvertora generiše analogni napon  $v_{OUT}$  koji odgovara binarnom broju sa ulaza. Signalom *range* se kontroliše u kom opsegu se nalazi izlazni napon D/A konvertora. Prekidač je zatvoren ako je signal *range* na logičkoj jedinici dok preklopnici povezuju otpornike iz lestvičaste mreže sa masom ako odgovarajući biti  $b_i$  imaju vrednost logičke nule, a sa naponom  $V_{ref}$  ako biti  $b_i$  imaju vrednost logičke jedinice. Smatrati da su prekidači i preklopnici idealni, kao i da je operacioni pojačavač idealan.

- a) [9] Ako je signal *range* jednak "0", izvesti izraz za napon  $v_{OUT}$  u zavisnosti od napona  $V_{ref}$ , otpornosti  $R$  i  $R_f$  i vrednosti binarnih promenljivih  $b_4, b_3, b_2, b_1$  i  $b_0$ . Odrediti vrednost otpornosti  $R_f$  tako da je  $v_{OUT}("00000") = 0$  V, a  $v_{OUT}("11111") = 5$  V. Poznato je  $V_{ref} = -5$  V i  $R = 1$  k $\Omega$ .

- b) [5] Ako je signal *range* jednak "1", opseg izlaznog napona se menja. Za vrednost otpornosti  $R_f$  koja je određena u prethodnoj tački, odrediti otpornost  $R_r$  tako da izlazni napon ima vrednost 0 V za ulazni podatak  $b_4b_3b_2b_1b_0 = "10000"$ . Koliki je u tom slučaju opseg izlaznog napona?



Slika 7 – 5-bitni D/A konvertor uz zadatak 7