

Vujo Drndarević

ELEMENTI  
**ELEKTRONIKE**

DIGITALNA KOLA

Elektrotehnički fakultet  
Akademska misao

Univerzitet u Beogradu  
Elektrotehnički fakultet

Dr Vujo Drndarević

# ELEMENTI ELEKTRONIKE

digitalna kola

Elektrotehnički fakultet  
Akademska misao  
Beograd, 2016.

Prof. dr Vujo Drndarević

ELEMENTI ELEKTRONIKE  
digitalna kola

Recenzenti

Doc. dr Vladimir Rajović  
Elektrotehnički fakultet, Beograd

Doc. dr Nenad Jovičić  
Elektrotehnički fakultet, Beograd

Odlukom Nastavno-naučnog veća Elektrotehničkog fakulteta Univerziteta u Beogradu br. 116/3, koja je doneta na 797. sednici od 22.03.2016. godine, odobreno je štampanje ovog udžbenika.

Izdavači  
ELEKTROTEHNIČKI FAKULTET, Beograd  
AKADEMSKA MISAO, Beograd

## Predgovor

U okviru predmeta Elementi elektronike, koji se drži na drugoj godini osnovnih studija na Elektrotehničkom fakultetu Univerziteta u Beogradu na modulima Energetika, Signali i sistemi, Telekomunikacije i informacione tehnologije, gradivo je podeljeno u dve oblasti. Prvoj oblasti pripadaju osnovi fizike poluprovodnika, diode, tranzistori i operacioni pojačavači, a drugoj digitalna kola. Prva navedena oblast je pokrivena udžbenikom istog autora "Elementi elektronike - diode, tranzistori i operacioni pojačavači" koji je objavljen 2014. godine. Ovaj drugi udžbenik "Elementi elektronike - digitalna kola" se bavi elementima digitalne elektronike i u njemu se obrađuju oblasti logičkih i sekvencijalnih kola i kombinacionih i sekvencijalnih mreža. Sadržajem ove dve knjige u potpunosti je pokriveno gradivo koje se po aktuelnom studijskom programu izučava u okviru predmeta Elementi elektronike.

Pri pisanju ove knjige prvenstveno se vodilo računa o tome da se na što jednostavniji način, ali uz uvažavanje aktuelnog stanja u oblasti na koju se tekst odnosi, studentima neelektronskih odseka omogući savladavanje planiranog gradiva. Radi lakšeg praćenja i razumevanja izlagane materije u tekst je uključen veći broj jednostavnih primera.

Autor se zahvaljuje doc. dr Vladimiru Rajoviću, doc. dr Nendu Jevtiću i doc. dr Nenadu Jovičiću na primedbama i korisnim sugestijama tokom izrade ovog udžbenika.

Beograd, april 2016. godine

Autor



# Sadržaj

<b>1 Uvod u digitalnu elektroniku</b>	<b>1</b>
1.1 Analogni i digitalni signali	1
1.2 Brojni sistemi i kodovi	4
1.2.1 Binarni brojni sistem	5
1.2.2 Heksadecimalni brojni sistem	8
1.2.3 Binarno kodovani decimalni brojevi	9
1.2.4 Grejov kôd	9
1.2.5 Alfaniumerički kodovi	11
1.3 Osnovi Bulove algebre	11
1.3.1 Osnovne logičke operacije	12
1.3.2 Zakoni i teoreme Bulove algebre	13
1.3.3 Ostale logičke operacije	15
1.4 Logičke funkcije	17
1.4.1 Predstavljane logičkih funkcija	18
1.4.2 Minimizacija logičkih funkcija	21
1.5 Osnovna logička kola	24
<b>2 Logička kola</b>	<b>29</b>
2.1 Uvod	29
2.2 Karakteristike logičkih kola	32
2.2.1 Naponska karakteristika prenosa	33
2.2.2 Margine šuma	34
2.2.3 Dinamičke karakteristike	35
2.2.4 Disipacija i kašnjenje logičkih kola	36
2.2.5 Faktor grananja	37

2.3 CMOS logička kola	38
2.3.1 CMOS logički invertor	38
2.3.2 Osnovna i složena CMOS logička kola	50
2.4 Bipolarna logička kola	59
<b>3 Sekvencijalna kola</b>	<b>66</b>
3.1 Bistabilna kola	67
3.1.1 Leč kola	68
3.1.2 Flipflopovi	79
3.1.3 Realizacija flipflopova korišćenjem D leča sa dozvolom	90
3.2 Monostabilni multivibratori	95
3.3 Astabilni multivibratori	97
<b>4 Kombinacione i sekvencijalne mreže</b>	<b>101</b>
4.1 Kombinacione mreže	101
4.1.1 Analiza kombinacionih mreža	101
4.1.2 Sinteza kombinacionih mreža	104
4.1.3 Minimizacija kombinacionih mreža	105
4.1.4 Koderi i dekoderi	107
4.1.5 Multiplekseri i demultiplekseri	110
4.1.6 Konvertori koda	115
4.1.7 Greške zbog kašnjenja logičkih kola	119
4.2 Sekvencijalne mreže	122
4.2.1 Analiza sekvencijalnih mreža	122
4.3.2 Sinteza sekvencijalnih mreža	125
4.3.3 Stacionarni registri	129
4.3.4 Pomerački registri	131
4.3.5 Brojači	135
Literatura	146
Indeks	148

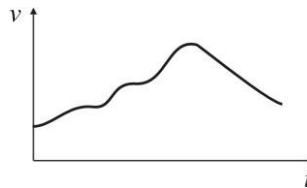
# glava 1

## Uvod u digitalnu elektroniku

### 1.1 Analogni i digitalni signali

Signali koji se obrađuju pomoću elektronskih kola mogu se podeliti na *analogne* i *digitalne*. Analogni signali su kontinualni u vremenu i po amplitudi, što znači da amplituda analognog signala može imati bilo koju vrednost u okviru ograničenog opsega vrednosti.

Veliki broj fizičkih veličina i pojava, kao što su npr. temperatura, vlažnost, pritisak, intenzitet svetlosti i dr., menja se kontinualno i mogu imati bilo koju vrednost u određenom opsegu vrednosti, tako da se mogu predstaviti analognim signalima. Na slici 1.1 prikazan je primer vremenski promenljivog analognog naponskog signala.



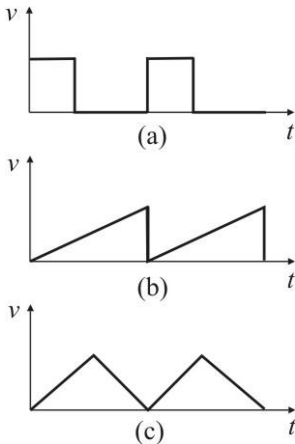
**Slika 1.1** Analogni signal

Za obradu informacija sadržanih u analognom signalu koriste se *analogna kola*. Pomoću analognih kola mogu se selektivno menjati amplituda, faza ili frekvencijski sadržaj signala. Pored toga, često se zahteva značajno pojačanje napona i struje odnosno pojačanje snage signala. Navedene promene karakteristika signala postižu se korišćenjem različitih tipova pojačavača, koji predstavljaju najčešće korišćena analogna elektronska kola.

Jednu klasu analognih signala čine *impulsni signali*. Impulsni signali su kontinualni u vremenu, ali im se amplituda naglo menja. Do promene amplitude



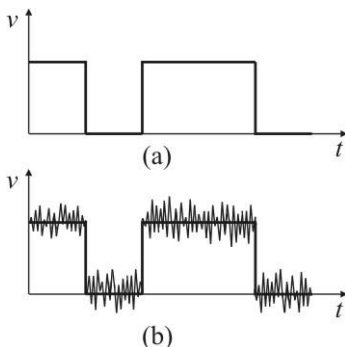
impulsnog signala dolazi u veoma kratkom vremenu, koje je definisano procesom generisanja impulsa ili brzinom kojom se odvijaju prelazne pojave u kolima za obradu impulsnih signala. Primeri impulsnih signala su pojedinačni impulsi ili periodične povorke pravougaonih, testerastih ili trougaonih impulsa (sl. 1.2). Za generisanje ili obradu impulsnih signala koriste se *impulsna kola*.



**Slika 1.2** Impulsi pravougaonog (a), testerastog (b) i trougaonog (c) talasnog oblika.

Jednu užu klasu impulsnih signala čine *digitalni signali*. Digitalni signali su kontinualni u vremenu i diskretni po vrednosti. Naziv potiče od reči digit (cifra), u smislu konačnog broja vrednosti koje digitalni signali mogu imati u određenom opsegu. U digitalnoj elektronici se najčešće koriste *binarni digitalni signali*. Binarni digitalni signali imaju samo dva različita naponska nivoa. Ovi naponski nivoi interpretiraju se kao binarne cifre 0 i 1. U digitalnim sistemima sa *pozitivnom logikom* nizak naponski nivo se interpretira kao *logička nula* a visok naponski nivo kao *logička jedinica*. Ako se visok nivo označi logičkom nulom a nizak jedinicom, onda se u sistemu koristi *negativna logika*.

Na slici 1.3a dat je primer digitalnog binarnog signala. Isti signal, kome je superponiran šum, prikazan je na slici 1.3b. Sa slike 1.3b se vidi da se naponski nivoi koji odgovaraju binarnim ciframa 0 i 1 lako mogu detektovati čak i u prisustvu jakog šuma.

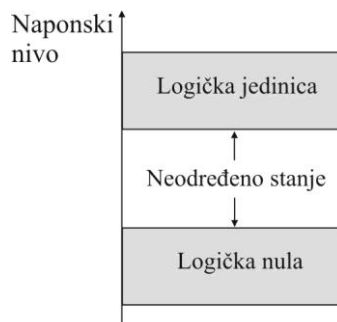


**Slika 1.3** (a) Idealan binarni digitalni signal; (b) binarni signal pomešan sa šumom.

Da bi se mogli tolerisati neizbežna odstupanja u karakteristikama digitalnih kola i uvek prisutan šum, umesto da budu predstavljeni fiksnim naponskim nivoima, logička nula i logička jedinica se predstavljaju opsezima napona, kao što je prikazano na slici 1.4. Na ovaj način dodatno je olakšan rad sa digitalnim signalima.

Sa slike 1.4 se vidi da su naponski opsezi koji odgovaraju logičkoj nuli i logičkoj jedinici razdvojeni jednom prelaznom zonom. Naponski nivoi iz ove zone ne predstavljaju binarne brojeve, te oni nisu dozvoljeni.

**Slika 1.4** Naponski opsezi koji odgovaraju binarnim brojevima 0 i 1.



Obrada digitalnih signala vrši se pomoću *digitalnih kola*. Digitalna kola se dele na *kombinaciona* i *sekvencijalna*. Kod kombinacionih kola vrednost izlaznog signala zavisi samo od trenutne vrednosti ulaznih signala. Kod sekvencijalnih kola, koja sadrže memorijske emenete, vrednost na izlazu zavisi od trenutnih vrednosti ulaza, ali i od prethodnih vrednosti ulaza.

Brojni su razlozi zbog kojih digitalna obrada signala i digitalna kola pokazuju prednosti i daju bolje rezultate u odnosu na analognu obradu signala i analogna kola. Ovde će biti navedeni samo neki od njih.

Digitalna kola koja su pravilno projektovana uvek daju isti rezultat. Izlaz analognih kola varira sa promenama temperature i napona napajanja, usled dejstva smetnji i šuma, zbog starenja komponenti i usled brojnih drugih razloga.

Projektovanje digitalnih kola, koje se naziva i logičko projektovanje, jednostavnije je od projektovanja analognih kola, a u radu se najčešće ne zahteva poznavanje i korišćenje složenih modela elektronskih komponenti.

Pri rešavanju problema koji je sveden na digitalnu formu, projektant ima veliku fleksibilnost i mogućnost ostvarenja brojnih dodatnih funkcija. Na primer, digitalni uređaji i informacije se lako mogu zaštititi od neovlašćenog korišćenja, što kod analognih sisteme nije slučaj.

Izmenom programa digitalnog uređaja moguće je menjati njegovu funkcionalnost bez fizičke intervencije i prepravke uređaja.

Sadašnji digitalni uređaji rade veoma velikom brzinom, izvršavajući preko milijardu operacija u sekundi.

Zahvaljujući primeni savremene integrisane tehnologije, digitalna kola koja

sadrže brojne funkcije zauzimaju malo prostora, a usled masovne proizvodnje imaju veoma nisku cenu.

## 1.2 Brojni sistemi i kodovi

Digitalni sistemi se realizuju pomoću kola koja obrađuju binarne digitalne signale. Ovim signalima se predstavljaju binarne cifre 0 i 1. S obzirom na to da se veoma mali broj veličina ili pojava može predstaviti binarnim brojevima, mora se napraviti odgovarajuća korespodencija između binarnih digitalnih signala, koji se obrađuju digitalnim kolima, i realnih veličina i pojava koje se predstavljaju ovim signalima. U ovom poglavlju će biti pokazano kako se numeričke ali i nenumeričke veličine mogu predstaviti i obrađivati u digitalnim sistemima.

U digitalnoj obradi informacija podaci se predstavljaju pomoću simbola nekog brojnog sistema. U opštem slučaju broj  $X$  ( $x_{n-1}x_{n-2}...x_1x_0.x_{-1}x_{-2}...x_{-m}$ ) se može predstaviti u obliku

$$X = \sum_{i=-m}^{n-1} c_i b^i, \quad (1.1)$$

gde je  $b$  osnova brojnog sistema,  $c_i$  cifre brojnog sistema,  $n$  broj cifara u celobrojnom i  $m$  broj cifara u razlomljenom delu broja  $X$ . Ovakav način predstavljanja brojeva je *pozicioni*, jer doprinos svake cifre  $c_i$  zavisi od njene pozicije  $i$ .

Cifre brojnog sistema moraju zadovoljiti nejednakost

$$0 \leq c_i \leq b-1. \quad (1.2)$$

Najveća brojna vrednost koja se može predstaviti sa  $n$  cifara u sistemu koji ima osnovu  $b$  je

$$X_{\max} = b^n - 1. \quad (1.3)$$

Digitalni podaci standardno se predstavljaju pomoću binarnog, oktalnog, decimalnog ili heksadecimalnog brojnog sistema (tabela 1.1).

**Tabela 1.1** Brojni sistemi za predstavljanje digitalnih podataka

Osnova	Naziv sistema	Cifre
2	Binarni	0,1
8	Oktalni	0,1,2,3,4,5,6,7
10	Decimalni	0,1,2,3,4,5,6,7,8,9
16	Heksadecimalni	0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F

U digitalnoj elektronici se najčešće koristi brojni sistem sa osnovom  $b=2$ , koji se naziva *binarni brojni sistem*.

### 1.2.1 Binarni brojni sistem

Binarni brojni sistem ima osnovu  $b=2$ , što znači da se u ovom sistemu koriste samo dva simbola za cifre, 0 i 1. Cifra binarnog sistema naziva se bit (eng. *binary digit*). S obzirom na to da se biti mogu lako predstaviti naponskim signalima sa dva nivoa, visokim za jedinicu i niskim za nulu, binarni sistem predstavlja najprirodniji brojni sistem za primenu u digitalnim i računarskim sistemima.

Zamenom  $b=2$  u izraz (1.1) dolazi se do opšteg oblika binarnog broja

$$X = \sum_{i=-m}^{n-1} c_i 2^i . \quad (1.4)$$

Za predstavljanje podataka koristi se grupa bita, koja obrazuje binarnu reč. Binarne reči mogu imati različitu dužinu. Najčešće se koristi grupa od osam bita koja se naziva bajt (*byte*).

Binarne reči se koriste za predstavljanje numeričkih podataka, ali i za predstavljanje nenumeričkih podataka kao što su slovni karakteri i znakovi. S obzirom na to da je u svakodnevnoj upotrebi decimalni brojni sistem, pri unošenju numeričkih podataka u digitalni ili računarski sistem potrebno je pretvoriti decimalne brojeve u binarne. Takođe, na kraju obrade podataka, obično se zahteva obrnuta konverzija, tj. prevođenje binarnih u decimalne brojeve.

Konverzija celobrojnog binarnog broja u decimalni može se izvršiti pomoću jednačine (1.4), tako što se saberu stepeni broja 2 koji odgovaraju jedinicama u binarnom zapisu broja. Na primer, binarni broj 10010011 ekvivalentan je decimalnom broju 147,

$$10010011_2 = 1 \cdot 2^7 + 0 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 128 + 16 + 2 + 1 = 147_{10},$$

pri čemu broj u indeksu ukazuje na brojni sistem u kome je odgovarajući broj predstavljen: 2 - binarni; 10 - decimalni.

Konverzija binarnog broja koji sadrži celobrojni i razlomljeni deo vrši se tako što se svaki deo zasebno konvertuje, a binarna tačka se zamenjuje decimalnom tačkom. Na primer,

$$1101.01_2 = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 + 0 \cdot 2^{-1} + 1 \cdot 2^{-2} = 13.25_{10}.$$

Konverzija celog decimalnog broja  $N$  u binarni broj može se izvršiti primenom algoritma iz tabele 1.2.

Primenom algoritma koji je dat u tabeli 1.2 prvo se dobija *bit najmanje težine* ili LSB bit (*Least Significant Bit*). Poslednji izračunati bit je *bit najveće težine* ili MSB bit (*Most Significant Bit*). U binarnoj predstavi broja bit najveće težine (MSB) je prvi sleva a bit najmanje težine (LSB) je prvi zdesna.

**Tabela 1.2** Algoritam za konverziju celog decimalnog broja  $N$  u binarni broj.

Korak	Operacija
I	Ispitati da li je $N$ paran ili neparana broj
II	a) ako je $N$ neparan zapisati 1 u rezultat i formirati novu vrednost $N-1$ . b) ako je $N$ paran, zapisati 0 u rezultat;
III	Naći novu vrednost $N$ deljenjem $N$ iz II koraka sa 2
IV	a) Ako je $N > 1$ vratiti se na I korak i ponoviti postupak b) Ako je $N = 1$ , upisati 1 u rezultat.

**Primer 1.1** Proces konverzije decimalnog u binarni broj biće prikazan na primeru konverzije decimalnog broja 157 u odgovarajući binarni.

Broj	Aktinost	Bit
157	Neparan, oduzeti 1, podeliti sa 2	1      LSB
78	Paran, podeliti sa 2	0
39	Neparan, oduzeti 1, podeliti sa 2	1
19	Neparan, oduzeti 1, podeliti sa 2	1
9	Neparan, oduzeti 1, podeliti sa 2	1
4	Paran, podeliti sa 2	0
2	Podeliti sa 2	0
1	Kraj	1      MSB

Na osnovu sprovedenog postupka, rezultat konverzije decimalnog broja 157 je binarni broj 10011101.

Za predstavljanje negativnih brojnih vrednosti koristi se predznak. U sistemu predstavljanja negativnih brojeva sa predznakom, broj se sastoji od apsolutne vrednosti i predznaka koji pokazuje da li je broj pozitivan ili negativan, npr. +76, -23.56, itd., s tim što se podrazumeva da je vrednost pozitivna i kada je znak "+" izostavljen.

Predstavljanje negativnih brojnih vrednosti u binarnom brojnom sistemu se može vršiti na nekoliko načina. Za označavanje znaka vrednosti binarnog broja koristi se dodatni bit. Ovaj bit se dodaje na početku binarnog niza i on zauzima krajnje levu poziciju (MSB). Za obeležavanje znaka "+" koristi se 0 a za obeležavanje znaka "-" koristi se 1. Tako je npr.  $01111110_2 = +126_{10}$ , dok je  $11111110_2 = -126_{10}$ . Nula se može predstaviti na dva načina, "+0" ili "-0", pri čemu se u oba slučaja radi o istoj vrednosti.

Treba zapaziti da se sa  $n$  bita može predstaviti  $2^n$  neoznačenih celih binarnih brojeva u opsegu od 0 do  $2^n - 1$ , dok se sa istim brojem bita može predstaviti  $2^{n-1} - 1$  negativnih i isto toliko pozitivnih celih brojeva, tj. celi brojevi u opsegu od  $-(2^{n-1})$  do  $+(2^{n-1} - 1)$ , uključujući i nulu.

Premda efikasan u svakodnevnoj upotrebi, sistem predstavljanja brojeva sa predznakom je nepogodan za mašinsko izvođenje računskih operacija. Ako bi

trebalo sabrati dva broja sa predznakom, prvo treba ispitati predznake ovih brojeva da bi se znalo šta potom treba uraditi sa apsolutnim vrednostima. Ako oba broja imaju iste predznake onda ih treba sabrati i zadržati isti predznak. Ako su im predznaci različiti, onda je potrebno porediti njihove apsolutne vrednosti, oduzeti manju od veće i rezultatu dati predznak broja veće vrednosti.

Može se zapaziti da operacija sabiranja dva broja sa predznakom sadrži nekoliko operacija, što utiče na kompleksnost digitalnog sistema koji bi trebalo da obavi ovu operaciju, kao i na vreme potrebno za njeno izvršavanje. Zbog toga se za predstavljanje negativnih brojeva u binarnom brojnem sistemu koristi predstavljanje pomoću *prvog komplementa* i *drugog komplementa*. Razlog korišćenja komplementa za izražavanje negativne vrednosti leži u tome što se tada sa bitom za predznak operiše na isti način kao i sa ostalim bitima broja, čime se znatno olakšava izvođenje računskih operacija.

*Prvi komplement (1's complement)* binarnog broja dobija se oduzimanjem svakog bita tog broja od 1. Oduzimanjem binarne cifre od 1 dobija se  $1-0=1$  ili  $1-1=0$ . U oba slučaja, binarna cifra dobijena oduzimanjem od 1 predstavlja komplement originalne vrednosti, što znači da se prvi komplement binarnog broja može dobiti tako što će se originalni broj komplementirati bit po bit. Npr. prvi komplement binarnog broja 1010 je 0101. Kada se negativni binarni broj predstavlja pomoću prvog komplementa, bit najveće težine predstavlja predznak.

*Drugi komplement (2's complement)* nekog  $n$  bitnog binarnog broja  $X$  dobija se kao dopuna tog broja do  $2^n$ , tj. oduzimanjem apsolutne vrednosti tog broja od binarnog broja  $2^n$

$$X_2 = 2^n - |X|. \quad (1.5)$$

Predstavljanje pozitivnog celog binarnog broja u sistemu drugog komplementa vrši se tako što se ispred neoznačenog binarnog broja doda 0. Negativan ceo broj se drugim komplementom predstavlja na sledeći način:

- i. ispred neoznačenog binarnog broja doda se 0;
- ii. sve cifre se komplementiraju (jedinice zamene nulama a nule jedinicama);
- iii. dobijenom broju se doda 1.

**Primer 1.2** Predstavljanje negativnog decimalnog broja -99 drugim komplementom u binarnom brojnem sistemu

i	$99_{10} =$	$1100011_2$
		$01100011$
		$10011100$
ii.		$10011100$
iii.		$10011100$
		$\underline{\quad\quad\quad +1}$
		$10011101$

U binarnom brojnem sistemu, kao što je prethodno rečeno, bit najveće težine predstavlja znak broja. Pozitivan binarni broj počinje nulom a negativan

jedinicom. Ako se nad binarnim brojevima sa znakom obavljaju računске operacije, onda oni moraju imati isti broj cifara kako bi se znalo koja cifra predstavlja znak. Ako se, na primer, usvoje petocifreni brojevi, gde jedna cifra predstavlja znak, moguće je predstaviti brojeve u opsegu od -16 do +15. Ako pri obavljanju računskih operacija dođe do prekoračenja vrednosti broja koji se može izraziti usvojenim brojem cifara, greška je neminovna. Da do greške ne bi došlo, potrebno je proširiti opseg brojeva, što se postiže povećanjem broja cifara kojim se predstavljaju brojevi. Pri tome, pozitivnim brojevima se mogu dodavati vodeće nule a negativnim brojevima vodeće jedinice, a da se vrednosti brojeva ne promene.

**Primer 1.3** Izvršiti sabiranje označenih binarnih brojeva u sistemu komplementa dvojkje:

a) +4+3; b) +6 i -3.

<p>a)</p> $\begin{array}{r} +4 \quad 0100 \\ +3 \quad +0011 \\ \hline +7 \quad 0111 \end{array}$	<p>b)</p> $\begin{array}{r} +6 \quad 0110 \\ + -3 \quad +1101 \\ \hline +3 \quad (1)0011 \end{array}$
--	---

## 1.2.2 Heksadecimalni brojni sistem

U digitalnim, a posebno računarskim sistemima, često se koristi *heksadecimalni sistem* predstavljanja brojeva. Osnovna prednost heksadecimalnog brojnog sistema u odnosu na binarni sistem je što se određeni broj predstavlja sa manjim brojem cifara. Npr. jednocifreni heksadecimalni broj zamenjuje četvorocifreni binarni broj, dok dvocifreni heksadecimalni broj zamenjuje osmocifreni binarni broj.

Heksadecimalni sistem ima osnovu 16, te za predstavljanje brojeva koristi 16 simbola: 0, 1, ..., 9, A, B, C, D, E i F.

Konverzija binarnog u heksadecimalni broj se vrši tako što se biti binarnog broja grupišu u grupe po četiri bita, idući od bita najmanje težine prema bitu najveće težine. Ovako dobijene grupe bita zamenjuju se odgovarajućim heksadecimalnim ciframa od 0 do F. Na primer,

$$100011011110_2 = 1000 \ 1101 \ 1110_2 = 8DE_{16}.$$

Konverzija u suprotnom smeru, heksadecimalnog u binarni broj, je jednostavna. Potrebno je svaki heksadecimalni broj zameniti odgovarajućim nizom od četiri bita. Na primer,

$$5A_{16} = 0101 \ 1010_2.$$

Heksadecimalni brojevi se često koriste za izražavanje memorijskog adresnog prostora kod računara. Na primer, računar kod koga se adresiranje vrši sa 16 bita, raspolaže adresnim prostorom  $0\text{-}FFFF_{16}$ .

### 1.2.3 Binarno kodovani decimalni brojevi

Kombinacijom decimalnog brojnog sistema, koji je najpogodniji za obavljanje računskih operacija, i binarnog sistema, čije prednosti su nesporne sa stanovišta obrade podataka pomoću digitalnih uređaja, dolazi se do *binarno kodovanog decimalnog sistema* (*Binary Coded Decimal - BCD*).

Decimalni brojevi se u digitalnim sistemima predstavljaju nizom bita, pri čemu različite kombinacije bita u nizu predstavljaju različite decimalne brojeve. Ovako dobijen niz bita naziva se *kôd*. S obzirom na to da decimalni brojni sistem koristi deset cifara, za predstavljanje svake cifre potrebno je koristiti grupu od četiri bita. BCD kôd se formira na taj način što se svaka decimalna cifra konvertuje u odgovarajući binarni kôd. Na primer,

$$9450_{10} = 1001\ 0100\ 0101\ 0000_{\text{BCD}}$$

Ako se decimalni broj iz prethodnog primera pretvori u običan binarni, tj.  $9450_{10} = 10010011101010_2$ , može se zapaziti da je ovde broj bita za dva manji nego kod BCD koda. To znači da predstavljanje decimalnih brojeva u BCD sistemu zahteva više bita nego što je potrebno za običan binarni kôd, što ga čini manje efikasnim od običnog odnosno pravog binarnog koda.

Konverzija BCD broja u decimalni vrši se jednostavno, potrebno je binarne četvorke zameniti odgovarajućim decimalnim ciframa, na primer

$$0010\ 1001\ 0110_{\text{BCD}} = 296_{10}$$

Kao što je naglašeno, BCD kod je manje efikasan od binarnog, te je izvođenje računskih operacija sa BCD brojevima znatno komplikovanije nego sa pravim binarnim brojevima. Zbog toga se BCD predstavljanje brojeva koristi jedino kod uređaja sa numeričkom tastaturom i cifarskim displejom, kakav je npr. džepni kalkulator.

### 1.2.4 Grejov kôd

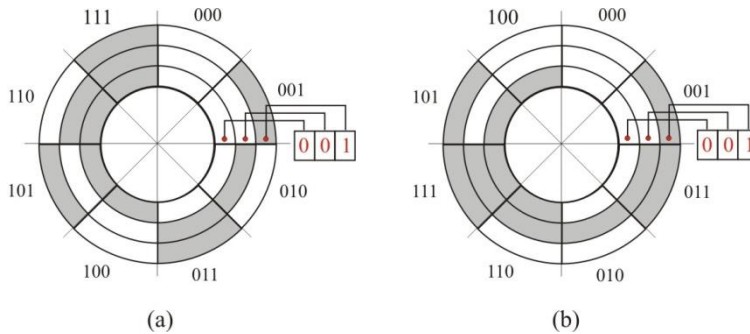
U mnogim primena se za određivanje pozicije obrtnih mašinskih elemenata koristi *enkoder*. Enkoder je elektromehanički senzor koji vrši konverziju ugaone pozicije ili pomeraja osovine u binarno kodovanu vrednost. Na slici 1.5 ilustrovan je mehanizam konverzije ugla u 3-bitni binarni broj.

Osnovni deo enkodera je *kodni disk* koji je pričvršćen na osovinu čiji se ugao pomeraja meri. Očitavanje položaja diska vrši se pomoću kontakta koji naležu na svetle i tamne površine segmenata diska. Kontakt sa svetlom površinom generiše logičku nulu dok kontakt sa tamnom površinom generiše jedinicu.

Kod očitavanja položaja diska sa slike 1.5a dolazi do problema kada se disk pozicionira na granicu između dva segmenta. Npr. na granici između segmenata 001 i 010, bitovi na dve pozicije menjaju svoje vrednosti. Ako se disk pozicionira na samoj granici ova dva segmenta i jedna i druga vrednost su moguće, a zbog



nesavršenosti kontakta na izlazu enkodera u ovom položaju se čak mogu očekivati i vrednosti 011 odnosno 000. Do ovakvog problema može doći i na granici između bilo koja dva susedna segmenta diska, a najgori slučaj nastupa na granicama segmenata gde dolazi do promene vrednosti sva tri bita, kao što su 000-111 i 011-100.



**Slika 1.5** Mehanički 3-bitni enkoder: (a) binarno kodovan; (b) sa Grejovim kodom.

Opisani problem, koji može uneti značajnu grešku u očitavanju položaja enkodera, može se rešiti kodovanjem segmenata diska tako da se od jednog do drugog segmenta menja vrednost samo jednog bita. Takav kôd se naziva *Grejov (Gray) kôd*. U tabeli 1.3 dat je 3-bitni Grejov kôd, a na slici 1.5b kodni disk enkodera kod koga se koristi ovaj kôd.

Dec. broj	Binarni kôd	Grejov kôd
0	000	000
1	001	001
2	010	011
3	011	010
4	100	110
5	101	111
6	110	101
7	111	100

**Tabela 1.3** 3-bitni binarni i Grejov kôd.

Binarni broj i broj u Grejovom kodu imaju isti broj cifara. Konverzija binarnog u Grejov kôd obavlja se na sledeći način. Bit najveće težine identičan je kod oba koda, te se on prepisuje. Sledeća cifra Grejovog koda, idući u desno, dobija se sabiranjem MSB bita i susednog (MSB-1) bita binarnog broja. Ako rezultat zbira dà jedinicu za prenos, odgovarajuća cifra u Grejovom kodu je 0. U svakom narednom koraku postupak se ponavlja, idući u desno za jedno mesto.

### 1.2.5 Alfanumerički kodovi

Podaci se, u opštem sučaju, sastoje od numeričkih i slovnih simbola. To znači da je pored kodovanja numeričkih podataka, potrebno kodovati i slovne simbole. Za kodovanje alfanumeričkih podataka na raspolaganju stoji više standarda, ali je u upotrebi najrasprostranjeniji *ASCII standard (American Standard Code for Information Interchange)*.

ASCII standard sadrži 128 karaktera, te se za kodovanje svakog karaktera koristi 7 bita. Standardom su obuhvaćena mala i velika slova engleske abecede, decimalne cifre, znaci interpunkcije i drugi znaci i kontrolni karakteri. U tabeli 1.4 prikazan je sedmobitni *ASCII kôd*.

Da bi se omogućilo predstavljanje dodatnih slova i simbola uveden je osmobitni ASCII kôd, koji je proširen kodnim rečima od  $128_{10}$  do  $255_{10}$ .

**Tabela 1.4** Sedmobitni ASCII kôd.

(vrsta) $b_3b_2b_1b_0$	$b_6b_5b_4$ (kolona)							
	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
0 0 0 0	NUL	DLE	SP	0	@	P	`	p
0 0 0 1	SOH	DC1	!	1	A	Q	a	q
0 0 1 0	STX	DC2	"	2	B	R	b	r
0 0 1 1	ETX	DC3	#	3	C	S	c	s
0 1 0 0	EOT	DC4	\$	4	D	T	d	t
0 1 0 1	ENQ	NAK	%	5	E	U	e	u
0 1 1 0	ACK	SYN	&	6	F	V	f	v
0 1 1 1	BEL	ETB	'	7	G	W	g	w
1 0 0 0	BS	CAN	(	8	H	X	h	x
1 0 0 1	HT	EM	)	9	I	Y	i	y
1 0 1 0	LF	SUB	*	:	J	Z	j	z
1 0 1 1	VT	ESC	+	;	K	[	k	{
1 1 0 0	FF	FS	,	<	L	\	l	
1 1 0 1	CR	GS	-	-	M	]	m	}
1 1 1 0	SO	RS	.	>	N	^	n	~
1 1 1 1	SI	US	/	?	O	_	o	DEL

## 1.3 Osnovi Bulove algebre

Na početku ove glave definisani su digitalni signali i jedna klasa digitalnih signala koji mogu imati samo dva naponska nivoa, visok i nizak naponski nivo. Ovakvi signali mogu se predstavljati binarnim ciframa 0 i 1, te se nad njima mogu izvoditi logičke operacije i računati logičke funkcije.

Engleski matematičar Džordž Bul (*George Boole*, 1854.) je formalizovao zakone logičkog rasuđivanja i uveo tzv. *Bulovu algebru*. S obzirom na to da je Bulova algebra pogodna za proučavanje prekidačkih kola, ona se naziva i *prekidačka algebra*.

Iskazi *tačno* i *pogrešno*, koji se koriste u logici, u Bulovoj algebri su zamenjeni sa *logičkom jedinicom* i *logičkom nulom*, respektivno, odnosno cifarskim simbolima 1 i 0.

### 1.3.1 Osnovne logičke operacije

U Bulovoj algebri se definišu tri osnovne operacije nad logičkim promenljivama. To su

- I operacija ili *logičko množenje* (eng. *AND*), za koju se koristi simbol " $\cdot$ ",
- ILI operacija ili *logičko sabiranje* (eng. *OR*), za koju se koristi simbol "+", i
- NE operacija ili *komplementiranje* (eng. *NOT*), za koju se koristi simbol "-" koji se piše iznad simbola logičke promenljive.

Za razliku od I i ILI operacija, koje se izvode nad najmanje dve promenljive, NE operacija se izvodi nad jednom promenljivom. U nastavku će, preko odgovarajućih postulata, biti prikazane osnovne logičke operacije i grafički simboli koji se koriste za ove operacije. Isti grafički simboli najčešće se koriste i za predstavljanje logičkih kola koja obavljaju logičke operacije.

#### Logičko množenje

Za logičku I operaciju, ili logičko množenje, važe sledeći postulati

$$0 \cdot 0 = 0, \quad (1.6)$$

$$0 \cdot 1 = 0, \quad (1.7)$$

$$1 \cdot 0 = 0, \quad (1.8)$$

$$1 \cdot 1 = 1. \quad (1.9)$$

Navedeni postulati mogu se prikazati tabelarno, pomoću *kombinacione tablice*, za koju se koristi i naziv *tablica istinitosti*. Kombinaciona tablica i grafički simbol za logičku I operaciju prikazani su na slici 1.6.

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(a)



(b)

**Slika 1.6** Kombinaciona tablica (a) i grafički simbol (b) za logičku I operaciju.

## Logičko sabiranje

Za logičku ILI operaciju, ili logičko sabiranje, važe sledeći postulati

$$0 + 0 = 0, \quad (1.10)$$

$$0 + 1 = 1, \quad (1.11)$$

$$1 + 0 = 1, \quad (1.12)$$

$$1 + 1 = 1. \quad (1.13)$$

Rezultat logičke ILI operacije nad dve promenljive jednak je jedinici ako bar jedna promenljiva ima vrednost logičke jedinice. Na slici 1.7 kombinacionom tablicom je prikazana logička ILI operacija nad promenljivama  $A$  i  $B$ . Na istoj slici dat je grafički simbol kojim se predstavlja logička ILI operacija ili logičko sabiranje.

**Slika 1.7** Kombinaciona tablica (a) i simbol (b) za logičku ILI operaciju.

$A$	$B$	$Y$
0	0	0
0	1	1
1	0	1
1	1	1

(a)



(b)

## Logičko komplementiranje

Logičko komplementiranje, ili logička NE operacija, se izvodi nad jednom logičkom promenljivom ili izrazom. Za ovu operaciju važi

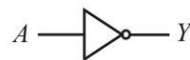
$$\bar{1} = 0 \text{ i } \bar{0} = 1. \quad (1.14)$$

Tablica istinitosti i grafički simbol za logičku NE operaciju su prikazani na slici 1.8.

**Slika 1.8** Tablica istinitosti (a) i simbol (b) za logičku NE operaciju.

$A$	$Y$
0	1
1	0

(a)



(b)

### 1.3.2 Zakoni i teoreme Bulove algebre

Na osnovu postulata za tri osnovne logičke operacije, može se doći do većeg broja pravila, identiteta, teorema i zakona Bulove algebre.

#### Pravila Bulove algebre

Logičke operacije sa konstantnim vrednostima

$$A + 0 = A, \quad (1.15)$$

$$A + 1 = 1, \quad (1.16)$$

$$A \cdot 0 = 0, \quad (1.17)$$

$$A \cdot 1 = A. \quad (1.18)$$

Logičke operacije sa ponovljenim vrednostima

$$A + A = A, \quad (1.19)$$

$$A \cdot A = A. \quad (1.20)$$

Logičke operacije sa komplementarnim vrednostima

$$A + \bar{A} = 1, \quad (1.21)$$

$$A \cdot \bar{A} = 0. \quad (1.22)$$

### Zakoni Bulove algebre

Najvažniji zakoni Bulove algebre su zakon komutacije, zakon asocijacije, zakon distribucije i zakon absorpcije.

Zakon komutacije

$$A + B = B + A, \quad (1.23)$$

$$A \cdot B = B \cdot A. \quad (1.24)$$

Zakon asocijacije

$$A + (B+C) = (A+B) + C, \quad (1.25)$$

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C. \quad (1.26)$$

Zakon distribucije

$$A \cdot (B+C) = A \cdot B + A \cdot C, \quad (1.27)$$

$$A + B \cdot C = (A+B) \cdot (A+C). \quad (1.28)$$

Zakon absorpcije

$$A + A \cdot B = A, \quad (1.29)$$

$$A + \bar{A} \cdot B = A + B. \quad (1.30)$$

Zakoni Bulove algebre mogu se dokazati ispisivanjem kombinacionih tabela za obe strane jednakosti. Na primer, zakon absorpcije može se dokazati preko kombinacione table 1.5.

**Tabela 1.5** Kombinaciona tabela kojom se dokazuje zakon absorpcije.

$A + \bar{A}B$	$A$	$B$	$A+B$
0	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Na osnovu table 1.5 se vidi da važi  $A + \bar{A} \cdot B = A + B$ .

## Teoreme Bulove algebre

Najčešće korišćene teoreme Bulove algebre su svakako *DeMorganove teoreme*. Ove teoreme mogu se izraziti na sledeći način

$$\overline{A+B} = \overline{A} \cdot \overline{B}, \quad (1.31)$$

$$\overline{A \cdot B} = \overline{A} + \overline{B}. \quad (1.32)$$

Kao što se dokazuju zakoni, tako se i teoreme Bulove algebre dokazuju ispisivanjem kombinacionih tablica za levu i desnu stranu jednakosti. Potrebno je istaći da se DeMorganove teoreme mogu generalizovati, odnosno primeniti na  $n$  promenljivih, tako da važi

$$\overline{A+B+C+\dots} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \dots, \quad (1.33)$$

$$\overline{A \cdot B \cdot C \cdot \dots} = \overline{A} + \overline{B} + \overline{C} + \dots \quad (1.34)$$

## Identiteti Booleove algebre

Poznavanje identiteta Bulove algebre značajno olakšava i ubrzava postupak minimizacije logičkih izraza. Prema identitetu

$$A \cdot B + A \cdot \overline{B} = A, \quad (1.35)$$

koji se naziva i *zakon sažimanja*, dva člana izraza koji se razlikuju po vrednosti jedne promenljive sažimaju se u jedan član bez te promenljive.

Važni su i sledeći identiteti

$$A \cdot (A+B) = A, \quad (1.36)$$

$$A \cdot (\overline{A} + B) = A \cdot B, \quad (1.37)$$

$$(A+B) \cdot (\overline{A} + \overline{B}) = \overline{A \cdot B}. \quad (1.38)$$

### 1.3.3 Ostale logičke operacije

Kombinovanjem osnovnih logičkih operacija može se doći do veoma korisnih izvedenih logičkih operacija. To su logičke operacije NI, NILI, isključivo-ILI i isključivo-NILI.

#### Logička NI operacija

NI operacija (eng. *NAND*) se dobija kombinovanjem I i NE operacije, tako što se komplementira rezultat logičke I operacije. Na slici 1.9 prikazana su kombinaciona tablica i grafički simbol za logičku NI operaciju.

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

(a)



(b)

**Slika 1.9** Kombinaciona tablica (a) i grafički simbol (b) za logičku NI operaciju.

### Logička NILI operacija

Logička NILI operacija (*NOR*) se dobija kombinovanjem ILI i NE operacije, tako što se komplementira rezultat ILI operacije. Na slici 1.10 prikazana je kombinaciona tablica i grafički simbol za logičku NILI operaciju.

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

(a)



(b)

**Slika 1.10** Kombinaciona tablica (a) i grafički simbol (b) za logičku NILI operaciju.

### Isključivo-ILI operacija

Logička operacija isključivo-ILI (*Exclusive-OR*, *EX-OR*) nad dve logičke promenljive može se predstaviti kombinacionom tablicom na slici 1.11. Kao što se iz ove tablice vidi, rezultat isključivo-ILI operacije jednak je jedinici samo ako je jedna od dve promenljive jednaka jedinici. Na istoj slici dat je i grafički simbol za logičku operaciju isključivo-ILI.

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

(a)



(b)

**Slika 1.11** Kombinaciona tablica i grafički simbol za isključivo-ILI operaciju.

### Isključivo-NILI operacija

Isključivo-NILI operacija (*Exculsive-NOR*, *EX-NOR*), koja se naziva i operacija koincidencije, kao rezultat daje logičku jedinicu ako obe promenljive imaju istu vrednost, što je prikazano u kombinacionoj tablici sa slike 1.12. Na istoj slici dat je i grafički simbol za isključivo-NILI operaciju.

**Slika 1.12** Kombinaciona tablica (a) i grafički simbol (b) za isključivo-NILI operaciju.

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

(a)



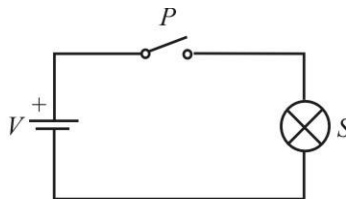
(b)

## 1.4 Logičke funkcije

U binarnom brojnom sistemu sve promenljive, zavisne i nezavisne, uzimaju vrednost 0 ili 1. Ova činjenica ukazuje na mogućnost da se logičke mreže koje sadrže prekidače ili logička kola koja obrađuju binarne digitalne signale, mogu opisati funkcijama Bulove algebre. Funkcije Bulove algebre se nazivaju *logičke funkcije* ili *prekidačke funkcije*.

U prekidačkom kolu sa slike 1.13a sijalica  $S$  je upaljena ako je prekidač  $P$  zatvoren a ugašena ako je ovaj prekidač otvoren. Kada je sijalica upaljena vrednost istoimene logičke promenljive je  $S=1$ , a kada je ugašena onda je  $S=0$ . Ako iskazu da je prekidač zatvoren odgovara logička jedinica a da je otvoren nula, onda se veza promenljivih  $P$  i  $S$  može prikazati tabelom sa slike 1.13b.

**Slika 1.13** Jednostavno prekidačko kolo (a) i tablica istinitosti (b).



(a)

P	S
1	1
0	0

(b)

Na osnovu tabele sa slike 1.13b, koja se naziva tabela istinitosti, može se pisati

$$S=P, \quad (1.39)$$

pri čemu je  $S$  zavisna promenljiva ili *logička funkcija* a  $P$  nezavisna promenljiva.

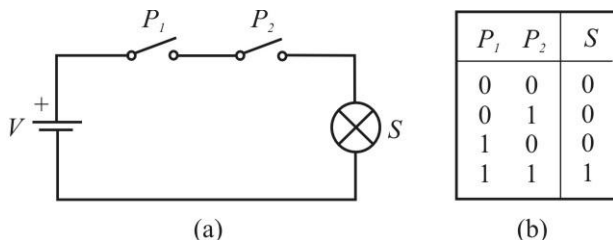
U kolu sa slike 1.14a sijalica će svetleti ako su oba prekidača zatvorena. Ako se iskaz da je sijalica upaljena zameni logičkom jedinicom a kada je ugašena nulom, za kolo sa slike 1.14a važi tablica istinitosti koja je data na slici 1.14b.

Tablici istinitosti sa slike 1.14b odgovara sledeća logička funkcija

$$S = P_1 \cdot P_2, \quad (1.40)$$

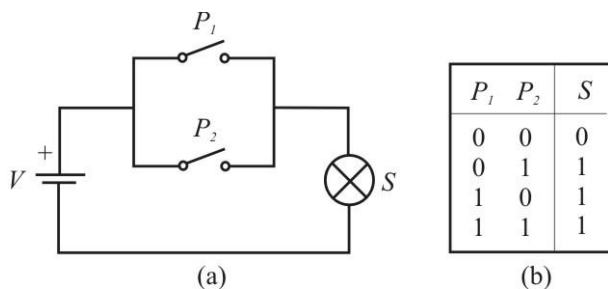
što znači da se rednom vezom prekidača ostvaruje logička I operacija. Izraz (1.40) predstavlja *algebarsku formu* logičke funkcije  $S$ , koja je predstavljena tablicom istinitosti sa slike 1.14b.





**Slika 1.14** Kolo sa dva prekidača povezana na red (a) i tablica istinitosti (b).

U kolu sa paralelnom vezom prekidača, koje je prikazano na slici 1.15a, sijalica  $S$  će svetleti ili ako je zatvoren prekidač  $P_1$  ili ako je zatvoren prekidač  $P_2$  ili ako su zatvorena oba prekidača, te se rad ovog kola može predstaviti pomoću tablice istinitosti koja je data na slici 1.15b.



**Slika 1.15** Kolo sa dva paralelno povezana prekidača (a) i tablica istinitosti (b)

Iz tabele istinitosti za kolo sa slike 1.15a vidi se da se paralelnim povezivanjem prekidača ostvaruje logička ILI operacija, te se može pisati

$$S = P_1 + P_2 . \quad (1.41)$$

### 1.4.1 Predstavljanje logičkih funkcija

Kao što je do sada pokazano, logička funkcija se može predstaviti tabelarno, korišćenjem kombinacione tablice, ili analitički, u vidu algebarskog izraza. Ako je funkcija data analitički, lako se iz analitičke prelazi na tabelarnu formu predstavljanja funkcije. Nezavisnim promenljivama se daju vrednosti iz skupa  $\{0,1\}$  i nalaze se odgovarajuće vrednosti funkcije. Ako je broj promenljivih  $n$  onda će kombinaciona tablica imati  $2^n$  različitih vrsta. Npr., logičkoj funkciji dve promenljive  $Z = X \cdot Y + \bar{X} \cdot \bar{Y}$  odgovara tablica istinitosti koja je data na slici 1.16.

**Slika 1.16** Tablica istinitosti za logičku funkciju

$$Z = X \cdot Y + \bar{X} \cdot \bar{Y}$$

$X$	$Y$	$Z$
0	0	1
0	1	0
1	0	0
1	1	1

Kada se raspolože tablicom istinitosti za određenu logičku funkciju, iz nje se može doći do analitičkog oblika ove funkcije. U opštem slučaju, logička funkcija se može izraziti u obliku zbira logičkih proizvoda, što predstavlja *disjunktivnu formu* logičke funkcije, ili u obliku proizvoda logičkih suma, odnosno u *konjuktivnoj formi*.

Na primer, logička funkcija tri promenljive predstavljena u disjunktivnoj formi ima oblik

$$Z(A,B,C) = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + \dots, \quad (1.42)$$

dok je funkcija  $Z(A,B,C)$  predstavljena u konjuktivnoj formi

$$Z(A,B,C) = (A+B+\bar{C}) \cdot (A+\bar{B}+C) \cdot \dots \quad (1.43)$$

Tabelarno zadata logička funkcija predstavlja se analitički u disjunktivnom obliku tako što se napiše logički zbir onoliko elementarnih proizvoda koliko u tabeli ima jediničnih vrednosti funkcije. Zatim se u elementarnim proizvodima negiraju one promenljive koje u odgovarajućoj vrsti imaju vrednost logičke nule. Npr., ako je logička funkcija zadata tablicom istinitosti koja je data u tabeli 1.6

**Tabela 1.6** Logička funkcija tri promenljive zadata tablicom istinitosti.

Dec.	A	B	C	Z
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
2	0	1	1	1
4	1	0	0	1
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

onda je njena disjunktivna forma

$$Z = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C} + A \cdot B \cdot C. \quad (1.44)$$

Na osnovu zadate tablice istinitosti, logička funkcija u konjuktivnoj formi se dobija tako što se proizvod članova zbira ponavlja onoliko puta koliko logička funkcija uzima vrednost logičke nule. Pri tom se, u elementarnim sumama negiraju one promenljive na čijim mestima u odgovarajućoj vrsti tabele stoje logičke jedinice.

Konjuktivna forma logičke funkcije koja je data tablicom 1.6 je

$$Z = (A+B+C)(A+B+\bar{C})(A+\bar{B}+C)(\bar{A}+B+\bar{C}). \quad (1.45)$$

Pravilo je da se koristi ona forma za predstavljanje funkcije koja daje manje elementarnih članova, suma ili proizvoda, jer je ona pogodnija za upotrebu u računanju ili praktičnoj realizaciji.

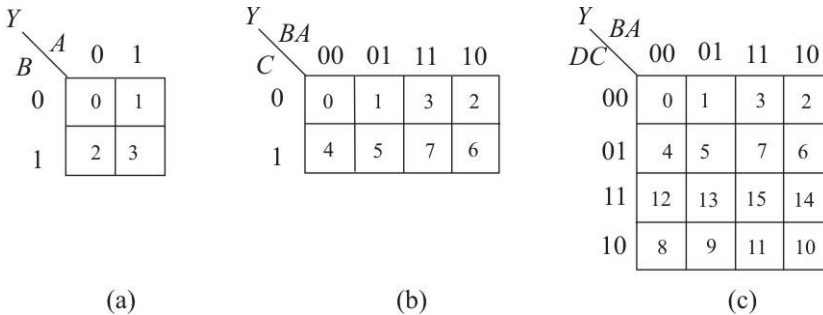
Logičke funkcije su date u *normalnoj formi* ako sadrže isključivo ili zbir logičkih proizvoda ili proizvod logičkih zbrova. Ove normalne forme mogu da budu *potpune* (savršene) ili *nepotpune*, u zavisnosti od toga da li su svi članovi u

složenoj funkciji potpuni ili ima i nepotpunih članova. Na primer, funkcija (1.44) je potpuna, dok je funkcija  $Z = \bar{A} \cdot B \cdot C + A \cdot \bar{B} + A \cdot B \cdot \bar{C}$  nepotpuna.

Za funkcije koje sadrže samo potpune članove kaže se da su date u *konačnom* odnosu *standardnom obliku*, a ako to nije slučaj onda su date u *elementarnom obliku*. Ako logička funkcija sadrži istovremeno i članove zbira i članove proizvoda, onda se za nju kaže da je data u *faktorizovanoj formi*. Na primer, funkcija četiri promenljive  $Z = (A + B) \cdot C \cdot D + B \cdot \bar{C} \cdot D + A \cdot (B \cdot \bar{C} + D)$  je data u faktorizovanoj formi.

Treći način predstavljanja logičkih funkcija je preko *Karnoovih (Karnaugh) tablica* ili *Karnoovih mapa*. Ovaj način predstavljanja logičkih funkcija koristi se kada je broj logičkih promenljivih relativno mali i ne prelazi 4.

Za funkciju  $n$  promenljivih Karnoova mapa se sastoji iz  $2^n$  elementarnih površina. Na slici 1.17 prikazane su Karnoove mape za logičke funkcije koje sadrže dve, tri i četiri promenljive.



**Slika 1.17** Karnoove mape za logičke funkcije koje sadrže: (a) dve; (b) tri i (c) četiri promenljive.

Kao što se vidi sa slike 1.17, kada se ide od jedne do druge elementarne površine (kvadratića) bilo horizontalno bilo vertikalno, samo jedna promenljiva menja vrednost. Razmak između susednih elementarnih površina je jedan bit, što je ostvareno korišćenjem *Grejovog koda* za kodovanje elementarnih površina mape. Svako elementarnoj površini odgovara jedan potpuni proizvod ako je funkcija data u disjunktivnoj formi, odnosno jedan potpuni zbir, kada je funkcija data u konjunktivnoj formi.

Da bi se neka logička funkcija mogla uneti u Karnoovu mapu ona mora biti data u potpunoj formi, tj. mora sadržati logičke sume potpunih logičkih proizvoda ili logičke proizvode potpunih logičkih suma. Ako ovaj uslov nije ispunjen, funkcija se mora *proširiti* do potpune forme.

Ako je logička funkcija data u disjunktivnoj formi, u polja Karnoove mape koja odgovaraju potpunim logičkim proizvodima upisuju se jedinice a u preostala polja nule. Kada je funkcija data u konjunktivnoj formi, onda se u polja koja odgovaraju potpunim zbirovima upisuju nule a u preostala polja jedinice.

Prikazivanje logičkih funkcija preko Karnoovih mapa se koristi kada se želi postići uprošćavanje logičke funkcije, o čemu će biti reči u narednom odeljku, u kome će se razmatrati pitanje minimizacije logičkih funkcija.

### 1.4.2 Minimizacija logičkih funkcija

Logičke funkcije se u elektronici realizuju pomoću logičkih kola. Da bi digitalni sistem ili *logička mreža* kojim se realizuje određena logička funkcija bio što jednostavniji, potrebno je funkciju napisati u najjednostavnijem obliku. Minimizacija logičke funkcije preduzima se sa ciljem da se funkcija predstavi najmanjim brojem logičkih članova. Na taj način se dolazi do oblika funkcije koji se može realizovati korišćenjem najmanjeg broja logičkih kola. Pri tome, treba imati u vidu da mreža koja sadrži minimalni broj logičkih kola ne mora biti i najekonomičnija za realizaciju pošto i drugi faktori, kao što je na primer vrsta korišćenih logičkih kola, mogu uticati na ukupnu cenu.

U nekim primenama, posebno kada se zahtevaju velike brzine rada digitalnog sistema, potrebno je voditi računa i o tome da broj nivoa u strukturi realizovane mreže bude minimalan, jer svako logičko kolo unosi određeno kašnjenje digitalnog signala te pri prolasku signala kroz višestepenu mrežu dolazi do akumuliranja kašnjenja.

Ako se uzmu u obzir svi nabrojani faktori koji utiču na izbor oblika logičke funkcije, onda je lako zaključiti da optimalni oblik logičke funkcije sa stanovišta implementacije često nije moguće jednoznačno definisati. Međutim, minimizacija logičke funkcije predstavlja dobar početni korak koji vodi ka jednostavnijem rešenju logičke mreže.

Za minimizaciju logičkih funkcija kada se ona vrši ručno koriste se algebarske metode i grafičke metode na bazi Karnoovih mapa. Minimizacija logičkih funkcija može se vršiti i uz pomoć računara, a za računarsku minimizaciju logičkih funkcija na raspolaganju stoji veći broj programa.

#### Algebarski metod minimizacije

Algebarske metode minimizacije logičkih funkcija oslanjaju se na primenu pravila, zakona i teorema Bulove algebre, kao što će biti pokazano na sledećem primeru

$$Y = \bar{A}\bar{B}C + B\bar{C} + \bar{A}BC + ABC. \quad (1.46)$$

Funkcija (1.46) data je u vidu sume logičkih proizvoda, a njeno uprošćenje može se postići primenom zakona distribucije i absorpcije

$$Y = \bar{A}\bar{B}C + B\bar{C} + BC(\bar{A} + A), \quad (1.47)$$

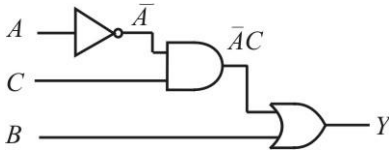
$$Y = \bar{A}\bar{B}C + B\bar{C} + BC, \quad (1.48)$$

$$Y = \bar{A}\bar{B}C + B(\bar{C} + C), \quad (1.49)$$

$$Y = \bar{A} \bar{B} C + B, \quad (1.50)$$

$$Y = \bar{A} C + B. \quad (1.51)$$

Dobijeni oblik funkcije (1.51) znatno je jednostavniji od početnog. Na slici 1.18 minimizirana logička funkcija (1.51) je prikazana pomoću *logičke šeme* u kojoj su korišćeni grafički simboli za logičke operacije.



**Slika 1.18** Uprošćena logička mreža kojom se implementira funkcija (1.50)

### Grafički metod minimizacije

Grafički metod minimizacije logičke funkcije zasniva se na sažimanju članova logičke funkcije koji se razlikuju po vrednosti jedne promenljive. To znači da u osnovi grafičkog metoda minimizacije leži identitet  $AB + A\bar{B} = A$ .

Grafički metod minimizacije bazira se na korišćenju Karnoovih mapa. Na slici 1.17 prikazane su Karnoove mape za logičke funkcije koje sadrže dve, tri i četiri promenljive.

Logičku funkciju koja se minimizira potrebno je najpre uneti u Karnoovu mapu te funkcija mora biti predstavljena u potpunoj formi. Ako je funkcija data u disjunktivnom obliku, onda se u polja Karnoove mape koja odgovaraju potpunim logičkim proizvodima upisuju jedinice, a u preostala polja nule. Sažimanjem *susednih elementarnih polja* u koja su upisane jedinice dolazi se do minimalne forme logičke funkcije. Ovde je potrebno definisati šta se podrazumeva pod pojmom susednih elementarnih polja. Pod susednim poljima se podrazumevaju ona polja koja imaju zajedničku stranicu. Susedna polja su i ona polja koja bi imala zajedničku stranicu ako bi se savile naspramne stranice mape. Na kraju, susedna su i četiri ugaona polja u Karnoovoj mapi sa slike 1.17c.

Način korišćenja Karnoovih mapa u minimizaciji logičkih funkcija biće prikazan na jednom primeru. Neka je funkcija  $Y$  data u disjunktivnoj formi

$$Y = CBA + DC\bar{B} + C\bar{B}\bar{A}. \quad (1.52)$$

S obzirom na to da funkcija (1.51) ima četiri promenljive, logički proizvodi nisu potpuni, te se ne mogu direktno unositi u Karnoovu mapu. Funkciju je potrebno prevesti u potpunu disjunktivnu formu, što se postiže proširivanjem nepotpunih članova

$$Y = CBA(D + \bar{D}) + DC\bar{B}(A + \bar{A}) + C\bar{B}\bar{A}(D + \bar{D}), \quad (1.53)$$

odnosno,

$$Y = DCBA + \bar{D}CBA + DC\bar{B}A + DC\bar{B}\bar{A} + DC\bar{B}\bar{A} + DC\bar{B}\bar{A}. \quad (1.54)$$

Popunjena Karnoova mapa koja odgovara funkciji (1.54) data je na slici 1.19.

		BA			
		00	01	11	10
DC	00	0	0	0	0
	01	0	0	1	1
	11	0	0	1	1
	10	1	1	0	0

**Slika 1.19** Karnoova mapa za funkciju (1.51) sa uočenim poljima koja obuhvataju logičke jedinice.

Postupak minimizacije logičke funkcije korišćenjem Karnoovih mapa sprovodi se na sledeći način.

1. Nacrtati Karnoovu mapu za funkciju čija se minimizacija vrši i u odgovarajuća polja mape upisati jedinice.
2. Uočiti susedna polja sa jedinicama. Formirati što je moguće veće površine od  $2^n$  polja, tako da budu obuhvaćene sve jedinice. Potrebno je naglasiti da su dozvoljene samo pravougaone ili kvadratne površine koje sadrže  $2^n$  elementarnih polja (1, 2, 4, 8, 16...), tj. dimenzije grupisanih polja moraju biti 1x1, 1x2, 2x1, 2x2, 1x4, 2x4, 4x4, itd.
3. Napisati rezultujući izraz za minimiziranu logičku funkciju u obliku sume nepotpunih proizvoda, izostavljajući promenljive koje u istoj konturi imaju i pravu i komplementarnu vrednost. To znači da članovi zbira minimizirane logičke funkcije sadrže samo promenljive koje imaju istu vrednost u svim poljima jedne konture.

Primenom napred izloženog postupka dolazi se do minimalne forme funkcije Y

$$Y = \overline{D}\overline{C}\overline{B} + CB. \tag{1.55}$$

**Primer 1.4** Logičku funkciju četiri promenljive koja je predstavljena Karnoovom mapom sa slike P1.4 napisati u uprošćenom obliku u vidu sume logičkih proizvoda.

S obzirom na to da su četiri ugaona elementarna polja u Karnoovoj mapi susedna ona se sažimaju u jedno četiri puta veće polje kome odgovara proizvod  $\overline{C}\overline{A}$ . Sažimanjem četiri susedna polja koja se nalaze uz ivicu tabele dobija se logički proizvod  $B\overline{A}$ , te je

$$Y = \overline{C}\overline{A} + B\overline{A}$$

		BA			
		00	01	11	10
DC	00	1	0	0	1
	01	0	0	0	1
	11	0	0	0	1
	10	1	0	0	1

**Slika P1.4**

Kontura koja obuhvata dva susedna polja predstavlja površinu prvog reda ( $2^1$ ), kontura koja obuhvata četiri susedna polja predstavlja površinu drugog reda ( $2^2$ ), itd. Može se zapaziti da će broj promenljivih u članu funkcije koji odgovara zajedničkoj površini biti manji za vrednost reda ove površine.

Može se desiti, kao što je to slučaj sa funkcijom

$$Y = \overline{DC} \overline{BA} + \overline{DC} \overline{B} \overline{A} + \overline{DC} \overline{B} A + \overline{DC} B \overline{A} + DC \overline{B} \overline{A} + DC \overline{B} A + DC B \overline{A} + DC B A \quad (1.56)$$

koja je predstavljena Karnoovom mapom na slici 1.20, da su sve četiri jedinice koje formiraju kvadratnu površinu obuhvaćene i površinama koje sadrže po dva susedna elementarna polja. Ako se to ne bi imalo u vidu, uprošćena funkcija bi imala pet članova, jedan koji sadrži proizvod dve promenljive i tri člana koji sadrže proizvode tri promenljive.

		$BA$			
		00	01	11	10
$DC$	00	0	1	0	0
	01	1	1	0	1
	11	1	1	1	0
	10	1	0	0	0

**Slika 1.20** Karnoova mapa za funkciju (1.55).

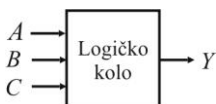
Međutim, pošto je površina koja sadrži četiri susedna elementarna polja sa jedinicama suvišna, uprošćena funkcija će imati ne 5, već četiri člana

$$Y = \overline{D} \overline{B} \overline{A} + D \overline{B} \overline{A} + DCA + \overline{DC} \overline{A}. \quad (1.57)$$

Minimizacija logičkih funkcija pomoću Karnoovih mapa može se vršiti i kada su one date u konjunktivnoj formi. Kada je funkcija data u potpunog konjunktivnoj formi, tj. u vidu proizvoda potpunih suma, onda se u Karnoovu mapu u odgovarajuća polja upisuju logičke nule. Potom se formiraju pravougaone ili kvadratne površine koje obuhvataju sve nule. Rezultujuća logička funkcija se predstavlja u obliku proizvoda nepotpunih suma izostavljajući promenljive koje u istoj konturi imaju pravu i komplementarnu vrednost.

## 1.5 Osnovna logička kola

Logičko kolo se, bez ulaženja u detalje, može predstaviti kao blok koji poseduje određeni broj ulaza i izlaza. Na slici 1.21 je pomoću blok šeme predstavljeno logičko kolo sa tri ulaza  $A$ ,  $B$  i  $C$ , i jednim izlazom  $Y$ .



**Slika 1.21** Logičko kolo predstavljeno pomoću blok šeme.

Iz blok šeme logičkog kola nije moguće sagledati zavisnost izlaznog od ulaznih signala. Za opis električnih karakteristika kola u obzir treba uzeti brojne parametre. Međutim, pošto signali logičkog kola mogu imati samo dve vrednosti, nizak nivo i visok nivo kojima se pridružuju binarne cifre 0 ili 1, funkcija logičkog kola može se predstaviti tabelarno bez ulaženja u detalje vezane za karakteristike i princip funkcionisanja samog kola.

Logičko kolo čiji izlazi zavise samo od trenutnih vrednosti ulaza naziva se *kombinaciono logičko kolo*. Funkcija logičkog kola u potpunosti je opisana *tabelom istinitosti* koja sadrži sve kombinacije ulaza i vrednosti funkcija za svaku kombinaciju ulaza. Tablica istinitosti se naziva i *kombinaciona tablica*. U tabeli 1.7 dat je primer tablice istinitosti za logičko kolo sa tri ulaza i jednim izlazom.

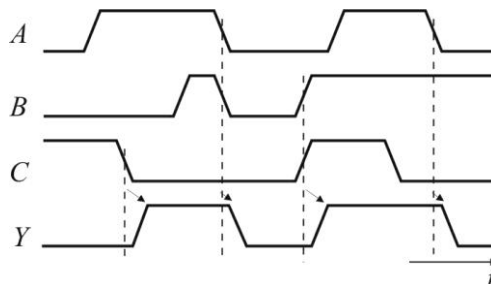
**Tabela 1.7** Tablica istinitosti za kombinaciono logičko kolo.

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Funkcija logičkog kola koja je opisana tablicom istinitosti 1.7, data je u algebarskoj formi jednačinom (1.44), koja će ovde biti ponovo napisana

$$Z = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C} + A \cdot B \cdot C.$$

Rad logičkog kola može se predstaviti i pomoću vremenskih dijagrama ulaznih i izlaznih signala. Vremenski dijagrami signala pokazuju vremensku zavisnost izlaza kada se ulazi menjaju u vremenu. Na slici 1.22 ilustrovan je rad posmatranog kombinacionog logičkog kola pomoću vremenskih dijagrama signala.



**Slika 1.22** Vremenski dijagram signala kojim se ilustrovanje rad logičkog kola.



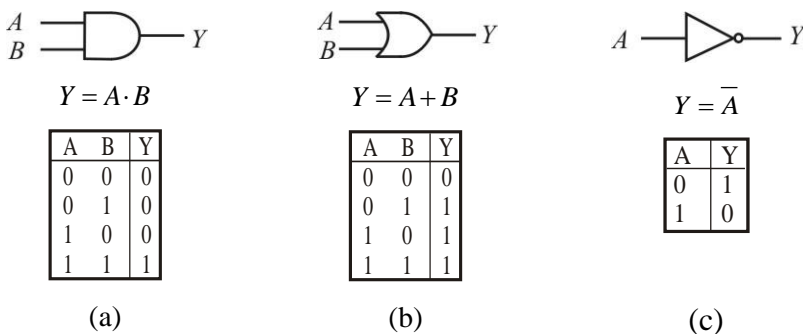
Sa slike 1.22 se vidi da promena binarnih digitalnih signala između vrednosti koje odgovaraju 0 i 1 nije trenutna. Takođe, može se zapaziti da postoji izvesno kašnjenje u promeni izlaza u odnosu na promenu ulaza. O specificiranju ovih pojava biće reči u narednoj glavi.

Uočenim vremenskim nesavršenostima logičkih kola može se uspešno rukovati, tako da se one mogu ignorisati u brojnim primenama digitalnih kola. Zbog toga će se u opisima, zbog jednostavnosti, gde god je to opravdano, koristiti idealizovani talasni oblici signala uz zanemarivanje kašnjenja i vremena porasta i opadanja signala.

U Bulovoj algebri su, kao što je rečeno na početku poglavlja 1.3, definisane tri osnovne operacije nad logičkim promenljivama. To su *I* operacija, *ILI* operacija i *NE* operacija.

Za obavljanje osnovnih logičkih operacija u digitalnoj elektronici se koriste logička kola. Logička kola predstavljaju elektronske elemente na čije ulaze se dovodi jedna ili više logičkih promenljivih u vidu binarnih signala, i koja na svom izlazu generišu binarni signal čija vrednost zavisi od vrednosti ulaznih binarnih signala.

Osnovne logičke funkcije *I*, *ILI* i *NE* obavljaju odgovarajuća osnovna logička kola: *I kolo*, *ILI kolo* i *NE kolo*. S obzirom na to da *NE* kolo vrši komplementiranje logičke promenljive, ono se češće naziva *inverzor*. Na slici 1.23 prikazani su simboli i tablice istinitosti za osnovna logička kola. Broj ulaza *I* i *ILI* kola može biti veći od dva, koliko imaju ova kola prikazana na slici 1.23.

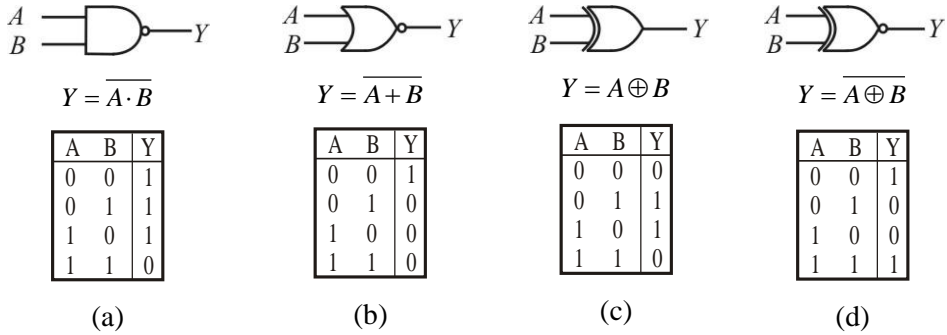


**Slika 1.23** Osnovna logička kola: (a) *I* kolo; (b) *ILI* kolo; (c) inverzor.

U odeljku 1.3.5 je pokazano da se kombinacijom osnovnih logičkih operacija mogu dobiti još neke korisne logičke operacije. Kombinacijom *I* i *NE* operacije dobija se *NI* operacija (eng. *NAND*). Ako se kombinuju *ILI* i *NE* operacija dobija se *NILI* operacija (*NOR*). Pored ovih operacija, koriste se i operacija *isključivo-ILI* (eng. *Exclusive-OR*, *EX-OR*) i operacija *isključivo-NILI* (*Exculsive-NOR*, *EX-NOR*) ili koincidencija.

Za obavljanje napred navedenih *NI*, *NILI*, *isključivo-ILI* i *isključivo-NILI* logičkih operacija koriste se odgovarajuća logička kola koja se nazivaju *izvedena*

ili ostala logička kola. U ovu grupu spadaju *NI kolo*, *NILI kolo*, *isključivo-ILI kolo* i *isključivo-NILI kolo*. Na slici 1.24 dati su standardni grafički simboli, funkcije i tablice istinitosti za dvoulazno NI, NILI, isključivo-ILI i isključivo-NILI kolo.

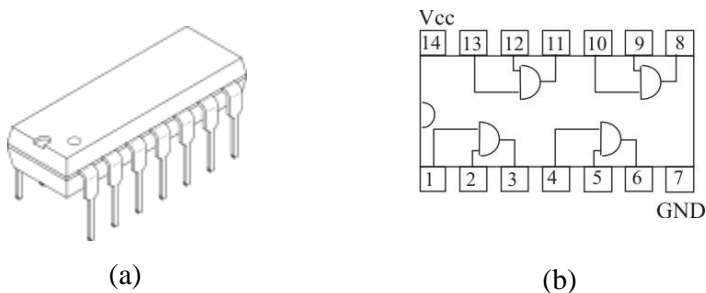


**Slika 1.24** Grafički simbol, funkcija, tablica istinitosti i izgled logičkih kola: (a) NI; (b) NILI; (c) isključivo-ILI; (d) isključivo-NILI.

Za I, ILI i NE kola u literaturi se koristi i termin *elementarna logička kola*, dok skup osnovnih logičkih kola pored elementarna sadrži i NI, NILI, isključivo-ILI i isključivo-NILI kolo.

Savremena logička kola proizvode se tehnikom *integrisanih kola*. Ona se smeštaju u odgovarajuća kućišta koja poseduju priključke za povezivanje napajanja i za povezivanje ulaza i izlaza logičkog kola. Za eksperimentisanja se često koriste logička kola smeštena u DIP kućište koje ima dva reda priključaka (eng. *Dual In-line Package*).

Na slici 1.25a prikazan je izgled DIP kućišta sa 14 priključaka u koje se može smestiti veći broj logičkih kola. Interna struktura integrisanog kola sa 4 dvoulazna I kola prikazana je na slici 1.25b.



**Slika 1.25** Izgled kućišta integrisanog kola sa dva reda priključaka (a); interna struktura integrisanog kola koje sadrži četiri I kola.

Prvi priključak (eng. *pin*) je označen tačkom ili žlebom, a preostali zauzimaju položaj kao što se vidi na slici 1.25b. Priključak za napajanje ( $V_{CC}$ ) i masu (GND) je zajednički za sva logička kola unutar jednog kućišta. Za integrisana kola čiji je izgled predstavljen na slici 1.25a uobičajen naziv je čip (*chip*).

# Logička kola

## 2.1 Uvod

Na početku industrijske proizvodnje poluprovodničkih elektronskih komponenti, sredinom 50-tih godina prošlog veka, proizvođači su bili u stanju da ponude tržištu samo pojedinačne, tzv. *diskretne elektronske komponente* - diode i tranzistore. Usavršavanjem tehnologije postalo je moguće izraditi veći broj elektronskih komponenti na zajedničkoj poluprovodničkoj osnovi i smestiti ih u isto kućište. Na taj način, početkom 60-tih godina prošlog veka, komercijalno su proizvedena prva *integrisana kola* (eng. *integrated circuits*). U isto vreme na tržištu su se pojavile i prve *familije integrisanih logičkih kola*.

Pod *familijom logičkih kola* podrazumeva se skup logičkih kola proizvedenih istom tehnologijom ili istom kombinacijom tehnologija. Logička kola iz iste familije imaju sličnu strukturu i odlikuju se približno istim karakteristikama.

Kola iste familije se mogu direktno povezivati da bi se ostvarila željena funkcija. Kola koja pripadaju različitim familijama ne moraju biti kompatibilna. Ona često koriste različite napone napajanja i za predstavljanje logičkih stanja koriste različite naponske nivoe. Integrisano kolo skraćeno se označava sa IC, a za integrisano kolo često se koristi naziv *čip* (*chip*).

Integrisana kola se mogu klasifikovati na osnovu nivoa ili stepena integracije. Kada je reč o digitalnim kolima, onda se za ocenu stepena integracije uzima broj osnovnih logičkih kola ili gejtova (*gate*) koji se mogu smestiti na silicijumsku podlogu standardnih dimenzija. Savremena tehnologija omogućava proizvodnju preko  $10^6$  elementarnih logičkih kola na površini od  $10 \text{ mm}^2$ . U tabeli 2.1 izvršena je kategorizacija digitalnih kola prema stepenu integracije.

Kola malog stepena integracije (*Small Scale Integration - SSI*) sadrže od nekoliko pa do nekoliko desetina osnovnih logičkih kola. Osnovna logička kola i

flipflopovi, o kojima će biti reči u trećoj glavi, pripadaju ovoj kategoriji integrisanih kola.

**Tabela 2.1** Stepen integracije digitalnih integrisanih kola.

Stepen integracije	Broj gejtova
Mali stepen integracije (SSI)	do 100
Srednji stepen integracije (MSI)	100-1000
Veliki stepen integracije (LSI)	1.000-10.000
Veoma veliki stepen integracije (VLSI)	preko 10.000

Kola srednjeg stepena integracije (*Medium Scale Integration - MSI*) sadrže nekoliko stotina, najviše do hiljadu osnovnih logičkih kola na jednoj silicijumskoj podlozi. Ovoj grupi digitalnih kola pripadaju složena kombinaciona i sekvencijalna kola, kao i male memorije.

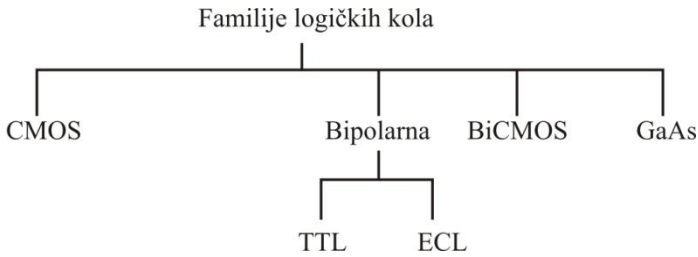
Kola velikog stepena integracije (*Large Scale Integration - LSI*) sadrže od 1.000 do 10.000 logičkih kola na istoj podlozi. Specijalizovani digitalni sistemi, memorije i manji mikroprocesori pripadaju klasi LSI integrisanih kola.

Elektronske komponente vrlo velikog stepena integracije (*Very Large Scale Integration - VLSI*) sadrže preko 10.000 osnovnih logičkih kola. Ovoj grupi integrisanih kola pripadaju velike memorije, složeni mikroprocesori i programabilne FPGA (*Field-Programmable Gate Array*) i CPLD (*Complex Programmable Logic Device*) elektronske komponente velikog kapaciteta.

Povećanje stepena integracije omogućeno je smanjenjem dimenzija osnovnih elemenata integrisanog kola. Smanjenje dimenzija elemenata dovelo je ne samo do impozantnog povećanja stepena integracije, već i do značajnog povećanja brzine rada kola. Naravno, povećanje stepena integracije, pored ograničenja koja nameću tehnološke mogućnosti vezane za proizvodnju integrisanih kola, ograničeno je i snagom disipacije tj. maksimalnom radnom temperaturom čipa. Problemi disipacije rešavaju se smanjenjem napona napajanja, smanjenjem potrošnje ali i korišćenjem efikasnih hladnjaka za odvođenje toplote.

Premda savremene elektronske komponente predstavljaju rezultat višegodišnjeg razvoja i usavršavanja, ne bi se moglo reći da postoji jedinstveno tehnološko rešenje čijim korišćenjem bi se došlo do digitalnih integrisanih kola najboljih karakteristika. Zbog toga su na tržištu prisutne različite familije integrisanih kola, pri čemu svaka od njih nudi određene prednosti vezane za brzinu rada, potrošnju, imunost na smetnje i dr. Dijagramom na slici 2.1 obuhvaćene su osnovne tehnologije izrade integrisanih kola koje su danas prisutne.

U osnovi dve familije logičkih kola, tranzistor-tranzistor logičkih kola (*Transistor-transistor logic - TTL*) i logičkih kola sa emitorskom spregom (*Emitter-coupled logic - ECL*), nalaze se bipolarni tranzistori.



**Slika 2.1** Familije logičkih kola.

TTL tehnologija je jedna od prvih tehnologija koja je omogućila integraciju većeg broja komponenti u integralnom kolu. Logička kola koja pripadaju ovoj familiji masovno su ušla u upotrebu šezdesetih godina i dugi niz godina su predstavljala oslonac razvoja elektronske industrije. Korišćenjem TTL tehnologije data su dobra rešenja SSI i MSI logičkih kola, koja i danas nalaze primenu u realizaciji manjih digitalnih sistema. Iz TTL je nastao niz familija međusobno kompatibilnih logičkih kola, koje su se razlikovale po brzini rada, potrošnji i ceni.

Drugu veliku familiju logičkih kola na bazi bipolarnih tranzistora predstavljaju ECL logička kola. Kod ECL logičkih kola, zahvaljujući radu tranzistora u aktivnoj oblasti a ne u području saturacije, kao što je to slučaj sa klasičnim TTL kolima, ostvarene su veoma velike brzine rada. Međutim, velika potrošnja i potreba da se koriste izvori napajanja različitog polariteta, značajno su ograničili primenu ECL familije logičkih kola.

Skoro deset godina pre nego što je pronađen bipolarni tranzistor, patentiran je princip rada MOSFET tranzistora (*metal-oxide-semiconductor field-effect transistor*). Međutim, zbog teškoća u proizvodnji MOSFET tranzistora, prva MOS logička kola pojavila su se posle TTL kola, drugom polovinom šezdesetih godina. Iako su po brzini u početku zaostajala za TTL kolima, odmah su privukla pažnju svojom malom potrošnjom i mogućnošću da se MOS tehnologijom postigne veća gustina integracije nego kod bipolarnih kola.

Prvi, i ujedno najjednostavniji za proizvodnju, su bili MOS tranzistori sa kanalom  $p$  tipa (PMOS). PMOS tranzistore su ubrzo zamenili superiorniji MOS tranzistori sa kanalom  $n$  tipa (NMOS) koji su našli široku primenu u proizvodnji NMOS logičkih kola. Daljim usavršavanjem tehnologije omogućena je proizvodnja PMOS i NMOS tranzistora na istoj osnovi i njihova primene u realizaciji CMOS (*Complementary MOS*) integrisanih kola. Danas su skoro sva novoproduzvedena integrisana kola velikog stepena integracije, kao što su mikroprocesori i memorije, CMOS kola.

Osnovni razlozi koji su doveli do prelaska sa bipolarne na CMOS tehnologiju u oblasti digitalne elektronike su: mala disipacija CMOS logičkih kola, velika ulazna imapedansa MOS tranzistora koja je omogućila realizaciju koncepta privremenog pamćenja binarnog podatka pomoću male kapacitivnosti, veoma veliki stepen integracije elektronskih kola na bazi MOS tranzistora i niska cena.

Potpuno potiskivanje TTL logičkih kola usporeno je modifikovanjem osnovnih struktura i režima rada ovih kola i nudenjem varijanti TTL kola koje se odlikuju malom disipacijom ili vrlo velikom brzinom rada.

BiCMOS logička kola su nastala kombinovanjem bipolarne i CMOS tehnologije, sa ciljem da se iskoristi velika brzina rada bipolarnih tranzistora i mala disipacija snage i druge dobre karakteristike CMOS tehnologije. Na bazi BiMOS tehnologije izrađuju se integrisana kola visokih performansi, mada po cenu povećane kompleksnosti izrade koja se javlja kao posledica korišćenja dva različita tehnološka procesa.

Zahvaljujući veoma velikoj pokretljivosti nosioca naelektrisanja u galijum arsenidu (GaAs), ovaj materijal nudi velike mogućnosti u realizaciji veoma brzih integrisanih kola. Premda su ove mogućnosti demonstrirane na brojnim primerima digitalnih kola, potencijal GaAs još uvek nije dovoljno komercijalno iskorišćen.

Pri izboru familije logičkih kola za realizaciju određenog digitalnog sistema mora se voditi računa o brojnim parametrima kao što su: izbor i kompleksnost funkcija koje se nude u određenoj tehnologiji, brzina rada, disipacija snage, imunost na smetnje, temperaturni opseg, cena i dr. Ako se namerava istovremeno korišćenje logičkih kola koja pripadaju različitim familijama, mora se rešiti problem međusobnog povezivanja ovih kola, čije brzine rada i naponski nivoi po pravilu nisu kompatibilni.

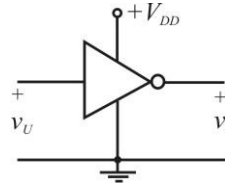
Imajući u vidu dominantan uticaj koji danas CMOS tehnologija ima u proizvodnji digitalnih kola, analiza koja sledi odnosiće se uglavnom na CMOS digitalna kola. Pre nego što se pređe na izučavanje interne strukture, korisno je sagledati opšte karakteristike logičkih kola i ustanoviti terminologiju koja će biti korišćena pri analizi i opisu ovih karakteristika.

## 2.2 Karakteristike logičkih kola

Logički invertor predstavlja osnovni gradivni element digitalnog kola. Može se reći da invertor ima onu ulogu u digitalnoj elektronici koja pripada pojačavaču u analognoj elektronici.

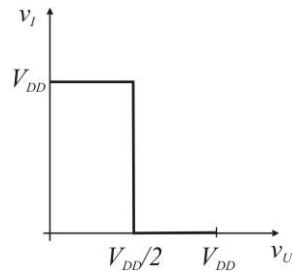
Kao što naziv kola sugeriše, logički invertor invertuje logičku vrednost ulaznog signala. Kada je na ulazu invertora napon logičke nule, izlaz je na nivou logičke jedinice, i obrnuto.

Za definisanje i analizu karakteristika logičkih kola poslužiće logički invertor, koji je povezan kao što je prikazano pomoću blok šeme na slici 2.2.

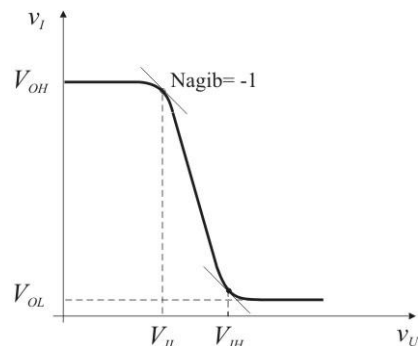
**Slika 2.2** Logički inverter.

## 2.2.1 Naponska karakteristika prenosa

Ako je naponski nivo na ulazu invertora  $v_U$  nizak (blizu 0 V) napon  $v_I$  na izlazu invertora biće visok (blizu napona napajanja  $V_{DD}$ ). Kada bi logički inverter bio idealan, logičkoj nuli na izlazu odgovarao bi naponski nivo od 0 V a logičkoj jedinici napon  $V_{DD}$ . Prelaz izlaznog napona sa jednog na drugi nivo kod idealnog logičkog invertora izvodio bi se naglo kada ulazni napon dostigne polovinu napona napajanja. Na slici 2.3 prikazana je naponska karakteristika prenosa idealnog logičkog invertora.

**Slika 2.3** Karakteristika prenosa idealnog logičkog invertora.

Karakteristika prenosa realnog logičkog invertora znatno odstupa od idealne. Na slici 2.4 prikazana je tipična karakteristika prenosa realnog invertora.

**Slika 2.4** Karakteristika prenosa realnog logičkog invertora.

Kao što se vidi sa slike 2.4, kod realnog invertora prelaz sa jednog na drugi logički nivo nije jasno definisan, već postoji *prelazna zona* između dva logička stanja. Pored toga, nivo logičke nule nije 0 V, a nivo logičke jedinice nije jednak naponu napajanja.



Karakteristika prenosa realnog logičkog invertora može se podeliti u tri oblasti. Prva oblast odgovara niskom ulaznom naponu. Kada je  $v_U < V_{IL}$ , onda je izlazni napon  $v_I = V_{OH}$ . U drugoj, ili prelaznoj zoni je  $V_{IL} < v_I < V_{IH}$ . Treća oblast odgovara visokom ulaznom naponu. Kada je napon na ulazu invertora  $v_U > V_{IH}$ , onda je izlazni napon invertora  $v_I = V_{OL}$ .

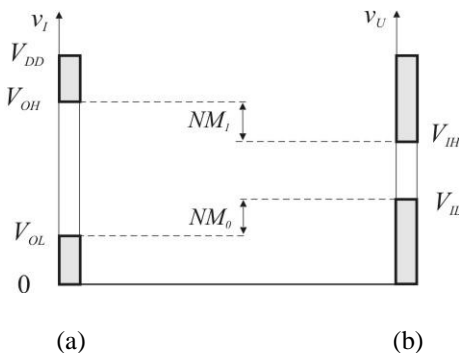
Na karakteristici prenosa logičkog invertora sa slike 2.4 mogu se uočiti granični naponi  $V_{IL}$  i  $V_{IH}$ . Vrednosti ovih napona određene su koordinatama tačaka u kojima tangente na karakteristiku prenosa imaju koeficijent pravca -1, kao što je prikazano na slici 2.4. Napon  $V_{IL}$  predstavlja maksimalni dozvoljeni napon na ulazu koji će se tretirati kao logička nula, te je to *maksimalni dozvoljeni napon logičke nule na ulazu*. Slično, napon  $V_{IH}$  predstavlja *minimalni dozvoljeni napon logičke jedinice na ulazu*.

Naponski nivo  $V_{OL}$  predstavlja *maksimalni nivo logičke nule na izlazu*, dok napon  $V_{OH}$  predstavlja *minimalni nivo logičke jedinice na izlazu*.

## 2.2.2 Margine šuma

Kada se digitalna kola koriste za realizaciju složenih digitalnih sistema, onda izlaz jednog logičkog kola pobuđuje ulaze narednih logičkih kola. Da bi ovako povezana logička kola ispravno funkcionisala potrebno je da bude zadovoljen uslov  $V_{OL} < V_{IL}$  i  $V_{OH} > V_{IH}$ . Na slici 2.5 prikazani su opsezi koji odgovaraju naponskim nivoima logičke nule i logičke jedinice na izlazu i na ulazu logičkog invertora.

Neosetljivost izlaza logičkog kola u odnosu na promene naponskog nivoa na ulazu, ako su ove promene u izvesnim granicama, jedna je od ključnih karakteristika logičkih kola. Na osnovu ove karakteristike logičkih kola, ostvarene su velike prednosti digitalne u odnosu na analognu elektroniku.



**Slika 2.5** Naponski nivoi logičkih stanja na izlazu (a) i ulazu (b) realnog logičkog invertora.

Neosetljivost izlaza na promene naponskog nivoa ulaza logičkog kola može se kvantifikovati preko primera u kome je izlaz jednog invertora povezan sa ulazom drugog invertora. Ako je izlazni napon prvog invertora visok, sa slike 2.5 se može videti da postoji jedna oblast ili *margina*, koja je jednaka razlici napona

$V_{OH}$  i  $V_{IH}$ , u kojoj se može nalaziti napon na izlazu prvog invertora a da se izlaz drugog invertora ne promeni. Dakle, ako se signalu na izlazu prvog invertora superponira smetnja ili šum, izlaz drugog invertora ostaće u stanju logičke nule sve dok je napon na njegovom ulazu veći od  $V_{IH}$ . Prema tome, može se reći da invertor ima *marginu šuma za logičku jedinicu*

$$NM_1 = V_{OH} - V_{IH} \cdot \quad (2.1)$$

Slično, ako je izlaz prvog invertora na niskom naponskom nivou, izlaz drugog invertora ostaće u stanju logičke jedinice i ako dođe do neželjene promene naponskog nivoa na ulazu, sve dok ulazni napon ne pređe granicu  $V_{IL}$ . *Marginu šuma za logičku nulu* je

$$NM_0 = V_{IL} - V_{OL} \cdot \quad (2.2)$$

Na osnovu napona logičke jedinice  $V_{OH}$  i napona logičke nule  $V_{OL}$  može se odrediti *logička amplituda*

$$LA = V_{OH} - V_{OL} \cdot \quad (2.3)$$

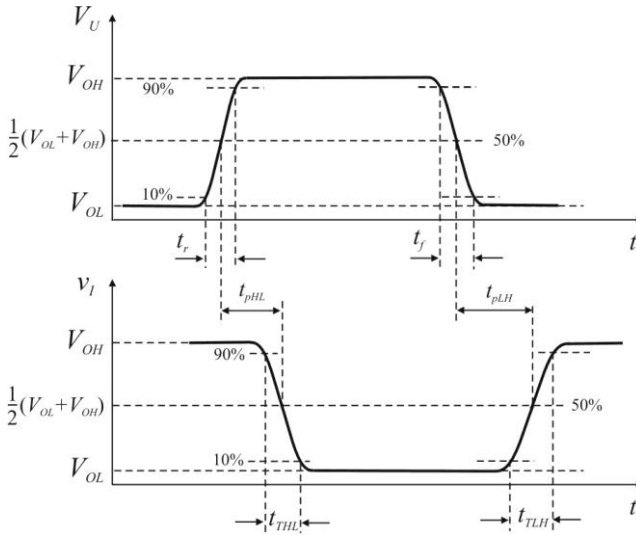
### 2.2.3 Dinamičke karakteristike

Prelaz iz jednog u drugo logičko stanje kod realnog invertora, kao što se vidi sa slike 2.4, vrši se prolaskom kroz prelaznu zonu koja se nalazi između stanja logičke nule i logičke jedinice. Ovaj prelaz ne može se obaviti trenutno. U svakom kolu postoje kapacitivnosti na kojima se napon ne može trenutno promeniti, već se takve promene vrše po eksponencijalnom zakonu. Osim toga, struje kroz elemente kola su konačne, a često se postavljaju i dodatna ograničenja za struje u granama kola, koja su vezana za što manju potrošnju. Iz ovih razloga promena nivoa na izlazu logičkog kola traje određeno vreme, i kasni za promenom na ulazu.

Na slici 2.6 prikazan je tipičan talasni oblik izlaznog signala  $v_I$  kada se invertor pobuđuje realnim pravougaonim impulsom  $v_U$  koji ima konačno vreme rasta (*rise time*)  $t_r$  i konačno vreme opadanja (*fall time*)  $t_f$ .

Sa slike 2.6 se mogu uočiti karakteristični intervali koji definišu talasni oblik izlaznog signala i kašnjenje odziva u odnosu na pobudu. *Vreme kašnjenja opadajuće ivice*  $t_{pHL}$  se definiše kao vreme koje protekne od trenutka u kome ulazni signal dostigne 50% svoje logičke amplitude do momenta kada izlazni signal opadne za 50% vrednosti logičke amplitude. *Vreme kašnjenja rastuće ivice*  $t_{pLH}$  predstavlja vreme koje protekne od trenutka u kome ulazni signal dostigne 50% svoje logičke amplitude do momenta u kome izlazni signal dostigne 50% vrednosti logičke amplitude. Često se definiše i *vreme kašnjenja*  $t_p$ , koje predstavlja aritmetičku sredinu vremena  $t_{pHL}$  i  $t_{pLH}$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \cdot \quad (2.4)$$



**Slika 2.6** Definisane kašnjenja i vremena prelaza logičkog invertora.

Ako se uzme u obzir vreme kašnjenja, onda se do maksimalne brzine rada logičkog invertora dolazi iz uslova

$$\frac{T}{2} \geq t_p, \quad (2.5)$$

te je maksimalna učestanost ulaznog signala

$$f_{\max} = \frac{1}{T_{\min}} = \frac{1}{2t_p}. \quad (2.6)$$

Signal na izlazu invertora ima konačno vreme prelaza (*transition time*) sa niskog na visok nivo  $t_{TLH}$ , i konačno vreme prelaza sa visokog na nizak nivo  $t_{THL}$ . Vremena prelaza se specificiraju korišćenjem tačaka 10% i 90% promene izlaza ( $V_{OH} - V_{OL}$ ).

## 2.2.4 Disipacija i kašnjenje logičkih kola

Potrošnja ili *snaga disipacije* logičkog kola, definiše se kao proizvod napona napajanja i struje napajanja. S obzirom na to da se struja napajanja menja pri promeni uslova rada kola, definiše se prosečna potrošnja koja se dobija kao proizvod napona napajanja  $V_{DD}$  i srednje vrednosti struje napajanja  $I_{sr}$

$$P_D = V_{DD} I_{sr}, \quad (2.7)$$

pri čemu se srednja vrednost struje napajanja određuje tako što se logičko kolo pobuđuje povorkom pravougaonih impulsa kod koje je trajanje impulsa jednako trajanju pauze.

Pored male potrošnje, od logičkih kola se zahteva da imaju što veću brzinu rada odnosno što manje kašnjenje  $t_p$ , što nije jednostavno ostvariti imajući u vidu da se radi o kontradiktornim zahtevima. Naime, smanjenje napona napajanja ili

struje napajanja, koje bi se moglo preduzeti u cilju smanjenja potrošnje, dovelo bi do smanjenja brzine punjenja i pražnjenja uvek prisutnih parazitnih kapacitivnosti kola, čime bi se povećalo kašnjenje. Zbog toga je pri projektovanju logičkih kola potrebno praviti kompromis između potrošnje i brzine. Samim tim, kao dobra mera ostvarenih zahteva uzima se *proizvod potrošnje i kašnjenja*, koji se skraćeno označava sa PDP (*Power-Delay Product*)

$$PDP = P_D t_p, \quad (2.8)$$

pri čemu se pri projektovanju logičkih kola teži da ovaj proizvod bude što je moguće manji. Proizvod potrošnje i kašnjenja PDP izražava se u jedinicama energije J.

**Primer 2.1** U ovom primeru biće navedene tipične karakteristike CMOS NI kola 74HC00 pri naponu napajanja 5 V.

Statičke karakteristike

$V_{IH}$ =3.15 V, minimalna vrednost

$V_{IL}$ =1.35 V, maksimalna vrednost

$V_{OH}$ =4.5 V,

$V_{OL}$ =0.01 V

Dinamičke karakteristike

$t_p$ =9 ns

$C_F$ =3 pF, ulazna kapacitivnost

$C_{pd}$ =22 pF, ekvivalentna unutrašnja dinamička kapacitivnost

## 2.2.5 Faktor grananja

Idealni inverter ima beskonačno veliku ulaznu otpornost i izlaznu otpornost ravnu nuli. Međutim, kod realnog invertora ove veličine ne uzimaju idealne vrednosti koje se koriste u opisivanju idealnog logičkog kola. Zbog toga se pri povezivanju logičkih kola, koje se sprovodi u cilju formiranja digitalnih sistema, pojavljuje problem opterećivanja izlaza.

*Faktor grananja na izlazu* (eng. *fan-out*) ili *faktor opteretljivosti*, definiše se kao maksimalni broj ulaznih priključaka logičkih kola istog tipa koji se mogu priključiti na izlaz posmatranog logičkog kola, a da se ne izađe iz opsega dozvoljenih promena logičkih nivoa. Ovaj faktor pokazuje koliko ulaza logičkih kola iz istog sistema možemo priključiti na jedan izlaz.

Pored faktora grananja na izlazu definiše se i *faktor grananja na ulazu*. Faktor grananja na ulazu predstavlja broj nezavisnih ulaznih priključaka logičkog kola. Faktor grananja na ulazu najčešće je ograničen samo veličinom kućišta tj. brojem priključaka mada, usled povećane parazitne kapacitivnosti na ulazu, koja je posledica većeg broja priključaka, logička kola sa većim faktorom grananja na ulazu imaju manju brzinu rada od onih sa manjim brojem priključaka.

**Primer 2.2** U ovom primeru biće određen faktor grananja na izlazu CMOS logičkih kola serije HC pri naponu napajanja 5 V.

Iz specifikacija karakteristika HC serije CMOS kola dolazi se do podataka da je maksimalna vrednost izlazne struje kada je izlaz u stanju logičke nule  $I_{OLmax}=20 \mu\text{A}$  i da je maksimalna vrednost struje na ulazu pri bilo kom stanju  $I_{Imax}=\pm 1 \mu\text{A}$ . Na osnovu ovih podataka može se zaključiti da je faktor grananja na izlazu kada je izlaz u stanju logičke nule 20.

Kada je na izlazu CMOS kola HC serije logička jedinica, onda je maksimalna vrednost izlazne struje  $I_{OHmax}=-20 \mu\text{A}$ . To znači da je faktor grananja na izlazu 20 i kada je izlaz u stanju logičke jedinice.

## 2.3 CMOS logička kola

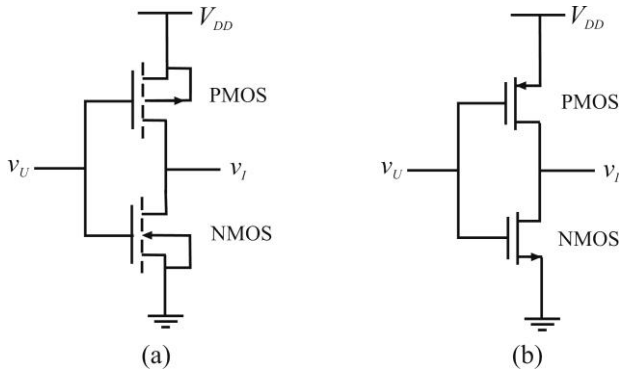
Premda se, kao što je u uvodu rečeno, digitalna kola mogu proizvoditi korišćenjem različitih tehnologija, CMOS danas predstavlja dominantnu tehnologiju za proizvodnju digitalnih kola. CMOS tehnologijom je u proizvodnji digitalnih kola u potpunosti zamenjena dugo prisutna bipolarna tehnologija. Sličan trend je uočljiv i u zameni NMOS tehnologije CMOS tehnologijom. Osnovni razlozi zbog kojih je CMOS zamenila bipolarnu tehnologiju u proizvodnji digitalnih kola su:

- CMOS logička kola disipiraju manju snagu od bipolarnih, te se na jedan čip može smestiti veći broj CMOS kola nego bipolarnih.
- Velika ulazna otpornost MOS tranzistora omogućuje da se za privremeno pamćenje podataka koristi naelektrisanje i odgovarajuće kapacitivnosti, kako kod digitalnih kola tako i kod memorija.
- Zahvaljujući stalnom smanjivanju dimenzija MOS tranzistora, pri čemu se već došlo do tranzistora koji imaju kanal dužine reda 30 nm, omogućen je veliki stepen integracije i proizvodnja mikroprocesora koji sadrže preko 5 milijardi tranzistora na jednom čipu.

Imajući u vidu dominantan uticaj koji CMOS tehnologija ima u proizvodnji digitalnih kola, analiza koja sledi odnosiće se uglavnom na CMOS digitalna kola. S obzirom na to da logički inverter predstavlja ključni element i gradivni blok svih digitalnih kola, analizi CMOS logičkog invertora biće posvećena posebna pažnja.

### 2.3.1 CMOS logički inverter

Osnovna struktura CMOS logičkog invertora prikazana je na slici 2.7a. Kao što se sa ove slike vidi, za realizaciju kola upotrebljena su dva MOSFET tranzistora, po jedan NMOS i PMOS tranzistor. Otuda i potiče naziv komplementarno MOS (*Complementary MOS*) ili CMOS kolo.

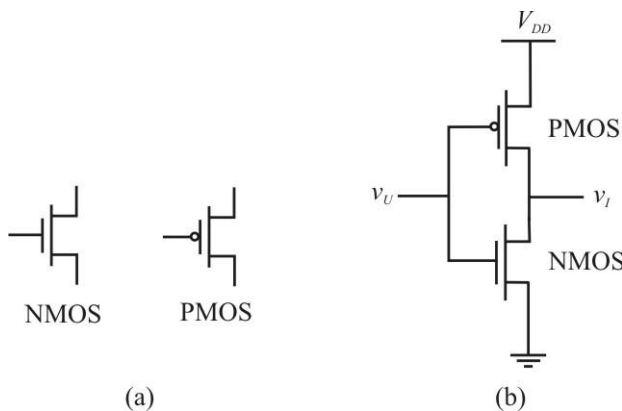


**Slika 2.7** CMOS logički invertor: (a) šema kola u kojoj su korišćeni grafički simboli za MOS tranzistore koji sadrže i prikliučak za osnovu; (b) šema kola sa uprošćenim grafičkim simbolima tranzistora kada je osnova povezana sa sorsom.

Napon napajanja CMOS kola  $V_{DD}$  može se nalaziti u opsegu od 1 V do 6 V. Najčešće se koristi  $V_{DD} = 5$  V, čime se obezbeđuje kompatibilnost CMOS kola sa prevaziđenom TTL familijom logičkih kola.

S obzirom na to da su osnove PMOS i NMOS tranzistora povezane sa prikliučcima za sors u crtanju električne šeme CMOS invertora mogu se koristiti uprošćeni grafički simboli za MOS tranzistore, kao što je učinjeno na slici 2.7b.

Kod crtanja CMOS logičkih kola, umesto uobičajenih grafičkih simbola za NMOS i PMOS tranzistore veoma često se koriste uprošćeni simboli, koji su predstavljeni na slici 2.8a. Kružić ispred gejta PMOS tranzistora ukazuje na to da na gejtu treba dovesti nizak napon da bi tranzistor bio provodan, te se kaže da je na ovom ulazu *aktivan nizak naponski nivo* ili da je *aktivna logička nula*. Slično, na ulazu NMOS tranzistora *aktivan je visok naponski nivo*, odnosno *aktivna je logička jedinica*.



**Slika 2.8** Simbol za NMOS i PMOS tranzistore koji se uobičajeno koriste u digitalnoj elektronici (a) i odgovarajuća šema CMOS logičkog invertora (b).

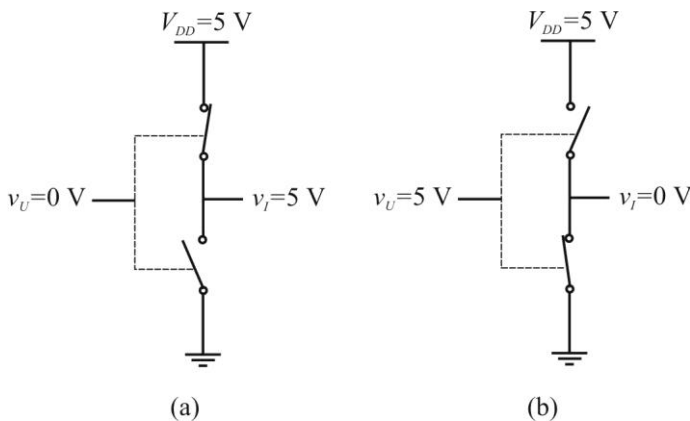
Na slici 2.8b je predstavljena je šema CMOS logičkog invertora u kojoj su korišćeni novouvedeni simboli za NMOS i PMOS tranzistore.

Ako se idealizuje struktura CMOS invertora i tranzistori zamene prekidačima, onda se kolo može predstaviti modelom sa slike 2.9.

Kada je  $v_U = 0$  V NMOS tranzistor ne provodi pa je odgovarajući prekidač u modelu sa slike 2.9a otvoren, a PMOS tranzistor provodi i prekidač kojim je modeliran ovaj tranzistor je zatvoren. Napon na izlazu je 5 V.

Kada je ulazni napon  $v_U = 5$  V, PMOS tranzistor ne provodi dok NMOS provodi i odgovarajući prekidački model invertora predstavljen je na slici 2.9b. S obzirom na to da je prekidač kojim je zamenjen NMOS tranzistor zatvoren, izlazni napon je 0 V.

Na osnovu analize kola sa slike 2.7, koja je izvršena preko uprošćenog modela sa slike 2.9, jasno je da se ovo kolo ponaša kao logički invertor. Za realnije sagledavanje statičkih i dinamičkih karakteristika CMOS invertora potrebno je koristiti preciznije modele tranzistora, kao što je urađeno u analizi koja sledi.



**Slika 2.9** Model CMOS invertora sa prekidačima kada je: (a) ulazni napon nizak; (b) ulazni napon visok.

Kada se na ulaz logičkog invertora sa slike 2.10a dovede visok napon, PMOS tranzistor  $T_P$  će biti neprovodan jer je  $v_{SGP} < |V_T|$ , te neće teći struja ni kroz NMOS tranzistor  $T_N$ . To znači da će se mirna radna tačka nalaziti u koordinatnom početku strujno-naponske karakteristike  $i_D = f(v_{DS})$ , odnosno da će napon na izlazu biti  $v_I = V_{OL} = 0$ . Na istoj slici predstavljeno je i ekvivalentno kolo CMOS invertora kada je napon na ulazu visok. Pošto je napon na izlazu  $v_I = 0$  V, onda je i disipacija snage kola jednaka nuli.

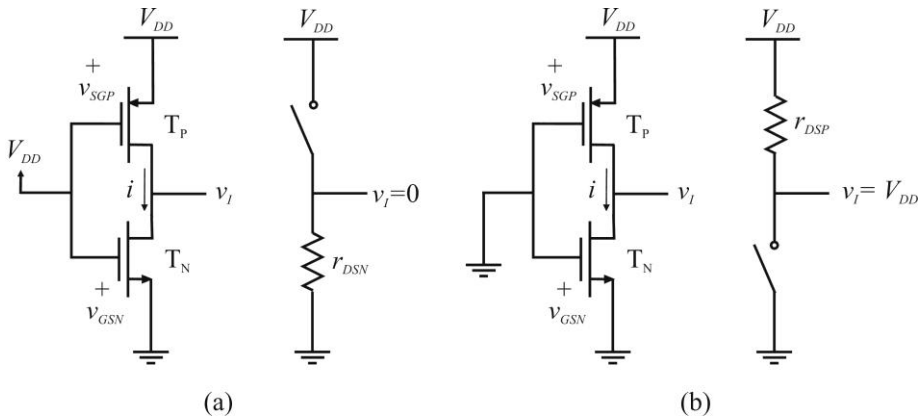
Kada je ulazni napon visok, tranzistor  $T_N$  radi u triodnoj oblasti te je otpornost kanala mala i data je izrazom

$$r_{DSN} = \frac{1}{(\mu_n C_{ox}) \left( \frac{W}{L} \right)_n (v_{GS} - V_{tn})} \quad (2.9)$$

Kada se na ulaz invertora dovede nizak napon, što je na slici 2.10b ostvareno povezivanjem ulaza kola na masu, tranzistor  $T_N$  će biti neprovodan te je  $i = 0$ . Tranzistor  $T_P$ , kod koga je  $v_{SGP} = V_{DD}$ , će raditi u triodnoj oblasti, a njegova otpornost, koja je data izrazom

$$r_{DSP} = \frac{1}{(\mu_p C_{ox}) \left( \frac{W}{L} \right)_p (v_{GS} - |V_{tp}|)}$$

biće mala. Na istoj slici predstavljeno je i ekvivalentno kolo CMOS invertora kada je napon na ulazu nizak. Sa ove slike se vidi da je tada  $v_I = V_{OH} = V_{DD}$  i da kroz kolo ne teče stuja, te je disipacija snage, kao i kada je na izlazu napon bio nizak, jednaka nuli.



**Slika 2.10** Ilustracija rada CMOS logičkog invertora i ekvivalentno kolo invertora kada je na ulazu visok napon (a) i kada je na ulazu nizak napon (b).

Na osnovu dosadašnje analize, može se zaključiti

- da su naponi na izlazu CMOS logičkog invertora  $V_{OL} = 0$  V i  $V_{OH} = V_{DD}$  što znači da je logička amplituda izlaznog napona maksimalna moguća,
- da je statička disipacija snage invertora jednaka nuli u oba logička stanja,
- da postoji mala otpornost između izlaza i mase kada je na izlazu napon nizak, odnosno između napajanja i izlaza kada je izlazni napon visok,



- mala izlazna otpornost kola obezbeđuje veliki strujni kapacitet izlaza i kolo čini manje osetljivim na šum i smetnje,
- ulazna otpornost invertora beskonačno je velika, te se na izlaz jednog invertora može povezati veliki broj ulaza ovakvih invertora a da ne dođe do promene nivoa izlaznog signala. Međutim, povećanjem broja priključenih invertora povećava se kapacitivno opterećenje na izlazu, što dovodi do smanjenja brzine rada kola.

## Naponska funkcija prenosa

Prethodnom analizom određene su vrednosti napona na izlazu za oba logička stanja na ulazu kola. Da bi se došlo do kompletne naponske funkcije prenosa invertora, mora se izvršiti analiza kola i za vrednosti ulaznog napona  $v_I$  koje se nalaze između minimalne i maksimalne vrednosti. Za to je potrebno poći od stujno-naponskih zavisnosti tranzistora  $T_N$  i  $T_P$  koje odgovaraju režimima rada tranzistora u pojedinim oblastima naponske funkcije prenosa. Kada je  $v_I \leq v_U - V_m$  tranzistor  $T_N$  radi u triodnoj oblasti, te je<sup>1</sup>

$$i_{DN} = k_n^* \left( \frac{W}{L} \right)_n \left[ (v_U - V_m)v_I - \frac{1}{2}v_I^2 \right], \quad (2.10)$$

dok je za  $v_I \geq v_U - V_m$  tranzistor  $T_N$  u zasićenju, i onda važi

$$i_{DN} = \frac{1}{2} k_n^* \left( \frac{W}{L} \right)_n (v_U - V_m)^2. \quad (2.11)$$

Kada je  $v_I \geq v_U + |V_{tp}|$ , tranzistor  $T_P$  radi u triodnoj oblasti, te je

$$i_{DP} = k_p^* \left( \frac{W}{L} \right)_p \left[ (V_{DD} - v_U - |V_{tp}|)(V_{DD} - v_I) - \frac{1}{2}(V_{DD} - v_I)^2 \right], \quad (2.12)$$

a za  $v_I \leq v_U + |V_{tp}|$  ovaj tranzistor radi u režimu zasićenja, te je

$$i_{DP} = \frac{1}{2} k_p^* \left( \frac{W}{L} \right)_p (V_{DD} - v_U - |V_{tp}|)^2. \quad (2.13)$$

CMOS logički invertori se projektuju i proizvode tako da su im naponi praga jednaki,  $V_m = |V_{tp}| = V_t$ . Ako su tranzistori  $T_N$  i  $T_P$  *upareni*, čemu se teži, onda je

$$k_n^* (W/L)_n = k_p^* (W/L)_p. \quad (2.14)$$

Imajući u vidu da je pokretljivost elektrona  $\mu_n^2$  oko dva puta veća od pokretljivosti šupljina  $\mu_p^3$ , da bi prethodna jednačina važila potrebno je da odnos

<sup>1</sup> Videti npr. V. Drndarević, Elementi elektronike, jednačina (1.42), str. 145.

<sup>2</sup>  $k_n^* = \mu_n C_{ox}$ ,  $C_{ox}$  - jedinična kapacitivnost oksida NMOS tranzistora.

$(W/L)_p$  bude dva puta veći od odnosa  $(W/L)_n$ . Ovaj uslov ostvaruje se tako što se prilikom proizvodnje tranzistora obezbedi da su im kanali iste dužine i da širina kanala kod PMOS tranzistora bude dva puta veća od širine kanala NMOS tranzistora.

Ako je uslov (2.14) ispunjen, što znači da su tranzistori  $T_N$  i  $T_P$  upareni, onda će CMOS invertor imati simetričnu funkciju prenosa, i strujni kapacitet izlaza u oba logička stanja biće isti.

Kada su tranzistori  $T_N$  i  $T_P$  upareni, CMOS invertor će imati naponsku funkciju prenosa kao na slici 2.11. Kao što se sa ove slike vidi, karakteristika prenosa se može podeliti na pet segmenata, koji odgovaraju različitim kombinacijama rada tranzistora  $T_N$  i  $T_P$ .

Segment BC karakteristike prenosa aproksimira radnu oblast u kojoj oba tranzistora rade u zasićenju. Ako se uzme da su u oblasti zasićenja izlazne otpornosti tranzistora  $r_{DSN}$  i  $r_{DSP}$  beskonačno velike, pojačanje invertora je beskonačno veliko te je segment BC vertikaln, kao što je prikazano na slici 2.11. S obzirom na to da je kolo simetrično, ulazni napon za koji je karakteristika prenosa vertikalna iznosi  $v_U = V_{DD}/2$ .

U graničnim tačkama vertikalnog segmenta BC napon je  $v_I(B) = V_{DD}/2 + V_t$ , kada tranzistor  $T_P$  radi na granici triodne oblasti i oblasti zasićenja, odnosno  $v_I(C) = V_{DD}/2 - V_t$ , kada tranzistor  $T_N$  radi na granici zasićenja i triodne oblasti.

Za određivanje margina šuma CMOS logičkog invertora potrebno je, osim napona  $V_{OL}$  i  $V_{OH}$ , poznavati i napone  $V_{IL}$  i  $V_{IH}$ . Sa slike 2.11 se vidi da su vrednosti ovih napona određene koordinatama tačaka u kojima tangenta na karakteristiku prenosa ima koeficijent pravca -1. Kao što je ranije rečeno,  $V_{IL}$  predstavlja maksimalni dozvoljeni napon logičke nule na ulazu dok je  $V_{IH}$  minimalni dozvoljeni napon logičke jedinice na ulazu.

Unutar oblasti između tačaka C i D karakteristike prenosa, tranzistor  $T_N$  radi u triodnoj oblasti i njegova struja data je izrazom (2.10), dok je tranzistor  $T_P$  u zasićenju i kroz njega teče struja data izrazom (2.13). Izjednačavanjem izraza za struje ova dva tranzistora, uz uslov da su tranzistori upareni, dobija se

$$(v_U - V_t)v_I - \frac{1}{2}v_I^2 = \frac{1}{2}(V_{DD} - v_U - V_t)^2 . \quad (2.15)$$

Diferenciranje leve i desne strane jednačine (2.15) po  $v_U$  dolazi se do jednačine

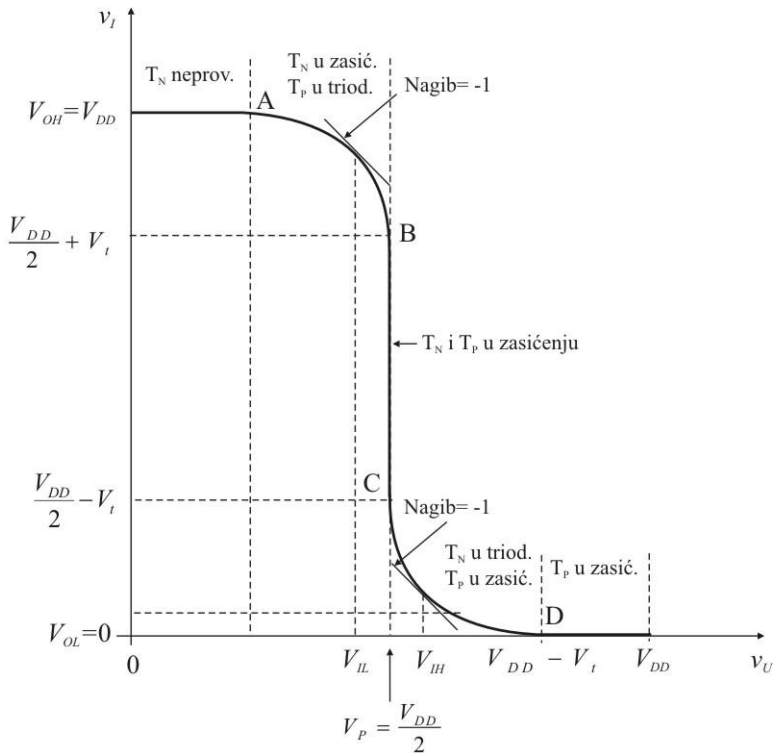
$$(v_U - V_t) \frac{dv_I}{dv_U} + v_I - v_I \frac{dv_I}{dv_U} = -(V_{DD} - v_U - V_t) . \quad (2.16)$$

Ako se u (2.16) zameni  $v_U = V_{IH}$  i  $dv_I/dv_U = -1$ , dobija se

$$v_I = V_{IH} - \frac{V_{DD}}{2} . \quad (2.17)$$

---

<sup>3</sup>  $k'_p = \mu_p C_{ox}$ ,  $C_{ox}$  - jedinična kapacitivnost oksida PMOS tranzistora.



**Slika 2.11** Naponska funkcija prenosa CMOS logičkog invertora kada su tranzistori upareni.

Zamenom  $v_U = V_{IH}$  i  $v_I = V_{IH} - V_{DD}/2$  u jednačinu (2.15), dolazi se do izraza za minimalni dozvoljeni napon logičke jedinice na ulazu

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t). \quad (2.18)$$

Do izraza za napon  $V_{IL}$  može se doći postupkom koji je korišćen za određivanje  $V_{IH}$ . Međutim, ako se iskoristi uočena simetrija karakteristike prenosa kola, do istog rezultata se može doći znatno jednostavnije. Sa slike 2.11 se vidi da je

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}. \quad (2.19)$$

Zamenom (2.18) u (2.19) dobija se

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t). \quad (2.20)$$

Korišćenjem (2.18) i (2.20), uz ranije određene izraze za napone logičke nule  $V_{OL} = 0$  V i logičke jedinice  $V_{OH} = V_{DD}$ , dolazi se do izraza za margine šuma CMOS logičkog invertora

$$NM_1 = V_{OH} - V_{IH},$$

$$NM_1 = \frac{1}{8}(3V_{DD} + 2V_t), \quad (2.21)$$

$$NM_0 = V_{IL} - V_{OL},$$

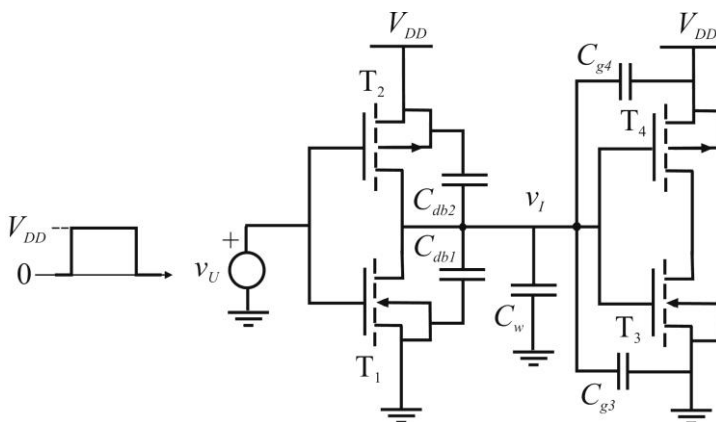
$$NM_0 = \frac{1}{8}(3V_{DD} + 2V_t). \quad (2.22)$$

Izrazi (2.21) i (2.22) pokazuju da su margine šuma logičke nule i logičke jedinice jednake, što neće biti slučaj ako tranzistori  $T_N$  i  $T_P$  nisu upareni.

### Dinamičke karakteristike

Kao što je objašnjeno u odeljku 2.2.3, maksimalna brzina rada jednog digitalnog sistema određena je kašnjenjem logičkih kola koja se koriste u realizaciji sistema. S obzirom na to da se logički invertor nalazi u osnovi svih logičkih kola, vreme kašnjenja logičkog invertora može se uzeti kao osnovni parametar za sagledavanje dinamičkih karakteristika određene tehnologije koja se koristi u proizvodnji logičkih kola.

Za određivanje vremena kašnjenja logičkog invertora potrebno je odrediti ukupno kapacitivno opterećenje invertora. Ova kapacitivnost potiče od komplementarnih tranzistora samog invertora ali i od komplementarnih tranzistora narednog invertora, koji je povezan na njegov izlaz. Tome treba dodati i kapacitivnost koju unosi provodnik za vezu dva invertora. Jedna takva konfiguracija predstavljena je na slici 2.12. Na ovoj slici predstavljene su kapacitivnosti koje unose tranzistori  $T_1$  i  $T_2$  prvog invertora, kapacitivnosti koje unose tranzistori  $T_3$  i  $T_4$  drugog invertora, kao i kapacitivnost  $C_w$  koju unosi provodnik za povezivanje izlaza prvog sa ulazom drugog invertora.



**Slika 2.12** Kolo za određivanje ukupne kapacitivnosti na izlazu invertora realizovanog pomoću tranzistora  $T_1$  i  $T_2$  na čiji izlaz je povezan invertor realizovan pomoću tranzistora  $T_3$  i  $T_4$ .

Sve nabrojane kapacitivnosti mogu se zameniti jednom, ekvivalentnom kapacitivnošću  $C$ , koja je povezana između izlaza invertora i mase. Kapacitivnost  $C$  predstavlja kapacitivno opterećenje invertora, i kada je ona poznata mogu se odrediti kašnjenja  $t_{pLH}$  i  $t_{pHL}$ , odnosno srednja vrednost kašnjenja  $t_p$ .

Kao što se sa slike 2.12 vidi, ukupna kapacitivnost  $C$  na izlazu prvog invertora jednaka je zbiru kapacitivnosti između drejna i osnove prvog tranzistora  $C_{db1}$ , kapacitivnosti između drejna i osnove drugog tranzistora  $C_{db2}$ , kapacitivnosti provodnika za vezu dva invertora  $C_w$ , kapacitivnosti gejta trećeg tranzistora  $C_{g3}$  i kapacitivnosti gejta četvrtog tranzistora  $C_{g4}$ , te je

$$C = C_{db1} + C_{db2} + C_w + C_{g3} + C_{g4} . \quad (2.23)$$

Kapacitivnost gejta  $C_g$  jednaka je proizvodu kapacitivnosti oksida po jedinici površine  $C_{ox}$  i površine kanala  $W \cdot L$ ,  $C_g = C_{ox} \cdot (WL)$ . Podužna kapacitivnost provodnika za povezivanje kod 0.25  $\mu\text{m}$  CMOS procesa je reda 40 aF/ $\mu\text{m}$  (1 aF=10<sup>-18</sup> F). Parazitna kapacitivnost između drejna i osnove  $C_{db}$  je manja od kapacitivnosti gejta i ona, kao i kapacitivnost gejta, zavisi od fizičkih dimenzija tranzistora, odnosno od primenjenog CMOS procesa<sup>4</sup>.

Za određivanje vremena kašnjenja logičkog invertora  $t_p$ , potrebno je odrediti kašnjenja  $t_{pHL}$  i  $t_{pLH}$ . Vreme kašnjenja  $t_{pHL}$  biće određeno primenom modela sa slike 2.13a, dok će vreme kašnjenja  $t_{pLH}$  biti određeno korišćenjem modela sa slike 2.13b.

U trenutku promene ulaznog napona sa niskog na visok nivo, kondenzator  $C$  je bio napunjen i napon na njemu je iznosio  $V_{DD}$ . Kada tranzistor  $T_N$  pređe u provodno stanje kondenzator se prazni preko otpornosti  $R_N$  i napon na izlazu se menja po eksponencijalnom zakonu

$$v_I(t) = V_{DD} e^{-t/R_N C} . \quad (2.24)$$

U trenutku  $t = t_{pHL}$  napon na izlazu je  $v_I(t_{pHL}) = V_{DD}/2$ , te se iz (2.24) dobija

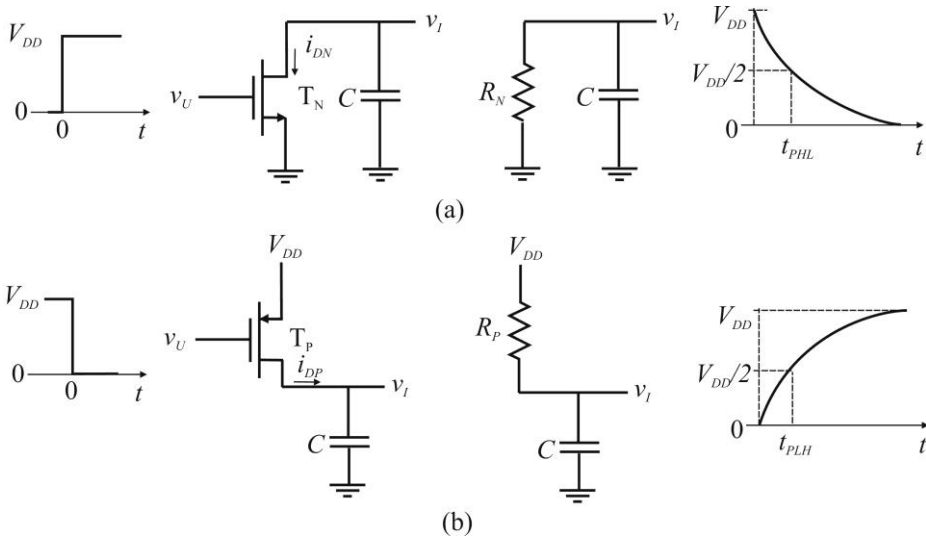
$$t_{pHL} = \ln 2 \cdot R_N C \approx 0.69 \cdot R_N C . \quad (2.25)$$

Kada se ulazni napon promeni sa visokog na nizak naponski nivo kondenzator  $C$ , koji je bio prazan, počinje da se puni preko otpornosti  $R_P$ , kao što je prikazano na slici 2.13b. Napon na izlazu menja se po eksponencijalnom zakonu

$$v_I(t) = V_{DD} (1 - e^{-t/R_P C}) . \quad (2.26)$$

---

<sup>4</sup> CMOS proces se karakteriše dužinom gejta ili prosečnom veličinom elemenata komponenti koje čine integrisano kolo (npr. 250 nm, 130 nm, 90 nm).



**Slika 2.13** Ekvivalentno kolo logičkog invertora za određivanje vremena kašnjenja  $t_{pHL}$  (a) i  $t_{pLH}$  (b).

U trenutku  $t=t_{pHL}$  napon na izlazu je  $v_I(t_{pHL})=V_{DD}/2$ , te se iz (2.26) dobija

$$t_{pHL} = \ln 2 \cdot R_N C \approx 0.69 \cdot R_N C. \quad (2.27)$$

Kada se odrede kašnjenja  $t_{pLH}$  i  $t_{pHL}$  može se, prema ranije definisanom izrazu (2.4), odrediti kašnjenje logičkog invertora

$$t_p = \frac{t_{pLH} + t_{pHL}}{2}.$$

Otpornosti  $R_N$  i  $R_p$ , koje figurišu u izrazima (2.25) i (2.27), određene su empirijski i za veći broj CMOS procesa one su date izrazima

$$R_N = \frac{12.5}{(W/L)_n} \text{ (k}\Omega\text{)}, \quad (2.28)$$

$$R_p = \frac{30}{(W/L)_p} \text{ (k}\Omega\text{)}, \quad (2.29)$$

**Primer 2.3** Potrebno je odrediti vreme kašnjenja CMOS logičkog invertora ako je  $V_m = -V_p = 0.5 \text{ V}$ ,  $k_n' = 3.5k_p' = 115 \mu\text{A/V}^2$ ,  $(W/L)_n = 1.5$ ,  $(W/L)_p = 3$  i  $C = 10 \text{ fF}$ . Zamenom brojnih vrednosti u (2.24) do (2.29) dobija se

$$R_N = \frac{12.5}{1.5} = 8.33 \text{ k}\Omega,$$

$$t_{pHL} = 0.69 \cdot 8.33 \cdot 10^3 \cdot 10 \cdot 10^{-15} = 57.5 \text{ ps},$$

$$R_p = \frac{30}{3} = 10 \text{ k}\Omega,$$

$$t_{pLH} = 0.69 \cdot 10 \cdot 10^3 \cdot 10 \cdot 10^{-15} = 69 \text{ ps},$$

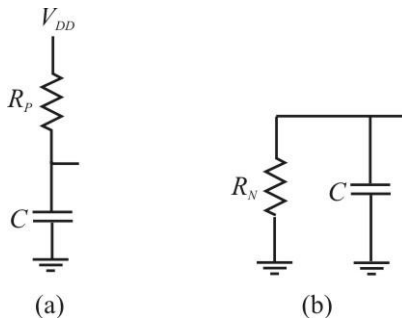
te je

$$t_p = \frac{57.5 + 69}{2} = 63.2 \text{ ps.}$$

## Disipacija

Kod logičkih kola mogu se odvojeno posmatrati statička i dinamička disipacija. *Statička disipacija* dobija se kao proizvod napona napajanja i struje koja teče kroz kolo. Ako se zanemari stuja curenja, kroz CMOS inverter ne teče stuja kada se on nalazi u jednom logičkom stanju, te je statička disipacija CMOS invertora praktično jednaka nuli.

Međutim, kada CMOS inverter prelazi iz jednog stanja u drugo, kroz tranzistore mora teći stuja punjenja ili pražnjenja prisutnih internih i parazitnih kapacitivnosti, koje su u prethodnoj analizi zamenjene ekvivalentnom kapacitivnošću  $C$ . Pojava proticanja struje kroz tranzistore kada inverter prelazi iz jednog u drugo logičko stanje dovodi do pojave *dinamičke disipacije*, koja se ne može zanemariti. Za određivanje izraza za dinamičku disipaciju CMOS invertora mogu poslužiti ekvivalentna kola invertora kada je na ulazu napon nizak (sl. 2.14a) i kada je na ulazu visok napon (sl. 2.14b).



**Slika 2.14** Ekvivalentno kolo logičkog invertora kada je na ulazu nizak napon (a) i kada je na ulazu visok napon (b).

Kada je na ulazu CMOS invertora nizak napon, on se može predstaviti ekvivalentnim kolom sa slike 2.14a. Kondenzator  $C$  ce se puniti preko otpornosti  $R_p$ , te je trenutna snaga koju daje napajanje

$$p_{DD}(t) = V_{DD} i_D(t). \quad (2.30)$$

Energija koju napajanje preda tokom punjenja kondenzatora dobija se integraljenjem trenutne vrednosti snage  $p_{DD}(t)$  tokom ciklusa punjenja kondenzatora  $T_C$

$$E_{DD} = \int_0^{T_C} V_{DD} i_D(t) dt, \quad (2.31)$$

odakle je

$$E_{DD} = V_{DD} Q, \quad (2.32)$$

pri čemu je sa  $Q$  označeno naelektrisanje kojim je napunjen kondenzator tokom intervallu  $T_C$ .

S obzirom na to da je u početnom trenutku kondenzator bio prazan, naelektrisanje kondenzatora na kraju intervala punjenja je

$$Q = CV_{DD}, \quad (2.33)$$

te je

$$E_{DD} = CV_{DD}^2. \quad (2.34)$$

Imajući u vidu to da je na kraju intervala punjenja kondenzatora energija akumulirana u kondenzatoru

$$E_C = \frac{1}{2} CV_{DD}^2, \quad (2.35)$$

energija koja se disipira na otpornosti  $R_P$  je

$$E_{DP} = E_{DD} - E_C = \frac{1}{2} CV_{DD}^2. \quad (2.36)$$

Kada je na ulazu CMOS invertora visok napon, on se može predstaviti ekvivalentnim kolom sa slike 2.14b. Kondenzator  $C$  će se prazni preko otpornosti  $R_N$  i napon na njemu opada od  $V_{DD}$  do 0. Na kraju ciklusa pražnjenja u kondenzatoru nema akumulirane energije, što znači da je će energija akumulirana

u kondenzatoru,  $\frac{1}{2} CV_{DD}^2$ , biti disipirana na otpornosti  $R_N$  i tako pretvorena u toplotu

$$E_{DN} = \frac{1}{2} CV_{DD}^2. \quad (2.37)$$

Na osnovu dosadašnje analize može se zaključiti da se tokom svakog intervala u kome se logički inverter nalazi tokom jedne prekidačke periode disipira

energija  $\frac{1}{2} CV_{DD}^2$ , te je ukupna disipacija po jednoj prekidačkoj periodi

$$E_{D1} = CV_{DD}^2. \quad (2.38)$$

Kada logički inverter menja logičko stanje sa učestanošću  $f$ , onda je dinamička disipacija snage invertora

$$P_D = fCV_{DD}^2. \quad (2.39)$$

Kao što se vidi iz (2.39), dinamička disipacija snage logičkog invertora linearna je funkcija prekidačke učestanosti  $f$  i kapacitivnosti  $C$ , a od napona napajanja zavisnost je kvadratna.

Može se zaključiti da se značajno smanjenje dinamičke disipacije može ostvariti smanjenjem napona napajanja  $V_{DD}$ , a savremeni CMOS procesi omogućuju spuštanje napona napajanja na vrednosti od 1 V pa i niže.

Kapacitivnost  $C$  je u velikoj meri određena geometrijom samih tranzistora koji čine CMOS logički inverter i ona se ne može značajno smanjiti. Na kraju, smanjenje disipacije može se ostvariti smanjenjem radne učestanosti  $f$ , što je u suprotnosti sa stalno prisutnim zahtevom za što bržim radom digitalnih sistema, a to znači i za radom na što višim taktim učestanostima.



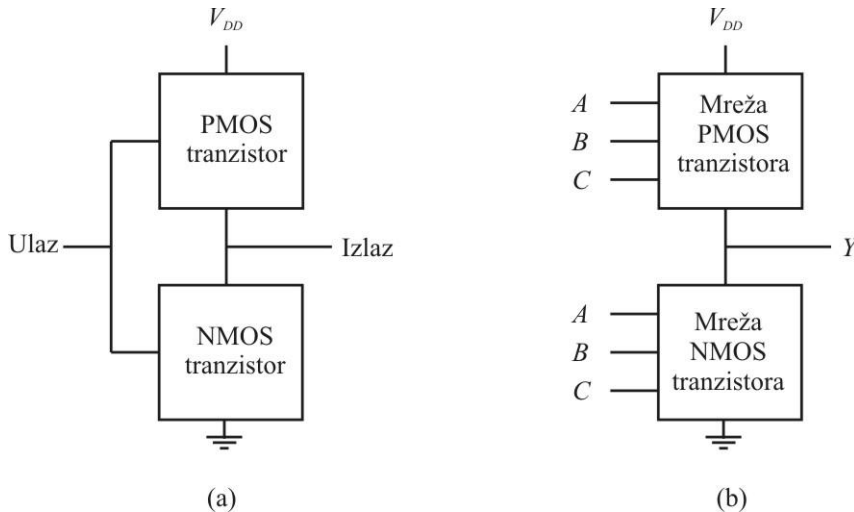
Pored dinamičke disipacije snage, koja je posledica protoka struje punjenja i pražnjenja kapacitivnosti, postoji i komponenta disipacije snage koja je povezana sa prelaznim režimom kola u kome oba tranzistora provode u zasićenju. Ova komponenta dinamičke disipacije snage zavisi od brzine promene ulaznog napona. Što je ta promena sporija, strujni impuls koji teče kroz oba tranzistora je širi te je disipacija veća. Komponenta disipacije snage koja je povezana sa prolaskom kroz prelaznu zonu kada oba tranzistora provode po pravilu je znatno manja od dinamičke disipacije snage  $P_D$ .

**Primer 2.4** Odrediti dinamičku disipaciju snage CMOS logičkog invertora koji ima napajanje 5 V i radi na 100 MHz. Smatrati da je ukupno kapacitivno opterećenje 100 fF.

$$P_D = fCV_{DD}^2 = 100 \cdot 10^6 \cdot 100 \cdot 10^{-15} \cdot 5^2 = 250 \mu\text{W}.$$

### 2.3.2 Osnovna i složena CMOS logička kola

CMOS logički invertor predstavlja najjednostavnije CMOS logičko kolo. U isto vreme CMOS logički invertor predstavlja osnovni element čijim proširivanjem se dolazi do složenijih CMOS logičkih kola. Polazeći od modela CMOS invertora koji je dat na slici 2.15a, može se doći do modela složenijih CMOS logičkih kola sa većim brojem ulaza. Na slici 2.15b prikazan je model CMOS logičkog kola sa tri ulaza.

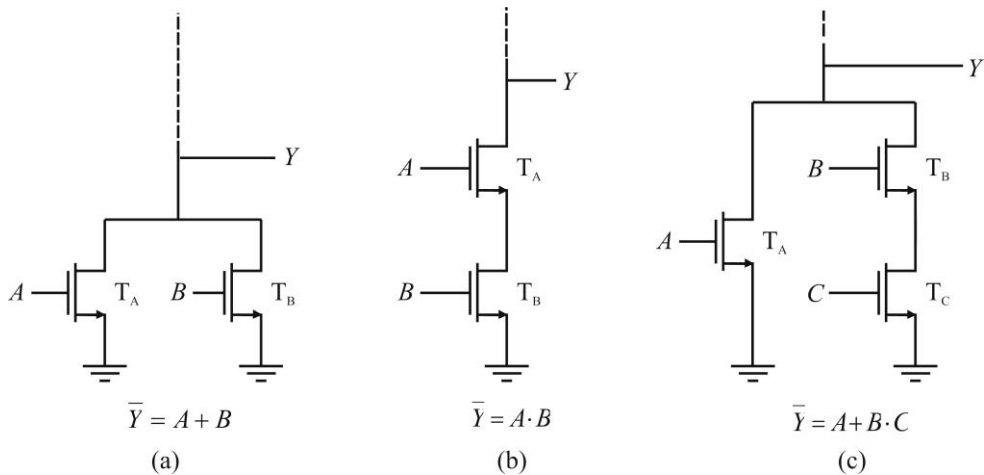


**Slika 2.15** Model CMOS logičkog invertora (a) i model troulaznog CMOS logičkog kola (b).

Za razliku od CMOS logičkog invertora, koji sadrži jedan NMOS i jedan PMOS tranzistor, složenija CMOS logička kola moraju sadržati dve mreže tranzistora, jednu sa NMOS tranzistorima povezanu na masu i drugu, sa PMOS tranzistorima, povezanu na napajanje. Ove dve mreže rade komplementarno, kao što je slučaj i sa NMOS i PMOS tranzistorima kod logičkog invertora. To znači da mreža sa NMOS tranzistorima treba da provodi, odnosno da obezbedi vezu izlaza sa masom, za sve kombinacije promenljivih koje na izlazu daju logičku nulu, kako bi napon na izlazu bio nizak. U isto vreme, mreža PMOS tranzistora treba da je neprovodna, čime se sprečava povezivanje napajanja sa masom. S druge strane, za sve kombinacije ulaza koje daju jedinicu na izlazu PMOS mreža treba da provodi, odnosno da obezbedi vezu izlaza iz izvora napajanja, kako bi napon na izlazu bio visok. Tada NMOS mreža treba da je neprovodna, što sprečava povezivanje napajanja i mase.

S obzirom na to da NMOS mreža sadrži NMOS tranzistore koji provode kada se na gejt dovede visok napon, da bi NMOS mreža provodila na ulaze treba dovesti visok napon. Slično, da bi PMOS mreža provodila, napon na ulazima ove mreže napon mora biti nizak.

U poglavlju 1.4 je pokazano da se rednom vezom prekidačkih elemenata ostvaruje I operacija, dok se paralelnom vezom prekidača dolazi do ILI operacije. Na slici 2.16 dato je nekoliko primera realizacije NMOS prekidačkih mreža.



**Slika 2.16** Primeri NMOS prekidačkih mreža.

Sa slike 2.16a se vidi da će tranzistor  $T_A$  provoditi kada je na ulazu  $A$  visok napon ili kada je na ulazu  $B$  visok napon. Tada će na izlazu  $Y$  biti nizak napon. To znači da će izlaz  $Y$  biti u stanju logičke nule kada je  $A$  jedinica ili  $B$  jedinica, što se može izraziti logičkom funkcijom

$$\bar{Y} = A + B, \quad (2.40)$$

ili

$$Y = \overline{A + B}. \quad (2.41)$$

Mreža sa slike 2.16b će biti provodna samo ako je na ulazima  $A$  i  $B$  napon jednovremeno visok i tada će napon na izlazu biti nizak, te je

$$\bar{Y} = A \cdot B, \quad (2.42)$$

ili

$$Y = \overline{A \cdot B}. \quad (2.43)$$

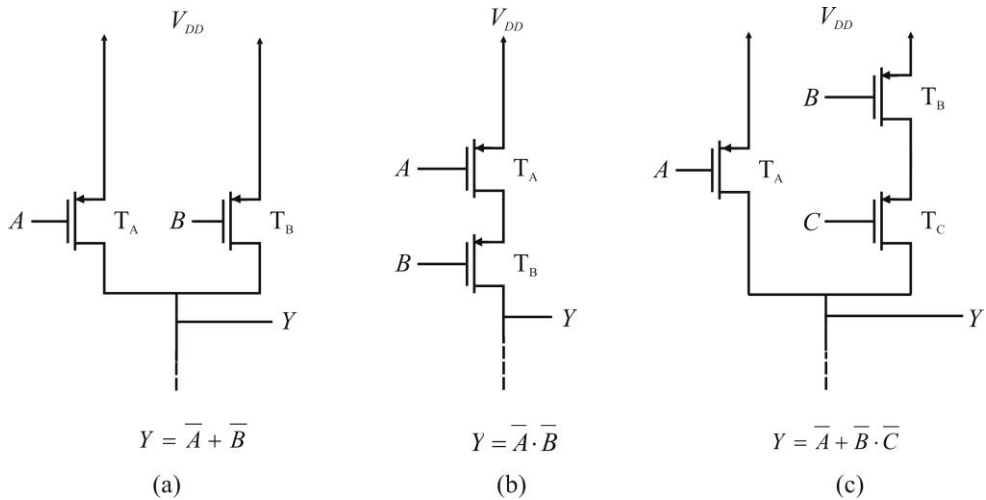
Mreža sa slike 2.16c će biti provodna ako je na ulazu  $A$  visok napon ili ako je na ulazima  $B$  i  $C$  jednovremeno napon visok. Tada će na izlazu napon biti nizak, i ovoj mreži odgovara logička funkcija

$$\bar{Y} = A + B \cdot C, \quad (2.44)$$

ili

$$Y = \overline{A + B \cdot C}. \quad (2.45)$$

Na slici 2.17 su dati primeri prekidačkih mreža sa PMOS tranzistorima.



**Slika 2.17** Primeri PMOS prekidačkih mreža.

Mreža sa slike 2.17a će biti provodna ako je tranzistor  $T_A$  provodan ili ako je tranzistor  $T_B$  provodan, odnosno ako je na ulazu  $A$  ili  $B$  napon nizak. Tada će na izlazu  $Y$  napon biti visok, te je

$$Y = \bar{A} + \bar{B}. \quad (2.46)$$

Na izlazu mreže sa slike 2.17b napon će biti visok samo kada su jednovremeno na ulazima  $A$  i  $B$  niski naponi

$$Y = \bar{A} \cdot \bar{B}. \quad (2.47)$$

Mreža sa slike 2.17c će biti provodna ako je napon na ulazu  $A$  nizak ili ako je jednovremeno na ulazima  $B$  i  $C$  nizak napon. Tada će na izlazu napon biti visok i jednak naponu napajanja, te je

$$Y = \bar{A} + \bar{B} \cdot \bar{C}. \quad (2.48)$$

Kada se raspolože NMOS i CMOS prekidačkim mrežama i razume njihovo funkcionisanje, može se preći na realizaciju osnovnih i ostalih CMOS logičkih kola. U crtanju šema logičkih kola biće korišćeni tzv. "digitalni" simboli za NMOS i PMOS tranzistore sa slike 2.8a, što se uobičajeno radi u sličnoj literaturi.

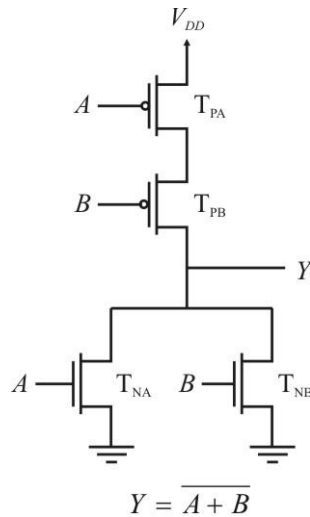
### CMOS NILI kolo

Na osnovu logičke funkcije dvoulaznog NILI kola

$$Y = \overline{A + B} = \overline{A} \cdot \overline{B}, \quad (2.49)$$

može se zaključiti da kada je na ulazu  $A$  ili na ulazu  $B$  visok napon, na izlazu  $Y$  je nizak napon, te tada NMOS mreža mora biti provodna, tj. izlaz mora biti povezan na masu. To znači da se kao NMOS mreža dvoulaznog NILI kola može koristiti mreža sa slike 2.16a.

Iz (2.49) se vidi da će na izlazu  $Y$  biti logička jedinica ako su i na ulazu  $A$  i na ulazu  $B$  logičke nule, tj. nizak napon. Na osnovu ovog zahteva može se zaključiti da se PMOS mreža sastoji od dva redno povezana PMOS tranzistora čiji su ulazi  $A$  i  $B$ , kao što je prikazano na slici 2.17b. Na slici 2.18 je prikazano dvoulazno CMOS NILI kolo koje je dobijeno povezivanjem odgovarajućih dvoulaznih NMOS i PMOS mreža.



**Slika 2.18** Dvoulazno CMOS NILI kolo.

Dodavanjem logičkog invertora sa slike 2.8b na izlaz NILI kola sa slike 2.18 dolazi se do dvoulaznog CMOS ILI kola.

### CMOS NI kolo

Logička funkcija dvoulaznog NI kola data je jednačinom

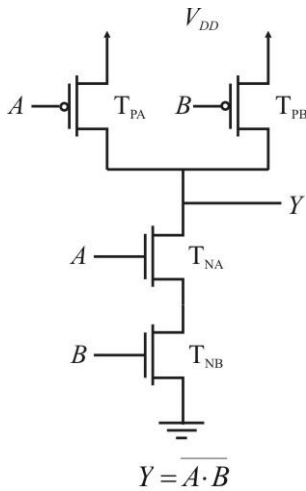
$$Y = \overline{A \cdot B}, \quad (2.50)$$

koja se može napisati i u obliku

$$Y = \overline{A + B}. \quad (2.51)$$

Iz (2.50) se vidi da će na izlazu kola  $Y$  biti nizak napon samo kada su na oba ulaza, i na ulazu  $A$  i na ulazu  $B$ , visoki naponi. To znači da mrežu NMOS tranzistora čine dva redno povezana NMOS tranzistora, kao što je prikazano na slici 2.16b.

Za realizaciju mreže PMOS tranzistora može se poći od (2.51). Napon na izlazu kola  $Y$  će biti visok ako je napon na ulazu  $A$  nizak ili ako je napon na ulazu  $B$  nizak. PMOS mreža koja obezbeđuje opisanu funkciju sastoji se iz dva paralelno povezana PMOS tranzistora sa čijim gejtovimima su povezani ulazi  $A$  i  $B$ , kao što je prikazano na slici 2.17a. Povezivanjem navedenih NMOS i PMOS mreže dobija se CMOS NI kolo koje je prikazano na slici 2.19.



**Slika 2.19** Dvoulazno CMOS NI kolo.

Na osnovu kola sa slike 2.19 lako je zaključiti da se povećanje broja ulaza logičkog NI kola postiže dodavanjem NMOS tranzistora na red sa tranzistorima  $T_{NA}$  i  $T_{NB}$ , i PMOS tranzistora paralelno tranzistorima  $T_{PA}$  i  $T_{PB}$ .

Dodavanjem logičkog invertora sa slike 2.8b na izlaz logičkog NI kola dolazi se do dvoulaznog CMOS I kola.

### Složena CMOS logička kola

Realizacija jednog složenijeg CMOS logičkog kola biće analizirana na primeru kola koje vrši logičku funkciju

$$Y = \overline{A(B + CD)}. \quad (2.52)$$

Komplementiranjem funkcije (2.52) dobija se

$$\overline{Y} = A(B + CD). \quad (2.53)$$

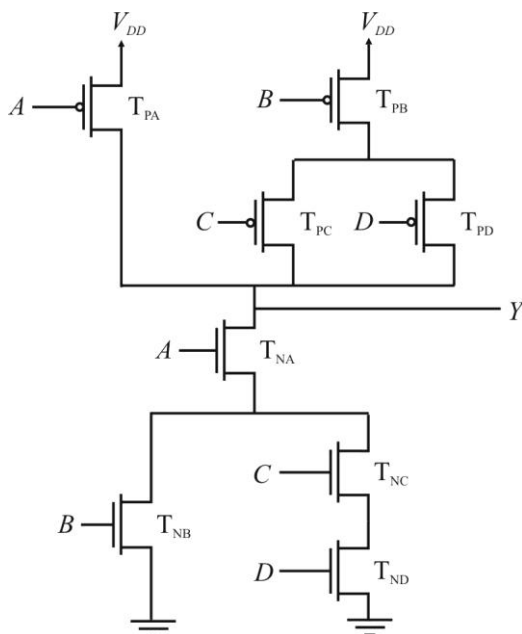
Iz (2.53) se vidi da će na izlazu kola  $Y$  napon biti nizak ako je na ulazu  $A$  visok napon i ako su u isto vreme ili ulaz  $B$  ili oba ulaza  $C$  i  $D$  na visokom

naponskom nivou, odakle se dolazi do strukture NMOS mreže. NMOS mreža se sastoji od redne veze tranzistora  $T_{NA}$  i grane u kojoj su paralelno povezani tranzistori  $T_{NB}$  i redna veza tranzistora  $T_{NC}$  i  $T_{ND}$ .

Da bi se došlo do PMOS mreže potrebno je izlaz  $Y$  izraziti kao funkciju komplementarnih vrednosti ulaznih promenljivih. Primenom DeMorganove teoreme na (2.52) dobija se

$$Y = \overline{A + B(\overline{C + D})}. \quad (2.54)$$

Iz (2.54) se vidi da će na izlazu kola  $Y$  napon biti visok ako je na ulazu  $A$  nizak napon ili ako je na ulazu  $B$  nizak napon i ako su u isto vreme ulazi  $C$  ili  $D$  na niskom naponskom nivou. Ovakva funkcija PMOS mreže ostvaruje se ako se tranzistoru  $T_{PA}$  paralelno poveže grana u kojoj je tranzistor  $T_{PB}$  povezan na red sa paralelnom vezom tranzistora  $T_{PC}$  i  $T_{PD}$ . Kompletano CMOS logičko kolo kojim se realizuje složena funkcija (2.52) prikazano je na slici 2.20.



**Slika 2.20** Četvoroulazno CMOS logičko kolo koim se realizuje logička funkcija  $Y = \overline{A(B + CD)}$ .

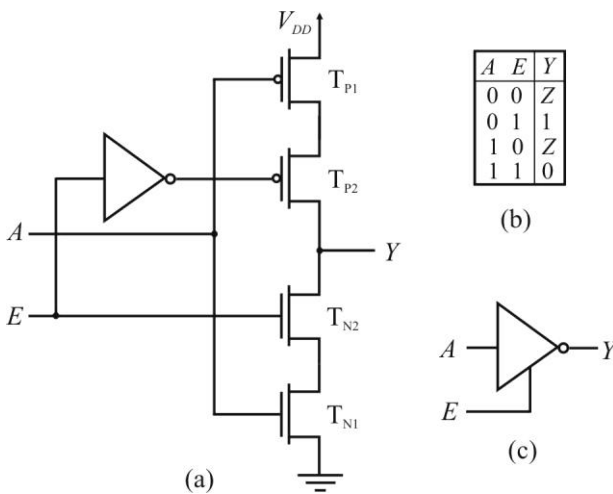
Na osnovu dosadašnjih analiza može se zaključiti da je NMOS mrežu najjednostavnije realizovati ako se komplementirana funkcija  $\overline{Y}$  izrazi kao funkcija nekomplementarnih logičkih promenljivih. Za realizaciju PMOS mreže funkciju  $Y$  treba izraziti kao funkciju komplementarnih promenljivih.

Ako se pažljivije analizira kolo sa slike 2.20, može se zapaziti da su mreže NMOS i PMOS tranzistora dualne mreže. Ako u jednoj mreži postoji grana u kojoj su tranzistori povezani na red, u drugoj mreži će postojati grana sa paralelno povezanim tranzistorima. To znači da se jedna mreža može dobiti iz druge, čime se postupak realizacije logičkog kola značajno uprošćava.

## Trostatička CMOS kola

Kao što se iz dosadašnje analize moglo videti, CMOS logička kola imaju dva moguća logička stanja na izlazu, logičku nulu ili logičku jedinicu. Ako je na izlazu CMOS kola bilo koje od ova dva stanja, provodan je jedan tranzistor kod logičkog invertora ili je provodna jedna mreža tranzistora kod ostalih osnovnih ili složenih logičkih kola, pa je izlazna otpornost kola mala. U digitalnim, a posebno u računarskim sistemima, redovno se javlja potreba za povezivanjem izlaza više logičkih kola na jednu zajedničku liniju. Povezivanje dva ili više niskoimpedansna izlaza na zajedničku liniju dovelo bi do konflikta na toj liniji, a ako izlazni stepen nema strujno ograničenje, i do pregorevanja kola.

Napred opisani problem može se rešiti modifikovanjem izlaza logičkog kola, tako da ono pored ranije definisanih stanja logičke nule i logičke jedinice poseduje i treće stanje u kome je izlazna impedansa kola visoka. Kola koja poseduju ovo treće stanje na izlazu nazivaju se *trostatička*. Na slici 2.21 dat je primer trostatičkog CMOS invertora.



**Slika 2.21** Trostatički CMOS invertor:  
 (a) šema kola;  
 (b) kombinaciona tablica;  
 (c) grafički simbol.

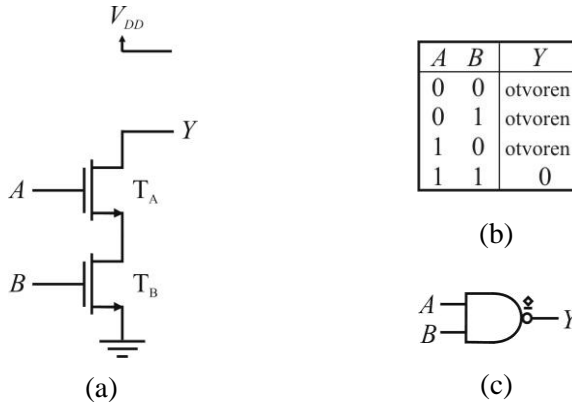
Kolo sa slike 2.21 vrši funkciju logičkog invertora kada je signal dozvole  $E$  (eng. *Enable*) u stanju logičke jedinice. Kada je upravljački ulaz  $E=1$  tranzistori  $T_{N2}$  i  $T_{P2}$  provode, a stanje na izlazu kola zavisi od stanja na ulazu.

Kada je signal dozvole  $E=0$ , tranzistori  $T_{N2}$  i  $T_{P2}$  su neprovodni, izlaz kola je odvojen od mase i od napajanja te je izlazna otpornost kola vrlo velika i ona iznosi nekoliko hiljada  $M\Omega$ . Ovakvo stanje kola naziva se *stanje visoke impedanse* i označava se sa  $Z$ . Na slici 2.21b prikazan je grafički simbol za trostatički invertor a na slici 2.21c rad trostatičkog invertora prikazan je pomoću kombinacione tablice.

Kada se ispred trostatičkog invertora doda još jedan logički invertor, dolazi se do osnovnog kola *trostatičkog bafera*. Trostatički baferi se grade tako da u odnosu na standardna logička kola imaju povećani izlazni faktor grananja, te se nazivaju *trostatički drajveri*.

## Kola sa otvorenim drejnom

Ako se izostavi mreža PMOS tranzistora u modelu CMOS kola sa slike 2.15b, dolazi se do jedne veoma korisne klase logičkih kola kod kojih je izlaz otvoren, te se ona nazivaju *kola sa otvorenim drejnom*. Na slici 2.22a data je šema NI kola sa otvorenim drejnom.



**Slika 2.22** NI kolo sa otvorenim drejnom: (a) šema kola; (b) kombinaciona tablica; (c) grafički simbol.

U kolu sa slike 2.22a drejn tranzistora  $T_A$  je ostavljen nepovezan. Ako napon na izlazu nije nizak, izlaz kola je "otvoren", kao što je naznačeno u tablici istinitosti za ovo kolo (slika 2.22b). Za označavanje izlaza kola sa otvorenim drejnom koristi se simbol kao na slici 2.22c.

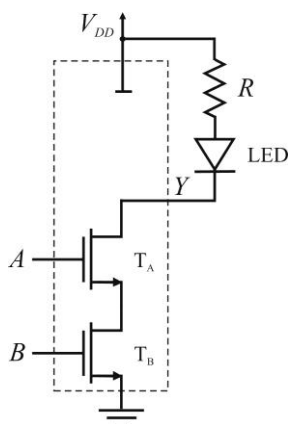
Da bi kolo sa otvorenim drejnom obavljalo svoju funkciju, potrebno je između izlaza kola i napajanja povezati otpornik. Ovaj otpornik obezbeđuje struju drejna kada je na izlazu nizak naponski nivo, odnosno povlači izlaz na visok naponski nivo kada je na izlazu logička jedinica. Zbog toga se ovaj otpornik naziva *pull-up* otpornik, od engleskog izraza povući.

Kolo sa otvorenim drejnom može se koristiti za upravljanje LED diodom, kao što je to prikazano na slici 2.23.

Ako je na bilo kom od dva ulaza kola sa slike 2.23 nizak napon, odgovarajući NMOS tranzistor će biti neprovodan, kroz diodu neće teći struja i ona neće svetleti. Ako su naponi na ulazu  $A$  i ulazu  $B$  visoki, oba tranzistora će provoditi, izlaz će biti na nivou logičke nule i LED dioda će svetleti.

Pri izboru vrednost *pull-up* otpornika treba voditi računa o više faktora. Minimalna vrednost otpornosti limitirana je maksimalnom strujom drejna tranzistora  $T_A$  i  $T_B$ . Izborom velike vrednosti *pull-up* otpornosti smanjuje se brzina rada kola, koja je definisana proizvodom ove otpornosti i ukupne ekvivalentne parazitne kapacitivnosti na izlazu kola.

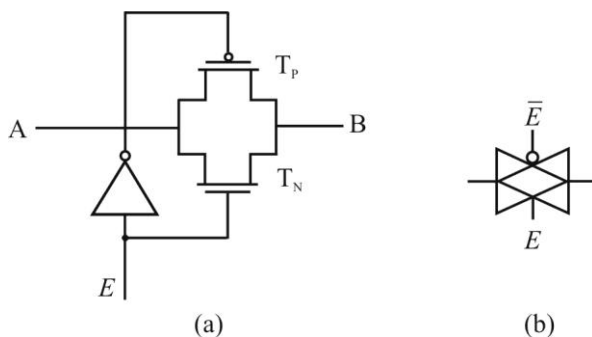




Slika 2.23 Upravljanje LED diodom kolom sa otvorenim drejnom.

### Transmisiono CMOS kolo

Transmisiono CMOS kolo (*transmission gate*) vrši funkciju elektronskog prekidača i ono se koristi za formiranje složenih logičkih mreža u CMOS tehnici. Transmisiono CMOS kolo, kao što se vidi sa slike 2.24, sastoji se od jednog NMOS i jednog PMOS tranzistora, koji se pobuđuju komplementarnim signalima. Kada je signal dozvole  $E=0$  tranzistori ne provode, te je veza između tačaka A i B raskinuta. Kada je  $E=1$  tačke A i B su kratkospojene.



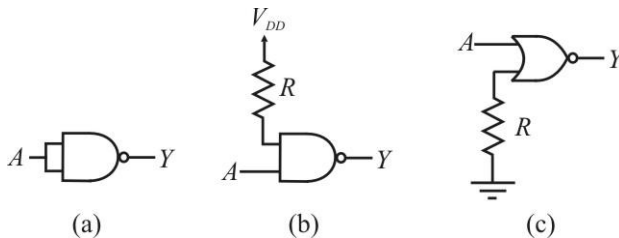
Slika 2.24 Transmisiono CMOS kola: (a) uprošćena šema; (b) grafički simbol.

S obzirom na to da MOS tranzistori provode struju u oba smera, transmisiono CMOS kolo se ponaša kao *bidirekcionni prekidač*, te se naziva i *bilateralni prekidač*.

## Nekorišćeni ulazi logičkih kola

U realizaciji digitalnih sistema čest je slučaj da se ne iskoriste svi raspoloživi ulazi logičkog kola. Neiskorišćeni ulazi CMOS kola ne smeju se ostaviti nepovezani ili, kako se često kaže, da budu plivajući (*floating*).

Ulazi CMOS kola imaju veoma veliku ulaznu otpornost tako da i mali šum može plivajući ulaz prebaciti na nivo logičke jedinice, unoseći na taj način grešku u rad sistema. Zbog toga se mora pri projektovanju digitalnog sistema definisati stanje na naiskorišćenim ulazima logičkih kola tako da kola obavljaju planiranu funkciju. Na slici 2.25 prikazano je povezivanje neiskorišćenih ulaza kod CMOS NI i NILI kola.



**Slika 2.25** Povezivanje neiskorišćenih ulaza kod CMOS NI (a) i (b) i NILI kola (c).

Neiskorišćeni ulazi mogu se spojiti na masu, spojiti na napon napajanja ili povezati sa korišćenim ulazima. Neiskorišćen ulaz NI kola može se spojiti sa korišćenim, kao što je prikazano na slici 2.25a. Neiskorišćen ulaz I ili NI kola može se spojiti sa napajanjem, čime se na ovaj ulaz dovodi logička jedinica (slika 2.25b). Neiskorišćeni ulazi NILI kola najčešće se vezuju na masu (slika 2.25c).

Povezivanje neiskorišćenih ulaza na napajanje vrši se preko *pull-up* otpornika. Povezivanje neiskorišćenih ulaza na masu vrši se preko tzv. *pull-down* otpornika, pomoću kojih se ulazi "povlače" na nulti potencijal. Otpornosti ovih otpornika kreću se u opsegu od 1 do 10 k $\Omega$ , a jedan otpornik može se koristiti za povezivanje većeg broja neiskorišćenih ulaza.

## 2.4 Bipolarna logička kola

Osnovni elementi koji se koriste u realizaciji digitalnih kola u bipolarnoj tehnologiji su diode i bipolarni tranzistori. Najjednostavnija digitalna kola realizovana u bipolarnoj tehnici sadrže diode i otpornike i ona se nazivaju *diodna logička kola*. U standardnim *tranzistor-tranzistor logičkim kolima* (TTL) bipolarni tranzistori se koriste za obavljanje logičkih funkcija ali i za realizaciju izlaznog stepena. Kod mlađih familija TTL logičkih kola, kao što je LS-TTL familija male potrošnje sa Šotki tranzistorima (*Low-power Schottky*), za obavljanje prekidačkih

funkcija koriste se diode a tranzistori služe da smanje izlaznu otpornost i povećaju strujni kapacitet kola. Kod *logičkih kola sa emitorskom spregom (ECL - Emitter Coupled Logic)* tranzistori rade u aktivnoj oblasti čime se postižu veoma velike brzine rada. Međutim, ova kola imaju i veoma veliku potrošnju, što je upravo posledica rada tranzistora u aktivnoj oblasti. BiCMOS familija logičkih kola je nastala kao plod nastojanja da se kombinovanjem bipolarne i CMOS tehnologije dođe do logičkih kola male potrošnje i velike brzine rada. Kod BiCMOS logičkih kola ulazna i prekidačka kola realizovana su pomoću CMOS tranzistora, čime je obezbeđena mala potrošnja, dok je izlazni stepen realizovan korišćenjem bipolarnih tranzistora, čime se ostvaruje velika brzina i veliki strujni kapacitet kola.

Poznato je da su digitalna kola realizovana u bipolarnoj tehnologiji skoro u potpunosti zamenjena CMOS logičkim kolima. Međutim, poznavanje funkcionisanja i osnovnih karakteristika bipolarnih logičkih kola može, pored korisnog proširivanja znanja, imati i praktičnu primenu, posebno kada se zahteva povezivanje TTL i CMOS logičkih kola. Iz navedenih razloga u nastavku će, u kratkim crtama, biti prikazani tipični predstavnici logičkih kola realizovanih u bipolarnoj tehnologiji.

### Diodna logička kola

Diodna logička kola su po formi vrlo jednostavna i ona sadrže samo diode i otpornike. Diode u logičkim kolima služe kao prekidači. Direktno polarisana dioda se može posmatrati kao zatvoren prekidač koji ima malu otpornost dok napon na direktno polarisanoj silicijumskoj diodi iznosi oko 0.7 V. Kroz inverzno polarisanu diodu teče vrlo mala struja, koja se praktično može zanemariti, te se inverzno polarisana stuja ponaša kao otvoren prekidač. Na slici 2.26a prikazano je dvoulazno *diodno I kolo*.

Ako se na oba ulaza kola sa slike 2.26a dovede visok napon  $v_A=v_B=V_{CC}$ , obe diode su neprovodne te kroz otpornost  $R$  ne teče struja i izlazni napon će biti visok

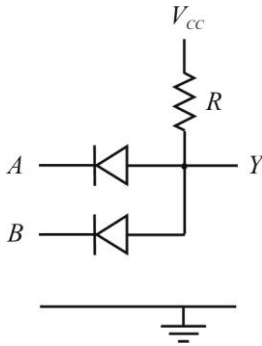
$$v_Y = V_{OH} = V_{CC}. \quad (2.55)$$

Ako se na oba ulaza kola sa slike 2.26a dovede nizak napon  $v_A=v_B=0$  V, obe diode su direktno polarisane i napon na izlazu biće nizak i jednak naponu provodne diode

$$v_Y = V_{OL} = V_D. \quad (2.56)$$

Napon na izlazu će biti nizak i kada se na samo jedan ulaz kola sa slike 2.26a dovede napon logičke nule, te se rad ovog kola može predstaviti kombinacionom tablicom koja je data na slici 2.26b.

Ako se pretpostavi da je na ulaz  $A$  diodnog kola sa slike 2.26a doveden sa izlaza istog takvog diodnog kola napon logičke nule  $V_D$ , onda će napon na izlazu biti  $v_Y=V_{OL}=V_D+V_D=1.4$  V, što znači da svako kaskadno povezano diodno I kolo unosi povećanje nivoa logičke nule za  $V_D=0.7$  V.



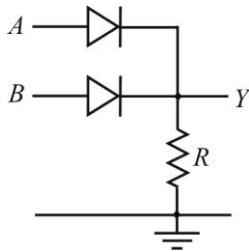
(a)

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(b)

**Slika 2.26** Dvoulazno diodno I kolo: električna šema; (b) kombinaciona tablica.

Ako se dve diode i otpornik povežu kao na slici 2.27a, dolazi se do dvoulaznog *diodnog ILI kola*. Analizom rada kola, koja je ekvivalentna onoj učinjenoj za diodno I kolo, popunjava se kombinaciona tablica koja je data na slici 2.27b, čime se potvrđuje da ovo kolo obavlja logičku ILI funkciju.



(a)

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(b)

**Slika 2.27** Diodno ILI kolo: (a) šema kola; (b) kombinaciona tablica.

Napon logičke nule na izlazu diodnog ILI kola je

$$v_Y = V_{OL} = 0 \text{ V}. \quad (2.57)$$

Ako se na ulaz kola dovede napon logičke jedinice  $V_{CC}$ , onda je napon logičke jedinice na izlazu

$$v_Y = V_{OH} = V_{CC} - V_D, \quad (2.58)$$

pri čemu je sa  $V_D$  označen napon provodne diode koji iznosi 0.7 V.

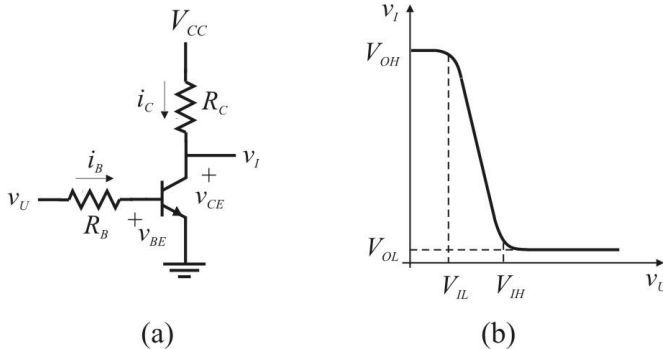
Kada se kaskadno povežu dva diodna ILI kola i na ulaz prvog dovede napon logičke jedinice koji je jednak  $V_{CC}$ , onda će na izlazu drugog logičkog kola napon logičke jedinice iznositi  $V_{OH} = V_{CC} - 2V_D$ , što znači da kod kaskadne veze diodnih ILI kola svako kolo unosi smanjenje nivoa logičke jedinice za  $V_D$ .

Kaskadnim povezivanjem diodnih I kola nivo logičke nule se povećava za  $V_D$  dok se kaskadnim povezivanjem diodnih ILI kola nivo logičke jedinice

smanjuje za  $V_D$ . Da bi diodna logička kola mogla i praktično da se primene, potrebno je izvršiti vraćanje visokog i niskog naponskog nivoa na izlazu kola na početne vrednosti, što se može ostvariti korišćenjem tranzistorskog izlaznog stepena. Primenom ovakvog koncepta dolazi se do TTL logičkih kola.

### Invertor sa bipolarnim tranzistorom

Osnovna konfiguracija logičkog invertora sa bipolarnim tranzistorom data je na slici 2.28a. Za realizaciju logičkog invertora koriste se otpornici  $R_B$  i  $R_C$  i jedan  $npn$  tranzistor.



**Slika 2.28** Invertor sa bipolarnim tranzistorom: (a) šema kola; (b) karakteristika prenosa.

Ako je ulazni napon  $v_U$  manji od napona praga  $V_{BET}$ , tranzistor je zakočen pa je izlazni napon jednak  $v_I = V_{CC}$ . Ako se ulazni napon poveća i postane veći od  $V_{BET}$  tranzistor će iz neprovodnog stanja postati provodan i radiće u aktivnom režimu. Sa daljim povećanjem ulaznog napona izlazni napon će se smanjivati, sve dok tranzistor ne uđe u zasićenje, kada je  $v_I = V_{CES}$ . Na osnovu sprovedene analize dolazi se do karakteristike prenosa invertora, koja je data na slici 2.28b.

Kada je ulazni napon nizak, napon na izlazu invertora je visok i iznosi

$$V_{OH} = V_{CC} \quad (2.59)$$

Napon na ulazu pri kome tranzistor iz neprovodnog prelazi u provodno stanje predstavlja maksimalnu vrednost napona logičke nule na ulazu  $V_{IL}$  i on iznosi

$$V_{IL} = V_{BET} \approx 0.7 \text{ V} \quad (2.60)$$

Nivo logičke nule na izlazu  $V_{OL}$  je napon između kolektora i emitora zasićenog tranzistora

$$V_{OL} = V_{CES} \approx 0.2 \text{ V} \quad (2.61)$$

Kada tranzistor radi u zasićenju kolektorska struja je data izrazom

$$I_{CS} = \frac{V_{CC} - V_{CES}}{R_C} \quad (2.62)$$

Da bi se osigurao rad tranzistora u zasićenju potrebno je da bazna struja ne bude manja od

$$I_{BS} = \frac{I_{CS}}{\beta}. \quad (2.63)$$

S druge strane, minimalna vrednost bazne struje kada je na ulazu visok naponski nivo, data je izrazom

$$I_{BS} = \frac{V_{IH} - V_{BES}}{R_B}. \quad (2.64)$$

te se iz (2.62) - (2.64) dobija

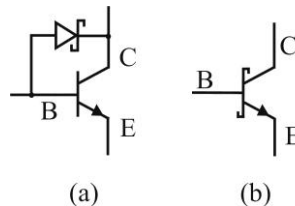
$$V_{IH} = V_{BES} + \frac{R_B}{R_C} \frac{V_{CC} - V_{CES}}{\beta}. \quad (2.65)$$

Minimalna vrednost napona logičke jedinice na ulazu  $V_{IH}$  invertora sa bipolarnim tranzistorom ima tipičnu vrednost oko 2.0 V.

Kada je tranzistor u zasićenju kada dođe do promene stanja na ulazu invertora, do promene na izlazu ne dolazi trenutno. Da bi tranzistor izašao iz zasićenja potrebno je određeno vreme da se eliminiše višak manjinskih nosilaca nagomilanih u bazi. Ovo vreme se naziva *vreme nagomilavanja (storage time)* i njime je u najvećoj meri određeno kašnjenje logičkog kola.

Vreme nagomilavanja, pa samim tim i kašnjenje, može se značajno redukovati ako se ne dozvoli da tranzistor radi u zasićenju. Ovo se postiže dodavanjem *Šotki diode (Schottky diode)* između baze i kolektora tranzistora, kao što je prikazano na slici 2.29, a dobijena konfiguracija se naziva *Šotki tranzistor*.

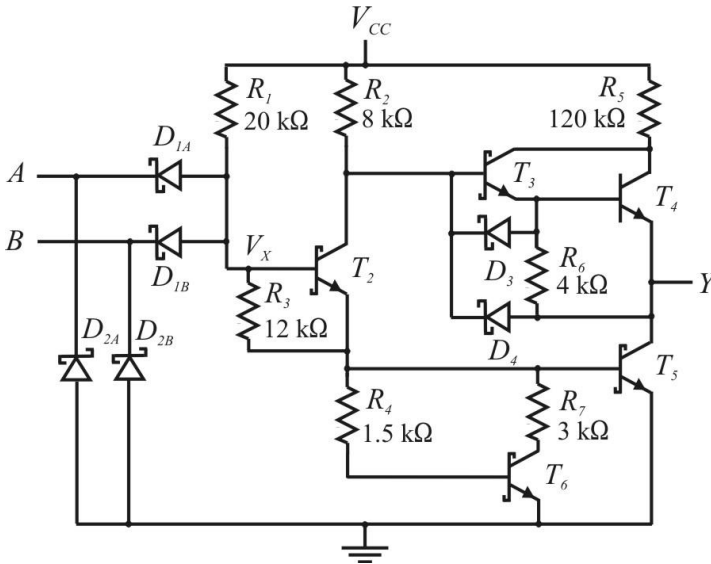
**Slika 2.29** Šotki tranzistor:  
(a) kolo; (b) simbol.



Šotki diodu čini spoj metala i slabo dopiranog poluprovodnika  $n$  tipa. U poređenju sa standardnim silicijumskim diodama Šotki diode imaju znatno manji pad napona koji iznosi oko 0.4 V.

## TTL logička kola

Postoji veći broj familija TTL logičkih kola koje se razlikuju po potrošnji, brzini rada i drugim karakteristikama. Dvoulazno NI kolo sa slike 2.30, koje će ovde biti analizirano, pripada reprezentativnoj TTL familiji logičkih kola male potrošnje sa Šotki tranzistorima (TTL-LS).



Slika 2.30 Dvolulazno NI kolo iz TTL-LS familije.

Logička funkcija NI kola sa slike 2.30 ostvarena je kombinovanjem I funkcije diodnog kola i invertorske funkcije realizovane pomoću Šotki tranzistora. Diode  $D_{1A}$  i  $D_{1B}$  i otpornik  $R_1$  obrazuju diodno I kolo. Diode  $D_{2A}$  i  $D_{2B}$  su zaštitne i one se koriste da ograniče nivo neželjenih negativnih impulsnih smetnji koje se mogu javiti na ulazu. Pozitivni impulsi smetnji, koji bi se mogli javiti na ulazu, inverzno polarišu Šotki diode  $D_{1A}$  i  $D_{1B}$ . Bez obzira na to što ovi impulsi mogu biti dovoljni da dovedu do proboja spoja, neće doći do nepoželjnog efekta jer im je trajanje po pravilu kratko a otpornost  $R_1$  ograničava stuju proboja.

Tranzistor  $T_2$  i otpornosti  $R_2$ - $R_4$  formiraju obrtač faze koji upravlja izlaznim stepenom. Ovaj tranzistor je zakočen kada je napon  $V_x$  na izlazu diodnog kola nizak a provodan kada je  $V_x$  visok. Izlazni stepen čine tranzistori  $T_4$  i  $T_5$ , pri čemu tranzistor  $T_4$  predstavlja aktivno opterećenje invertorskog tranzistora  $T_5$ . Tranzistori  $T_4$  i  $T_5$  ne provode istovremeno, već naizmenično, zavisno od stanja izlaza. Slično kao kod CMOS invertora, ovi tranzistori povlače izlaz u stanje logičke nule ili stanje logičke jedinice, te se ovakav izlazni stepen naziva *push-pull* ili *totem-pole*.

Za povećanje strujnog kapaciteta izlaza kola tranzistori  $T_3$  i  $T_4$  su povezani u Darlingtonovu spregu. Pošto je emitor tranzistora  $T_3$  direktno povezan na bazu tranzistora  $T_4$ , ukupno pojačanje Darlingtonove sprege koju obrazuju ova dva tranzistora  $\beta_{34}$  jednako je proizvodu pojedinačnih strujnih pojačanja tranzistora,  $\beta_{34} = \beta_3 \beta_4$ . Diode  $D_3$  i  $D_4$  imaju ulogu da ubrzaju prelazne procese u izlaznom stepenu kola. Pri prelasku tranzistora  $T_4$  u neprovodno stanje dioda  $D_3$  odvodi baznu struju na kolektor tranzistora  $T_2$  koji radi u aktivnom režimu. To dovodi do bržeg kočenja tranzistora  $T_4$  i ubrzanog uključivanja tranzistora  $T_5$  jer se u njegovu

bazu ubacuje dodatna struja. Dioda  $D_4$  omogućuje brže pražnjenje parazitnih kapacitivnosti na izlazu kola. Uloga tranzistora  $T_6$  je da u procesu kočenja  $T_5$  odvede višak naelektrisanja iz baze ovog tranzistora i tako ubrza njegovo kočenje.

Rad dvoulaznog TTL-LS kola sa slike 2.30 sistematizovan je u tabeli sa slike 2.31.

$A$	$B$	$T_2$	$T_3$	$T_4$	$T_5$	$T_6$	$Y$
0	0	○	●	●	○	○	1
0	1	○	●	●	○	○	1
1	0	○	●	●	○	○	1
1	1	●	○	○	●	●	0

**Slika 2.31** Rad dvoulaznog NI kola sa slike 2.30 (tranzistor: ○-zakočen; ●-provodan) .

Iz tabele sa slike 2.31 se vidi da kolo obavlja logičku NI funkciju. Povećanje broja ulaza postiže se dodavanjem dioda u ulaznom diodnom kolu. TTL-LS logički invertor se realizuje kao jednoulazno NI kolo, tako što se u kolu sa slike 2.30 izostave diode  $D_{1B}$  i  $D_{2B}$ .



## Sekvencijalna kola

Kod kombinacionih kola, koja su analizirana u prethodnoj glavi, stanje na izlazu kola zavisi samo od trenutnog stanja ulaza, što znači da kombinaciona kola nemaju mogućnost pamćenja stanja, odnosno memorisanja.

Memorisanje logičkog stanja je veoma važno u obradi digitalnih signala. Na taj način pamte se podaci i programi u računaru, ali se memorisanje stanja može iskoristiti i za privremeno pamćenje stanja na izlazu kombinacione mreže, kako bi se kasnije iskoristilo u radu digitalnog sistema.

Kola kod kojih stanje na izlazu zavisi od trenutnog stanja na ulazu i od prethodnih stanja na ulazu, ili od sekvence ulaznih signala, nazivaju se *sekvencijalna kola*. Sekvencijalna kola, koja se nazivaju i *regenerativna kola*, mogu se podeliti na *bistabilna*, *monostabilna* i *astabilna*. Često se monostabilna i astabilna kola svrstavaju i u grupu impulsnih kola, pri čemu se monostabilna kola nazivaju i *monovibratori* a astabilna *multivibratori*.

*Bistabilna kola* imaju dva *stabilna stanja* u kojima mogu ostati neograničeno dugo. Do prelaza iz jednog u drugo stabilno stanje dolazi jedino pod dejstvom pobudnog signala. Bistabilna kola mogu se koristiti za memorisanje jednog bita, tako što će jedno stabilno stanje odgovarati logičkoj nuli a drugo jedinici. Postoje dve vrste bistabilnih kola, *leč kola* i *flipflopovi*. Obe navedene vrste bistabilnih kola biće analizirane u narednim poglavljima.

*Monostabilna kola* imaju samo jedno stabilno stanje. Ona ostaju u stabilnom stanju sve dok pod dejstvom pobudnog signala ne pređu u drugo, *kvazistabilno stanje*. Po isteku određenog vremena, koje je definisano parametrima kola, monostabilno kolo se vraća u stabilno stanje. Monostabilno regenerativno kolo se naziva *monostabilni multivibrator*.

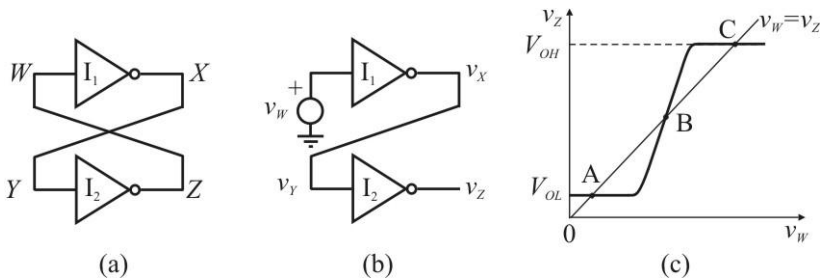
*Astabilna kola* nemaju ni jedno stabilno stanje i kod njih su oba stanja *kvazistabilna*. Kvazistabilna stanja se sukcesivno smenjuju i kolo osciluje između ovih stanja. Astabilna kola se nazivaju *astabilni multivibratori* ili *relaksacioni oscilatori*.

## 3.1 Bistabilna kola

Za razumevanje principa funkcionisanja bistabilnih kola, korisno je analizirati ponašanje kola sa slike 3.1a. Ovo kolo se sastoji od dva logička invertora koji su povezani tako da je ostvarena pozitivna povratna sprega.

S obzirom na to da je ulazna otpornost logičkih invertora beskonačno velika, raskidanje povratne sprege neće dovesti do promene prenosne karakteristike kola sa slike 3.1a, te se ona može odrediti pomoću kola sa slike 3.1b.

Prenosna karakteristika dva na red povezana logička invertora sa slike 3.1b ima oblik koji je dat na slici 3.1c. Na slici 3.1c ucrtana je i prava  $v_W = v_Z$ , koja se dobija kada se tačka Z poveže sa tačkom W, odnosno kolo vrati u prvobitni oblik.

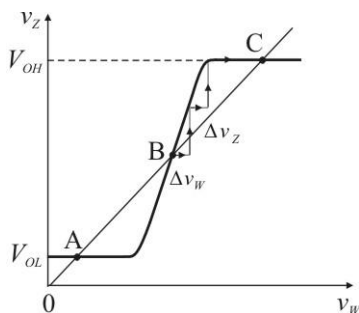


**Slika 3.1** (a) Osnovno regenerativno kolo: (b) Regenerativno kolo kod koga je raskinuta povratna sprega: (c) Određivanje radnih tačaka regenerativnog kola.

Kao što se vidi sa slike 3.1c, prava  $v_W = v_Z$  seče karakteristiku prenosa kola sa povratnom spregom u tri tačke: A, B i C. To znači da bi svaka od ove tri tačke mogla da bude radna tačka posmatranog kola. Lako se može pokazati da su tačke A i C stabilne radne tačke u kojima kolo može ostati neograničeno dugo i da tačka B nije stabilna radna tačka posmatranog kola.

Naime, ako iz bilo kog razloga, na primer zbog neizbežno prisutnog šuma, dođe do malog porasta napona  $v_W$ , promena napona  $v_X$  će biti znatno veća jer u okolini tačke B invertor  $I_1$  radi kao pojačavač. Pojačani signal  $v_X$  dodatno će pojačati invertor  $I_2$ , koji takođe u okolini tačke B radi kao pojačavač. Kako je izlaz invertora  $I_2$  povezan sa ulazom invertora  $I_1$ , proces pojačavanja ili *regeneracija* izazvane promene će se nastaviti, te će doći do pomeranja radne tačke B prema tački C, kao što je ilustrovano na slici 3.2.

Kako je u tački C pojačanje invertora jednako nuli, proces pojačavanja signala se zaustavlja i uspostavljeno stanje će biti stabilno. Da je u početnom trenutku došlo do pada napona  $v_W$ , tačka B bi se kretala naniže sve dok se ne zaustavi u položaju A, koji takođe predstavlja stabilno stanje posmatranog kola. S obzirom na to da kolo ima dva stabilna stanja, ono se naziva *bistabilno kolo*.



**Slika 3.2** Ilustracija procesa prelaska kola sa slike 3.1a iz nestabilne u stabilnu radnu tačku. Tačka B nije stabilna radna tačka i male promene napona  $\Delta v_W$  dovode do prelaza iz radne tačke B u tačku A ili tačku C.

Ako se tačke X i Z smatraju izlazima kola sa slike 3.1a, onda je u stabilnom stanju koje odgovara radnoj tački A napon  $v_X$  visok ( $v_X = V_{OH}$ ), dok je napon  $v_Z$  u tački Z nizak ( $v_Z = V_{OL}$ ). U stabilnom stanju koje odgovara radnoj tački C, napon  $v_X$  je nizak ( $v_X = V_{OL}$ ) a napon  $v_Z$  visok ( $v_Z = V_{OH}$ ). Na osnovu prethodne analize može se zaključiti da su izlazi posmatranog kola *komplementarni*.

Da bi bistabilno kolo prešlo iz jednog stabilnog stanja u drugo mora se dovesti spoljašnja pobuda, koja kolo postavlja u jedno od dva stabilna stanja. Na taj način se *pamti* ili *memoriše* spoljašnja akcija koja je dovela do postavljanja kola u određeno stabilno stanje. Za uvođenje pobudnog signala u kolo povratne sprege potrebno je umesto logičkih invertora koristiti dvoulazna logička kola. Zbog toga se za realizaciju bistabilnih kola koriste dvoulazna NILI i dvoulazna NI kola.

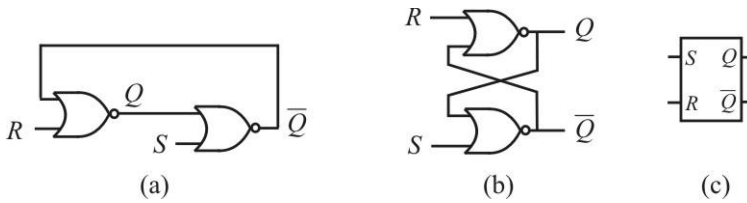
Postoje dve vrste bistabilnih kola. Bistabilna kola kod kojih do promene izlaza može doći u bilo kom trenutku kada dođe do promene ulaza, izuzev ako ova promena nije onemogućena dodatnim signalom dozvole, nazivaju se *leč kola* (*latch*). Bistabilna kola kod kojih do promene stanja dolazi samo posle dovođenja odgovarajuće ivice pobudnog signala nazivaju se *flipflopovi*.

### 3.1.1 Leč kola

Kod leč kola, izlaz stalno prati promene na ulazu, te se za ova kola može reći da su *transparentna*. Leč kola mogu posedovati i ulaz za signal dozvole, kada do promene stanja izlaza može doći samo ako je signal dozvole aktivan. Postoji više vrsta leč kola, a ovde će biti analizirani SR leč sa NILI i NI kolima, SR leč sa dozvolom i D leč.

#### SR leč sa NILI kolima

Ako se invertori u kolu sa slike 3.1a zamene NILI kolima sa dva ulaza, dolazi se do SR leča sa NILI kolima koji je predstavljen na slici 3.3a.



**Slika 3.3** (a) SR leč sa NILI kolima; (b) uobičajena simetrična forma SR leča sa NILI kolima; (c) grafički simbol SR leča.

Ulazi logičkog kola sa slike 3.3a označeni su sa  $S$  i  $R$  a izlazi sa  $Q$  i  $\bar{Q}$ . Ako je  $S = 0$  i  $R = 0$ , izlazi  $Q$  i  $\bar{Q}$  će ostati u zatečenom stanju. To znači da kombinacija na ulazu  $S = R = 0$  ne dovodi do promene stanja izlaza leča.

Ako je na ulazu  $R$  logička jedinica a na ulazu  $S$  logička nula, izlaz  $Q$  će biti postavljen u stanje logičke nule a izlaz  $\bar{Q}$  u stanje logičke jedinice bez obzira na prethodno stanje izlaza. Kada se na ulaz dovede kombinacija  $S = 0$  i  $R = 1$ , izlaz leča zauzima stanje  $Q = 0$  i  $\bar{Q} = 1$ , te se kaže se da je leč *resetovan*. Slično, ako je na ulazu  $S$  logička jedinica a na ulazu  $R$  logička nula, izlaz  $Q$  će biti postavljen u stanje logičke jedinice a izlaz  $\bar{Q}$  u stanju logičke nule bez obzira na prethodno stanje. Kada je na izlazu  $Q = 1$  i  $\bar{Q} = 0$ , onda se kaže da je leč *setovan*. Zbog toga se ovo bistabilno kolo naziva *set-reset leč* ili kraće *SR leč*.

Kao što se vidi iz sprovedene analize, setovanje leča vrši se dovođenjem logičke jedinice na  $S$  ulaz, a resetovanje dovođenjem jedinice na  $R$  ulaz. Pošto se postavljanje stanja leča vrši dovođenjem logičke jedinice na odgovarajući ulaz kola, kaže se da je *aktivni nivo visok*.

Ako se na ulazu leča pojavi kombinacija  $S = R = 1$ , oba izlaza prelaze u stanje logičke nule. S obzirom na to da izlazi bistabilnog kola moraju biti komplementarni, kolo ne radi kao bistabilno, te je kombinacija na ulazu  $S = R = 1$  *nedozvoljena*. Na slici 3.3b SR leč sa NILI kolim nacrtan je u uobičajenoj, simetričnoj formi. Na slici 3.3c dat je grafički simbol za SR leč.

Rad SR leča koji je realizovan sa NILI kolima može se predstaviti *funkcionalnom tablicom* (tabela 3.1) koja sadrži sve moguće kombinacije stanja na ulazima i odgovarajuća stanja na izlazima leča. U ovoj tabeli sa  $Q_n$  je označeno trenutno a sa  $Q_{n+1}$  naredno stanje.

U sintezi sekvencijalnih mreža se pored funkcionalne tabele koristi i *eksitaciona tabela* ili *tabela pobude*. Eksitaciona tabela se može izvesti iz funkcionalne tabele i ona pokazuje stanje na ulazima koje prevode kolo u željeno stanje. Za pojedine prelaze nije važno da li je na nekom ulazu 0 ili 1 i takvo stanje na ulazu označava se sa  $x$ . U tabeli 3.1b data je eksitaciona tabela SR leča sa NILI kolima.

**Tabela 3.1** (a) Funkcionalna i (b) eksitaciona tabela SR leča sa NILI kolima.

$S$	$R$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	Nedozvoljeno stanje	

$Q_n$	$Q_{n+1}$	$S$	$R$
0	0	0	x
0	1	1	0
1	0	0	1
1	1	x	0

(a)

(b)

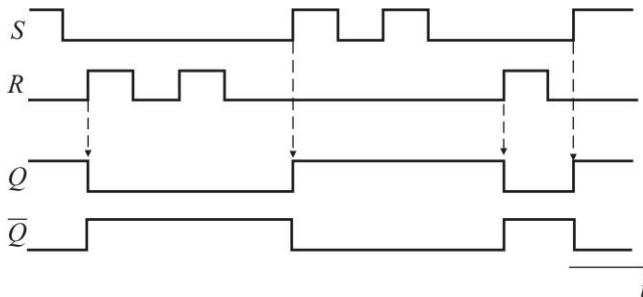
Rad SR leča se može opisati i pomoću logičke funkcije, koja se naziva *funkcionalna jednačina* ili *karakteristična jednačina*. Na osnovu funkcionalne tabele SR leča može se napisati njegova funkcionalna jednačina

$$Q_{n+1} = S\bar{R} + \bar{S}\bar{R}Q_n, \quad (3.1)$$

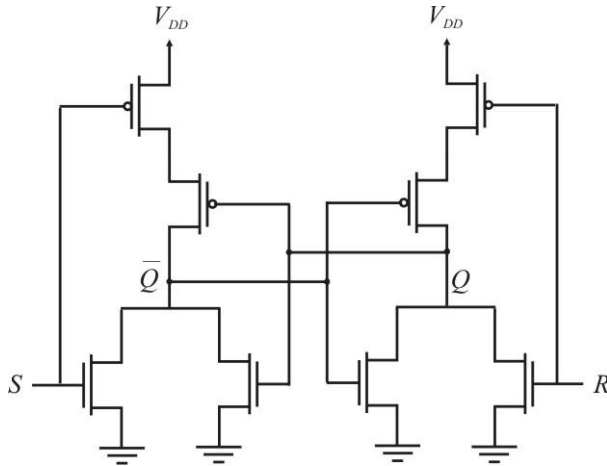
koja se može predstaviti i u minimalnoj formi

$$Q_{n+1} = S + \bar{R}Q_n. \quad (3.2)$$

Rad SR leča sa NILI kolima ilustrovan je vremenskim dijagramom signala na slici 3.4.

**Slika 3.4** Ilustracija rada SR leča sa NILI kolima.

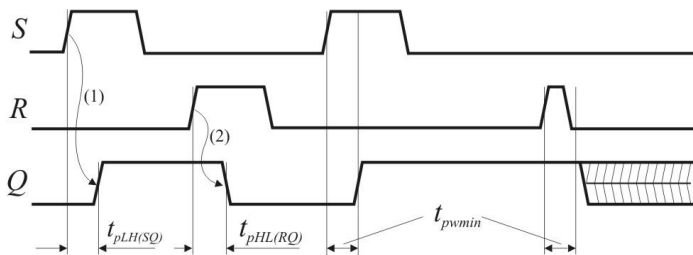
Polazeći od logičke šeme SR leča sa NILI kolima, koja je data na slici 3.3b, dolazi se do realizacije ovog leča u CMOS tehnici. Na slici 3.5 data je električna šema CMOS SR leča.



Slika 3.5 CMOS realizacija SR leča sa NILI kolima.

Sa slike 3.5 se vidi da su u realizaciji SR leča korišćena dva CMOS NILI kola, koja su analizirana u drugoj glavi i predstavljena na slici 2.18.

Za analizu dinamičkih karakteristika SR leča mogu poslužiti vremenski dijagrami signala sa slike 3.6.



Slika 3.6 Vremenske karakteristike SR leča

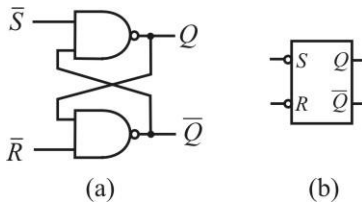
Vreme kašnjenja se definiše kao interval vremena koji protekne od promene signala na ulazu do promene signala na izlazu leča. Za SR leč se mogu definisati vremena kašnjenja između ulaza  $S$  i izlaza  $Q$  i  $\bar{Q}$  i između ulaza  $R$  i izlaza  $Q$  i  $\bar{Q}$ . Pored toga, vreme kašnjenja se može specificirati pri prelazu signala na ulazu sa niskog na visok nivo i pri prelazu ulaznog signala sa visokog na nizak nivo. Prelaz signala na  $S$  ulazu sa niskog na visok nivo, koji je na slici 3.6 označen sa (1), dovodi do promene stanja na izlazu  $Q$  sa kašnjenjem  $t_{pLH(SQ)}$ . Slično, prelaz signala na  $R$  ulazu sa niskog na visok nivo, koji je na slici 3.6 označen sa (2), dovodi do promene stanja na izlazu  $Q$  sa kašnjenjem  $t_{pHL(RQ)}$ . Mogu se definisati i vremena kašnjenja  $t_{pHL(S\bar{Q})}$  i  $t_{pLH(R\bar{Q})}$ , koja nisu prikazana na slici 3.6.

Važna vremenska karakteristika leča je i *minimalna širina pobudnog impulsa*  $t_{pwmin}$  (*minimum pulse width*). Da bi izlaz leča zauzeo stabilno stanje

trajanje pobudnog signala treba da bude duže od ukupnog kašnjenja u kružnoj petlji koja obuhvata oba NILI kola i koje iznosi  $t_{pHL} + t_{pLH}$ . Ako je širina impulsa na  $S$  ili  $R$  ulazu manja od minimalne, leč odlazi u *nestabilno stanje* (*metastable state*) i u ovom stanju ostaje sve dok se na ulaz ne dovede impuls čije je trajanje duže od  $t_{pmin}$ .

### SR leč sa NI kolima

Za realizaciju SR leča mogu se umesto NILI kola koristiti NI kola, kao što je prikazano na slici 3.7a. Na slici 3.7b predstavljen je grafički simbol koji se koristi za SR leč sa NI kolima.



**Slika 3.7** SR leč NI kolima: (a) logička šema; (b) grafički simbol.

Analizom SR leča sa NI kolima dolazi se do funkcionalne tablice 3.2. Iz ove tablice se vidi da se postavljanje izlaza  $Q$  u stanje logičke jedinice vrši kombinacijom  $\bar{S} = 0$  i  $\bar{R} = 1$ , dok se postavljanje izlaza u stanje  $Q = 0$  vrši kombinacijom  $\bar{S} = 1$  i  $\bar{R} = 0$ . Može se zapaziti da se kod SR leča sa NI kolima setovanje leča vrši dovođenjem logičke nule na  $S$  ulaz i da se resetovanje vrši dovođenjem nule na  $R$  ulaz, te se kaže da je *aktivan nizak nivo*. Zbog toga su na šemi ovog bistabilnog kola ulazi označeni sa  $\bar{S}$  i  $\bar{R}$ , a na grafičkom simbolu kola na ulazima se nalaze kružići.

Između SR leča sa NILI kolima i SR leča sa NI kolima postoji još jedna razlika. Ona se odnosi na nedozvoljenu kombinaciju na ulazu. Kod SR leča sa NILI kolima nedozvoljena kombinacija na ulazu je  $S = 1$  i  $R = 1$ , dok je kod SR leča sa NI kolima nedozvoljena kombinacija na ulazu  $\bar{S} = 0$  i  $\bar{R} = 0$ .

**Tabela 3.2** Funkcionalna tabela SR leča sa NI kolima.

$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	Nedozvoljeno stanje	
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\bar{Q}_n$

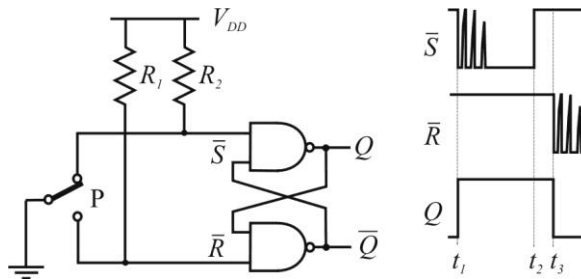
Realizacija SR leča sa NI kolima u CMOS tehnici izvodi se na sličan način kao i realizacija SR leča sa NILI kolima. Za realizaciju SR leča sa NI kolima

potrebno je koristiti dva dvoulazna CMOS NI kola, čija je električna šema data na slici 2.19.

### Primer 3.1

U ovom primeru biće pokazano kako se korišćenjem SR leča mogu eliminisati smetnje koje generiše mehanički prekidač kada se uključi odnosno isključi.

Činjenica da ponovljeni impulsi na S ili R ulazu SR leča nemaju efekta nakon što inicijalni impuls setuje ili resetuje leč, može se iskoristi za ukljanjanje smetnji koje se javljaju kod mehaničkih prekidača usled poskakivanja odnosno višestrukog spajanja i razdvajanja kontakta. Na slici P3.1 ilustrovano je kako se smetnje koje generiše mehanički prekidač mogu eliminisati pomoću SR leča.



Slika P3.1

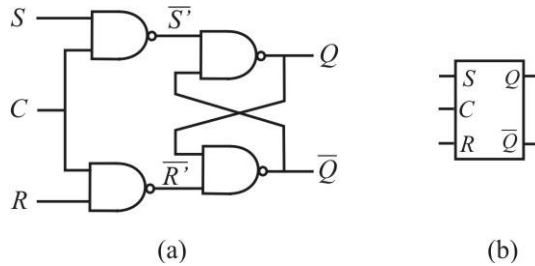
Kada se prekidač P prebaci u gornji položaj stanje na  $\bar{S}$  ulazu se promeni sa 1 na 0 a na  $\bar{R}$  ulaz se preko otpornika  $R_1$  dovodi logička jedinica. Dovodjenjem logičke nule na  $\bar{S}$  ulaz u trenutku  $t_1$  izlaz leča se postavlja u stanje  $Q=1$  i naredni impulsi na  $\bar{S}$  ulazu koji su posledica poskakivanja kontakta ne dovode do promene stanja leča. Kada se prekidač vraća u donji položaj u jednom kratkom intervalu od  $t_1$  do  $t_2$  na oba ulaza leča biće  $\bar{S} = \bar{R} = 1$  te stanje leča ostaje nepromenjeno sve do trenutka  $t_3$  kada se preko prekidača P ulaz  $\bar{R}$  spoji na 0 V što dovodi do resetovanja leča i kompletiranja impulsa na izlazu  $Q$ .

### SR leč sa dozvolom

Prethodno analizirana SR leč kola reaguju na promene ulaznih signala ako do ovih promena dođe u bilo kom trenutku. U nekim primenama zahteva se da se promena stanja izlaza leča omogući samo u određenim vremenskim intervalima, kada je aktivan kontrolni signal  $C$ . Zbog toga se ovaj signal naziva *signal dozvole*. Signal dozvole se često označava i sa  $E$  ili  $EN$  (od eng. *Enable*). Leč koji menja stanje samo kada je aktivan signal dozvole naziva se *SR leč sa dozvolom*. Na slici 3.8a. prikazana je šema SR leča sa dozvolom koji je realizovan pomoću NI kola, dok je na slici 3.8b dat grafički simbol za ovaj tip SR leča.



**Slika 3.8** SR leč sa dozvolom: (a) logička šema; (b) i grafički simbol.



Sa slike 3.8a se vidi da su za  $C = 0$  izlazi NI kola  $\bar{S}' = \bar{R}' = 1$ , te eventualna promena stanja na  $S$  i  $R$  ulazima nema uticaja i SR leč će zadržati prethodno stanje. Kada je  $C = 1$ , invertovane vrednosti logičkih nivo sa  $S$  i  $R$  ulaza su prisutne na  $\bar{S}'$  i  $\bar{R}'$  ulazima SR leča sa NI kolima. Setovanje SR leča vrši se kada je  $\bar{S}' = 0$  i  $\bar{R}' = 1$ , dok se resetovanje vrši kada je  $\bar{S}' = 1$  i  $\bar{R}' = 0$ . Treba napomenuti da je za pouzdan rad kola potrebno da signal dozvole ne bude kraći od minimalne dozvoljene vrednosti.

Funkcionalna tablica SR leča sa dozvolom data je u tabeli 3.3. Kada je signal dozvole aktivan, tj.  $C = 1$ , onda na ulazu nije dozvoljena kombinacija  $S=R=1$ , jer bi tada oba izlaza leča bila u stanju logičke jedinice, što nije dozvoljeno.

**Tabela 3.3** Funkcionalna tabela SR leča sa dozvolom.

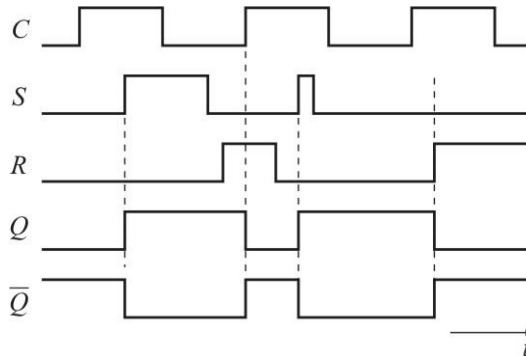
$S$	$R$	$C$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	$Q_n$	$\bar{Q}_n$
0	1	1	0	1
1	0	1	1	0
1	1	1	Nedozvoljeno stanje	
X	X	0	$Q_n$	$\bar{Q}_n$

Ako je kontrolni signal  $C$  periodičan takti signal, onda se za SR leč sa dozvolom kaže da je *taktovan*, a za ovakav leč se koristi i naziv *sinhroni SR leč*.

Rad SR leča sa dozvolom ilustrovan je pomoću vremenskih dijagrama signala na slici 3.9.

Sa slike 3.9 se vidi da je leč osetljiv na nivo signala na  $S$  i  $R$  ulazima kada je  $C = 1$ , te i neželjeni *impuls smetnje* ili *glič* (eng. *glitch*) koji bi se tada pojavio na ulazu može setovati ili resetovati leč.

**Slika 3.9** Ilustracija rada SR leča sa dozvolom.

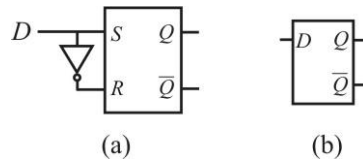


## D leč

Ako se bistabilno kolo koristi za pamćenje jednog bita, onda ono može imati samo jedan ulaz na koji se dovodi logičko stanje koje odgovara bitu koji se memoriše. Stanje na izlazu ovakvog bistabilnog kola biće određeno stanjem koje je prisutno na ulazu. Bistabilno leč kolo za pamćenje jednog bita naziva se *D leč*.

D leč se može dobiti povezivanjem jednog logičkog invertora između *S* i *R* ulaza SR leča. Ulazni signal kod D leča vodi se direktno na *S* ulaz a njegova invertovana verzija na *R* ulaz, kao što je predstavljeno na slici 3.10a. Na slici 3.10b dat je grafički simbol za D leč.

**Slika 3.10** D leč: (a) logička šema; (b) grafički simbol.



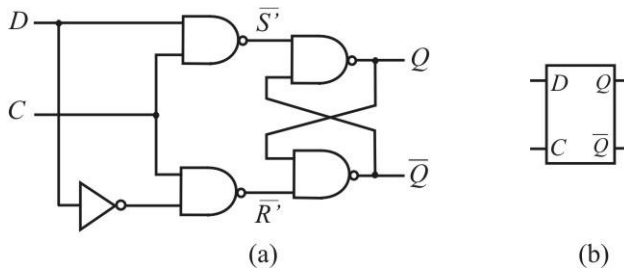
Dovođenjem invertovanog ulaznog signala na reset ulaz SR leča onemogućena je nedozvoljena kombinacija stanja na ulazu koja je mogla biti prisutna kod SR leča. U tabeli 3.4 prikazana je funkcionalna tabela D leča.

**Tabela 3.4** Funkcionalna tabela D leča

$D$	$Q$	$\bar{Q}$
0	0	1
1	1	0

## D leč sa dozvolom

Za realizaciju *D leča sa dozvolom* koristi se SR leč sa dozvolom, kome se na ulaz doda logički invertor, kao što je pokazano na slici 3.11a. Na slici 3.11b prikazan je grafički simbol za D leč sa dozvolom.



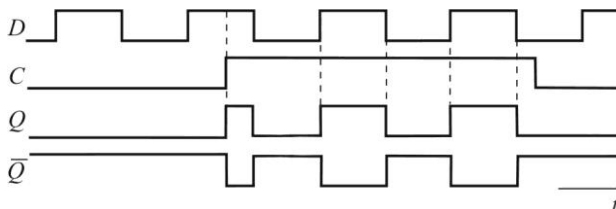
**Slika 3.11** D leč sa dozvolom: (a) logička šema; (b) grafički simbol.

Kada je u kolu sa slike 3.11a kontrolni signal  $C = 0$ , tada je  $\bar{S}' = \bar{R}' = 1$  i promena stanja izlaza je onemogućena. Kada je  $C = 1$ , onda su stanja  $\bar{S}'$  i  $\bar{R}'$  određena stanjem na ulazu  $D$ . Kada je  $D = 1$ , biće  $\bar{S}' = 0$  i  $\bar{R}' = 1$ , te će izlaz  $Q$  biti u stanju logičke jedinice. Ako je  $D = 0$ , onda je  $\bar{S}' = 1$  i  $\bar{R}' = 0$ , te će izlaz leča biti u stanju logičke nule. Dakle, kada je  $C = 1$  izlaz  $Q$  uzima trenutnu vrednost koja je prisutna na ulazu  $D$ , a kada je  $C = 0$ , izlaz  $Q$  ostaje u prethodnom stanju. Funkcionalna tabela D leča sa dozvolom data je u tabeli 3.5.

**Tabela 3.5** Funkcionalna tabela D leča sa dozvolom.

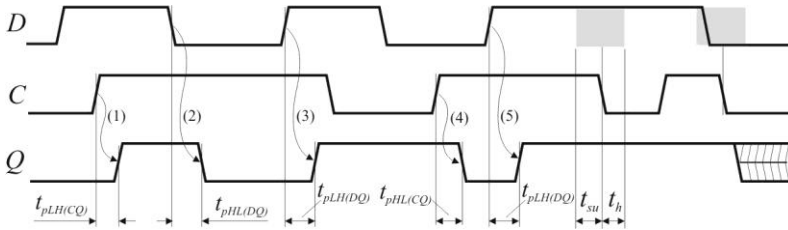
$D$	$C$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	1	0	0
1	1	1	1
X	0	$Q_n$	$\bar{Q}_n$

Na slici 3.12 ilustrovan je rad D leča sa dozvolom pomoću vremenskih dijagrama ulaznih i izlaznih signala. Kada je signal  $C$  aktivan, stanje izlaza  $Q$  prati stanje na ulazu  $D$  i leč je *transparentan*. Kada se  $C$  vrati na nivo logičke nule stanje na izlazu se zamrzava i ne menja se sve dok je  $C = 0$ .



**Slika 3.12** Ilustracija rada D leča sa dozvolom.

Za analizu dinamičkih karakteristika SR leča mogu poslužiti vremenski dijagrami signala sa slike 3.13. Na ovoj slici su označena vremena kašnjenja signala od  $C$  ili  $D$  ulaza do izlaza  $Q$  i ona se odnose na prelaze (1)-(5).



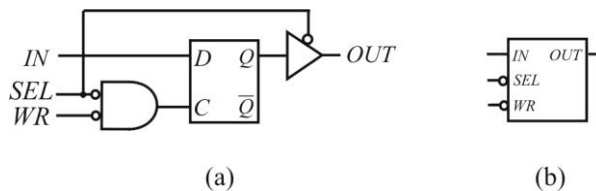
**Slika 3.13** Vremenske karakteristike D leča sa dozvolom

Premda je kod D leča eliminisana nedozvoljena kombinacija  $S = R = 1$  koja je dovodila do metastabilnog stanja kod SR leča, ovim nije u potpunosti otklonjen problem nestabilnosti izlaza. Za ispravan rad kola potrebno je da podatak na D ulazu bude stabilan za vreme  $t_{su}$  (*setup time*) pre i za vreme  $t_h$  (*hold time*) posle promene stanja na C ulazu sa 1 na 0. Ako u ovom intervalu vremena, koji je na slici 3.13 osenčen, dođe do promene stanja na D ulazu, stanje izlaza biće nepredvidivo ili nestabilno, kao što je slučaj kod poslednjeg prelaza signala C sa 1 na 0.

### Primer 3.2

U ovom primeru biće pokazano kako se realizuje memorijska ćelija statičke RAM memorije za pamćenje jednog bita.

D leč se koristi za realizaciju osnovne memorijske ćelije statičke RAM memorije (*SRAM cell*) u kojoj se pamti jedan bit. Šema memorijske ćelije sa D lečom je predstavljena na slici P3.2a. U šemi sa ove slike korišćene su uobičajene oznake za ulaze i izlaze kod memorijske ćelije. Sa *IN* je obeležen ulaz za podatak a sa *OUT* izlaz. Za selektovanje ćelije koristi se ulaz *SEL*, dok se ulaz *WR* (od eng. *write*) koristi da se omogući upis podatka u D leč.



**Slika P3.2** Ćelija SRAM memorije realizovana pomoću D leča: (a) šema kola; (b) grafički simbol memorijske ćelije.

Kada je na ulazu *SEL* logička nula, sadržaj memorisan u leču je prisutan na izlazu *OUT* trostatičkog bafera. Kada su na ulazima *SEL* i *WR* jednovremeno logičke nule, omogućen je upis bita u D leč. Opisana memorijska ćelija biće iskorišćena za realizaciju SRAM memorije, koja će biti izvršena u četvrtoj glavi u primeru 4.4.

## D leč realizovan pomoću multipleksera

U cilju smanjenja broja tranzistora, u CMOS integrisanoj tehnici se za realizaciju logičkih i bistabilnih kola koriste tranzistorske prekidačke strukture, kao što je npr. ranije opisano transmisiono kolo. Jedno takvo rešenje D leča, koje će ovde biti opisano, zasniva se na korišćenju dvoulaznog multipleksera. Multiplekseri će biti detaljno analizirani u poglavlju 4.1.5, a u analizi koja sledi biće korišćena funkcionalna jednačina dvoulaznog multipleksera

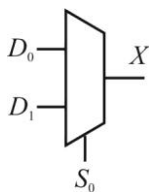
$$X = D_0 \bar{S}_0 + D_1 S_0 \quad (3.3)$$

pri čemu su  $D_0$  i  $D_1$  ulazi za podatke,  $S_0$  upravljački ulaz, dok je  $X$  izlaz multipleksera.

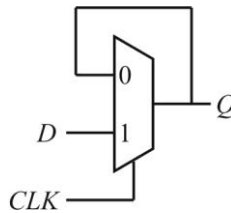
Ako se uporede funkcionalne jednačine dvoulaznog multipleksera (3.3) i D leča sa dozvolom

$$Q_{n+1} = Q_n \bar{C} + DC \quad (3.4)$$

jasno je da se D leč može realizovati korišćenjem jednog dvoulaznog multipleksera, kao što je prikazano blok šemom na slici 3.14a. Na ovoj slici ulazi za podatke dvoulaznog multipleksera su označeni sa 0 i 1, dok se na selekcionom ulazu dovodi takti signal  $CLK$ . Na slici 3.14b data je funkcionalna tabela D leča.



(a)



(b)

$D$	$CLK$	$Q_{n+1}$
X	0	$Q_n$
0	1	0
1	1	1

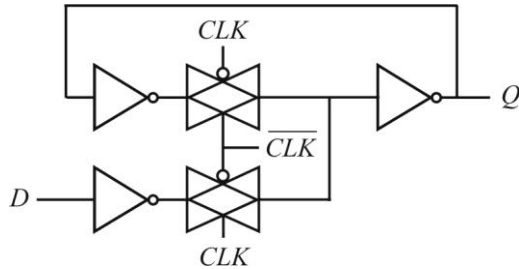
(c)

**Slika 3.14** (a) Dvoulazni multiplekser; D leč realizovan pomoću dvoulaznog multipleksera; (b) blok šema; (c) funkcionalna tabela.

Kada je  $CLK = 1$  selektovan je ulaz 1 koji je povezan sa izlazom i podatak sa  $D$  ulaza se prosleđuje na izlaz  $Q$ . Za vreme dok je  $CLK = 0$  kolo je transparentno i izlaz prati promene na ulazu. Kada je  $CLK = 0$  stanje sa izlaza se preko povratne sprege dovodi na ulaz 0 i ponovo pojavljuje na izlazu, te tako ostaje zapamćeno sve dok je na ulazu za takt logička nula.

Primer implementacije D leča korišćenjem invertora i transmisionih kola koja se koriste kao prekidači prikazan je na slici 3.15.

**Slika 3.15** Realizacija D leča pomoću transmisionih kola.



Kada je  $CLK = 1$  donji bidirekcionni prekidač sa slike 3.15 je zatvoren i podatak sa  $D$  ulaza je prisutan na  $Q$  izlazu. Tokom ove faze raskinuta je povratna sprega jer je gornji bidirekcionni prekidač otvoren. Kada je  $CLK = 0$  zatvara se povratna sprega a raskida veza sa ulazom  $D$  i podatak ostaje zapamćen. Može se zaključiti da će podatak prisutan na  $D$  ulazu neposredno pre prelaza  $CLK$  signala sa 1 na 0 biti memorisan i prisutan na izlazu  $Q$ .

Da bi kolo ispravno radilo potrebno je da stanje na  $D$  ulazu bude stabilno kratko vreme pre i posle promene stanja  $CLK$  signala. To je vreme postavljanja  $t_{su}$  (setup time) i vreme držanja  $t_h$  (hold time). Ako ovaj uslov nije ispunjen onda može doći do pojave nedefinisanog stanja kola.

Za realizaciju D leča sa slike 3.15 potrebno je koristiti po par CMOS tranzistora za svaki inverter i po par CMOS tranzistora za svako transmisiono kolo, odnosno ukupno 10 MOS tranzistora. Valja napomenuti da se umesto transmisionih kola kao prekidači mogu koristiti MOS tranzistori, čime se dodatno štede dva tranzistora. Pored toga, ovakvim rešenjem prekidača manje se kapacitivno opterećuje signal takta, koji je zajednički za veći broj sekvencijalnih kola. Za realizaciju D leča sa slike 3.11 potrebno je koristiti 4 dvoulazna NI kola i jedan inverter. NI kola imaju onoliko parova CMOS tranzistora koliko imaju ulaza, tako da je za jedno NI kolo potrebno koristiti 4 MOS tranzistora. To znači da leč sa slike 3.11 sadrži 16 MOS tranzistora kojim se realizuju NI kola i 2 tranzistora korišćena za realizaciju invertora, odnosno ukupno 18 tranzistora, što je znatno više od broja tranzistora upotrebljenih za realizaciju D leča pomoću transmisionih kola.

### 3.1.2 Flipflopovi

Flipflop je bistabilno kolo koje se, kao i leč, koristi za pamćenje logičkog stanja. Osnovna razlika između leča i flipflopa je što se stanje na izlazu leča menja u trenutku promene stanja ulaza, dok kod flipflopa do promene stanja izlaza može doći samo u trenutku usponske ili silazne ivice odgovarajućeg kontrolnog signala. Zbog toga se kaže da su leč kola osetljiva na *nivo* a flipflopovi na *ivicu* signala. Posle usponske ili silazne ivice kontrolnog signala stanje flipflopa ostaje nepromenjeno čak i ako dođe do promene stanja na ulazima. Kao kontrolni signal

najčešće se koristi periodična povorka pravougaonih impulsa, pa se ovaj signal naziva i *taktni signal* ili *signal takta* (*clock signal*).

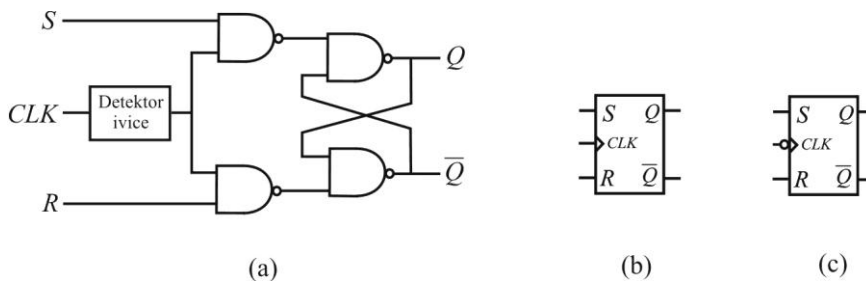
Taktni signal se dobija iz generatora takta i on je po pravilu pravougaonog talasnog oblika sa podjednakim trajanjem visokog i niskog nivoa. Potrebno je naglasiti da se signal takta koristi za sinhronizaciju rada kola sa ostatkom digitalnog sistema i da on ne vrši logičku transformaciju signala koji se obrađuju. S obzirom na to da je rad flipflopova sinhronizovan taktnim signalom, brzina rada čitavog digitalnog sistema određena je učestanošću takta.

Postoje raznovrsne konstrukcije flipflopova i mnoštvo komercijalnih rešenja, a kao osnovni element u realizaciji flipflopa koristi se leč. Flipflopovi mogu biti tako konstruisani da sadrže generator kratkog pozitivnog ili negativnog okidnog impulsa kojim se vrši okidanje kola. U realizaciji flipflopova često se koristi *master-slejev* (*master-slave*) struktura koja sadrži dva leča povezana kaskadno, od kojih je jedan aktivan kada je takt na niskom nivou a drugi kada je takt visok. Pored navedenih, postoje i druge specijalizovane strukture flipflopova.

Zahvaljujući svojoj jednostavnosti, D leč predstavlja osnovno bistabilno kolo koje se realizuje u CMOS tehnici. Sinteza D flipflopa i ostalih vrsta flipflopova se može ostvariti pogodnom konfiguracijom kola sa D lečom i transformacijom D flipflopa u druge tipove flipflopova. Zahtevana transformacija se svodi na sintezu dodatne kombinacione mreže koja realizuje logičku funkciju novog flipflopa.

### SR flipflop sa ivičnim okidanjem

Postoji veći broj varijanti SR flipflopa sa ivičnim okidanjem i na slici 3.16a je prikazan uprošćen model ovog kola u kome se okidanje vrši pomoću kratkih impulsa koji se dobijaju na izlazu *detektora ivice*.



**Slika 3.16** SR flipflop sa ivičnim okidanjem: (a) model kola; (b) grafički simbol SR flipflopa sa okidanjem na rastuću ivicu; (c) grafički simbol SR flipflopa sa okidanjem na opadajuću ivicu.

Za predstavljanje SR flipflopa sa ivičnim okidanjem koristi se simbol sličan onom koji je korišćen za bistabilno leč kolo sa dozvolom, s tim što se ulaz za dozvolu zamenjuje ulazom za takt. Pored toga, ulaz takta je obeležen trouglom, što

treba da ukaže na *ivično* ili *dinamičko okidanje* kola. Na slici 3.16b dat je grafički simbol SR flipflopa sa *okidanjem na rastuću ivicu* takta. Ako se okidanje vrši *opadajućom ivicom*, onda je ispred trougla ucrtan kružić, kao što je prikazano na slici 3.16c.

Flipflop sa slike 3.16a ima strukturu koja je slična strukturi SR leča sa dozvolom (slika 3.8) i osim što sadrži SR leč sa dozvolom, sadrži i kolo za detekciju ivice. Kada dođe do prelaza signala  $CLK$  sa niskog na visok nivo odnosno do pojave rastuće ivice takta, detektor ivice generiše kratak impuls koji omogućiti postavljanje SR leča u stanje koje je definisano preko  $S$  i  $R$  ulaza. U odsustvu ivice taktnog signala flipflop ostaje u zatečenom stanju, odnosno stanje izlaza se ne menja. Da bi izlaz flipflopa zauzeo stabilno stanje trajanje okidnog impulsa na izlazu detektora ivice mora biti duže od ukupnog kašnjenja od ulaza do izlaza flipflopa.

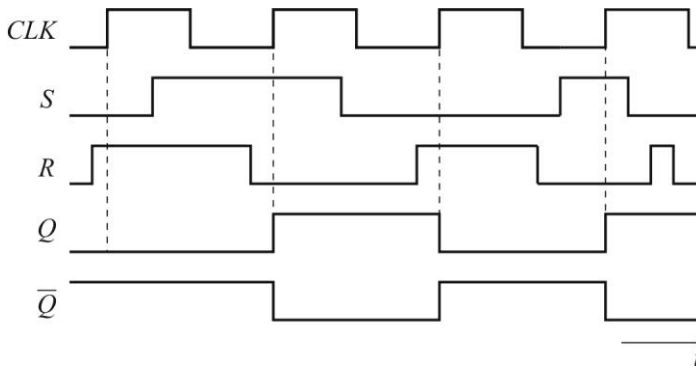
Kao i kod SR leča, kombinacija  $S = R = 1$  na ulazu flipflopa je zabranjena jer dovodi oba izlaza  $Q$  i  $\bar{Q}$  u stanje logičke jedinice, što nije dozvoljeno. Do funkcionalne tablice SR flipflopa sa slike 3.16a, koja je prikazana u tabeli 3.6, lako se dolazi ako se poznaje rad SR leča sa dozvolom. Do promene stanja izlaza može doći samo pri pojavi usponske (rastuća) ivice takta, koja je u tabeli 3.6 obeležena simbolom ( $\uparrow$ ).

**Tabela 3.6** Funkcionalna tablica SR flipflopa sa ivičnim okidanjem.

$S$	$R$	$CLK$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$\uparrow$	$Q_n$	$\bar{Q}_{n-1}$
0	1	$\uparrow$	0	1
1	0	$\uparrow$	1	0
1	1	$\uparrow$	Nedozvoljeno stanje	
X	X	0	$Q_n$	$\bar{Q}_n$
X	X	1	$Q_n$	$\bar{Q}_n$

Rad SR flipflopa ilustrovan je pomoću vremenskih oblika signala na slici 3.17. Kao što se vidi sa slike 3.17, u određenom vremenskom intervalu oba ulaza flipflopa su u stanju logičke jedinice. Ovakva situacija nije bila dopuštena kod SR leča jer je dovodila do neodređenog stanja izlaza. Međutim, kod SR flipflopa ova kombinacija ulaza nema efekta na izlaz jer do promene stanja izlaza dolazi jedino u trenutku pojave okidnog impulsa.



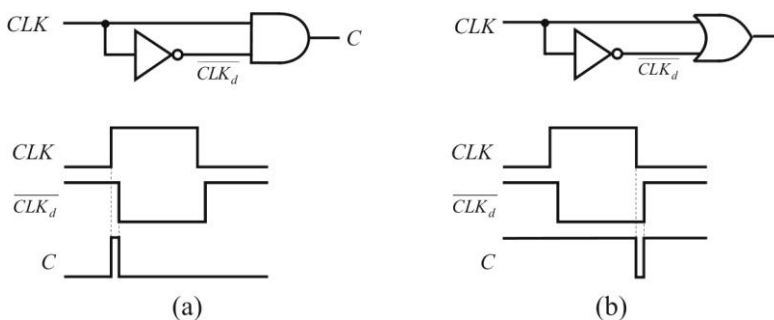


**Slika 3.17** Ilustracija rada SR flipfopa sa okidanjem na usponsku ivicu.

Funkcionisanje kola osetljivog na opadajuću ivicu okidnog signala odvija se na način koji je identičan funkcionisanju prethodno opisanog flipfopa. Kada do okidanja dolazi pri opadajućoj (silaznoj) ivici takta, u funkcionalnoj tablici se koristi simbol ( $\bar{\downarrow}$ ).

Za generisanje kratkotrajnog pozitivnog okidnog impulsa u trenutku rastuće ivice takta može poslužiti kolo sa slike 3.18a. Rad ovog kola se zasniva na kašnjenju ulaznog signala kroz logički inverter.

Kada u kolu sa slike 3.18a dođe do promene stanja na  $CLK$  liniji sa 0 na 1, izlaz invertora će preći sa 1 na 0 ali sa kašnjenjem  $t_p = t_{pHL}$  koliko iznosi kašnjenje opadajuće ivice logičkog invertora. Na izlazu I kola biće generisan impuls širine  $t_{pHL}$ , kao što je ilustrovano preko vremenskih dijagrama signala sa slike 3.18a. Na istom principu radi i detektor ivice koji generiše kratak negativan impuls, a električna šema i ilustracija rada ovog kola preko vremenskog dijagrama data je na slici 3.18b.



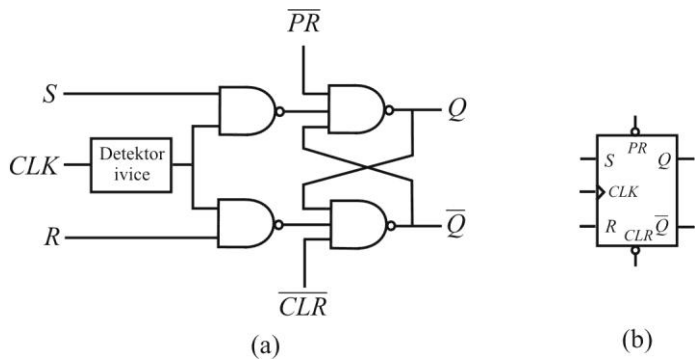
**Slika 3.18** Detektor ivice taktnog signala: (a) generisanje okidnog signala na rastuću ivicu; (b) generisanje okidnog signala na opadajuću ivicu.

Pored  $S$  i  $R$  ulaza, SR flipflop može raspolagati dodatnim kontrolnim ulazima koji utiču na rad flipfopa nezavisno od takta. Takvi ulazi se nazivaju *asinhroni ulazi* jer njihov rad nije sinhronizovan sa taktom. Asinhroni ulazi se

koriste za postavljanje flipflopa u poznato stanje. Ulaz  $PR$  (*preset*, sinonim za *set*) se koristi za setovanje a ulaz  $CLR$  (*clear*) za resetovanje flipflopa. Ulaz  $PR$  se često označava  $S_D$  a ulaz  $CLR$  kao  $R_D$ . Na slici 3.19a prikazana je uprošćena šema SR flipflopa sa okidanjem na rastuću ivicu i priključcima za direktno setovanje i resetovanje, koji su aktivni na niskom nivou. Grafički simbol SR flipflopa sa ulazima za setovanje i resetovanje prikazan je na slici 3.19b.

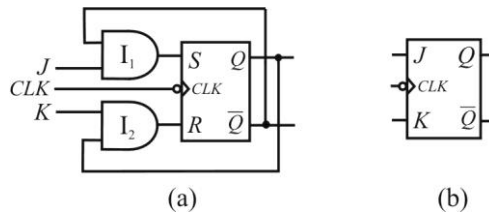
Ulazi  $PR$  i  $CLR$  se najčešće koriste tokom inicijalizacije digitalnog sistema, za postavljanje flipflopova u željeno početno stanje. Ove ulaze osim SR flipflopa poseduju i drugi tipovi flipflopova, koji će biti opisani u nastavku ovog poglavlja, i oni se izvode na sličan način kao što je to urađeno u kolu sa slike 3.19a.

**Slika 3.19** SR flipflop sa ulazima za direktno setovanje i resetovanje:  
(a) šema kola;  
(b) grafički simbol.



## JK Flipflop

Analiza SR flipflopa pokazuje da je na izlazu ovog kola nedozvoljeno stanje kada je na ulazu  $S = R = 1$ . Ovaj problem može se rešiti tako što se SR flipflop u ulazu dodaju dva I kola i uvedu nove povratne sprege sa izlaza na ulaz, koje obuhvataju SR flipflop i I kola, kao što je prikazano na slici 3.20.



**Slika 3.20** JK flipflop: (a) logička šema kola; (b) grafički simbol za JK flipflop sa okidanjem opadajućom ivicom.

Kada su ulazi  $J = K = 0$  onda je  $S = R = 0$  bez obzira na stanja izlaza  $Q$  i  $\bar{Q}$ . Ako tokom ovakvog stanja ulaza dođe do pojave opadajuće ivice takta, izlazi flipflopa  $Q$  i  $\bar{Q}$  će zadržati prethodno stanje.

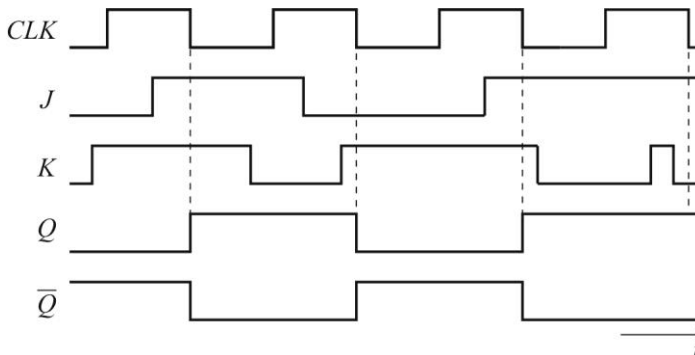
Ako su  $J = 1$  i  $K = 0$  u trenutku pojavljivanja opadajuće ivice takta, promena do koje će doći zavisi od zatečenog stanja izlaza. Kada je  $Q = 0$  i  $\bar{Q} = 1$  na oba ulaza kola  $I_1$  biće logičke jedinice, te će i ulaz  $S$  biti u stanju logičke jedinice, odnosno flipflop će biti setovan. Ako je  $Q = 1$ , onda je  $\bar{Q} = 0$ , te je i  $S = 0$ . S obzirom na to da je i  $K = 0$ , pod dejstvom okidnog impulsa neće doći do promene stanja izlaza.

Kada je  $J = 0$  i  $K = 1$  u trenutku pojavljivanja opadajuće ivice takta flipflop će biti resetovan.

Ako su stanja ulaza  $J = 1$  i  $K = 1$  u trenutku pojavljivanja okidnog impulsa, pod dejstvom povratnih veza doći će do promene stanja flipflopa. Kada je  $J = K = 1$  i na izlazu  $Q = 1$ , onda je  $S = 0$  i  $R = 1$ , te će pod dejstvom okidnog impulsa flipflop biti resetovan. Ako je pak  $Q = 0$  onda je  $S = 1$  i  $R = 0$  te će pod dejstvom okidnog impulsa flipflop biti setovan. Dakle, ako je  $J = K = 1$  u trenutku pojavljivanja opadajuće ivice okidnog impulsa, doći će do promene logičkog stanja izlaza bez obzira na tekuće stanje, odnosno izlazi će kad god se pojavi odgovarajuća ivica taktnog signala prelaziti iz jednog u drugo stanje. Funkcionalna tabela JK flipflopa sa okidanjem na opadajuću ivicu data je u tabeli 3.7. Na slici 3.21 rad JK flipflopa je ilustrovan vremenskim dijagramima.

**Tabela 3.7** Funkcionalna tabela JK flipflopa sa okidanjem na opadajuću ivicu.

$J$	$K$	$CLK$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	↓	$Q_n$	$\bar{Q}_n$
0	1	↓	0	1
1	0	↓	1	0
1	1	↓	$\bar{Q}_n$	$Q_n$
X	X	0	$Q_n$	$\bar{Q}_n$
X	X	1	$Q_n$	$\bar{Q}_n$



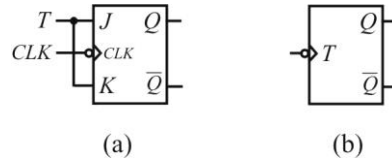
**Slika 3.21** Ilustracija rada JK flipflopa sa okidanjem na opadajuću ivicu takta.

Pored raznovrsnih primena u sekvencijalnim mrežama, JK flipflop služi i kao osnova za realizaciju drugih tipova flipflopova sa ivičnim okidanjem, kao što su *D flipflop* i *T flipflop*.

JK flipflop se može koristiti kao direktna zamena za SR flipflop, dok obrnuto ne važi jer je kod SR flipflopa kombinacija na ulazu  $S = R = 1$  zabranjena a kod JK flipflopa kada je na ulazu  $J = K = 1$  flipflop pod dejstvom okidne ivice menja stanje.

Spajanjem J i K ulaza kod JK flipflopa, čime se formira zajednički ulaz T, dolazi se do *T flipflopa*. Kada je  $T = 0$  kolo ne menja stanje. Ako je  $T = 1$  onda je  $J = K = 1$  i flipflop će menjati stanje (eng. *toggle*, otuda oznaka T) na svaki okidni impuls. Na slici 3.22a prikazana je logička šema a na slici 3.22b grafički simbol T flipflopa koji se okida opadajućom ivicom.

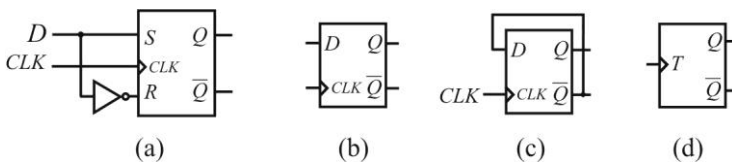
**Slika 3.22** T flipflop: (a) logička šema kola; (b) grafički simbol za T flipflop sa okidanjem opadajućom ivicom.



## D flipflop

Ako se flipflop koristi za memorisanje jednog bita onda on, pored ulaza za takt, može imati samo jedan ulaz za podatak. Podatak doveden na ulaz biće upisan u flipflop u trenutku pojavljivanja odgovarajuće ivice takta. Flipflop koji pamti jedan bit naziva se *D flipflop*. Na slici 3.23a prikazana je šema D flipflopa koji je realizovan korišćenjem SR flipflopa sa okidanjem na rastuću ivicu.

Od SR flipflopa se do D flipflopa dolazi tako što se ulaz za podatak *D* direktno poveže na *S* ulaz a njegova invertovana verzija na *R* ulaz, kao što je predstavljeno na slici 3.23a. Na slici 3.23b dat je grafički simbol za D flipflop koji se okida rastućom ivicom.

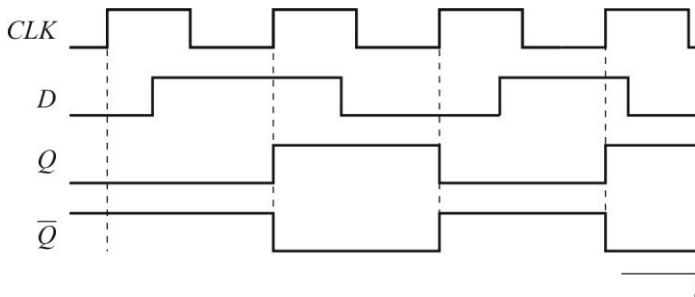


**Slika 3.23** (a) D flipflop realizovan pomoću SR flipflopa; (b) grafički simbol D flipflopa; (c) konverzija D u T flipflop; (d) grafički simbol T flipflopa sa okidanjem rastućom ivicom.

Dovođenjem komplementarnih stanja na ulaze SR flipflopa pomoću koga je realizovan D flipflop onemogućena je nedozvoljena kombinacija stanja na ulazu. U tabeli 3.8 prikazana je funkcionalna tabela D flipflopa. Rad D flipflopa je ilustrovan pomoću vremenskog dijagrama na slici 3.24.

**Tabela 3.8** Funkcionalna tabela D flipfopa

$D$	$CLK$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	$\downarrow$	0	1
1	$\downarrow$	1	0
X	0	$Q_n$	$\overline{Q}_n$
X	1	$Q_n$	$\overline{Q}_n$

**Slika 3.24** Ilustracija rada D flipfopa sa okidanjem na rastuću ivicu takta.

Ako se kod D flipfopa uvede povratna sprega sa  $\overline{Q}$  izlaza na D ulaz, kao što je predstavljeno na slici 3.23c, dolazi se do *T flipfopa*. Funkcija ovako dobijenog T flipfopa identičana je funkciji T flipfopa koji je realizovan korišćenjem JK flipfopa i čiji rad je opisan u prethodnom odeljku. Do T flipfopa se može doći i korišćenjem SR flipfopa, kome se dodaju povratne sprege sa  $Q$  izlaza na  $R$  ulaz i sa  $\overline{Q}$  izlaza na  $S$  ulaz.

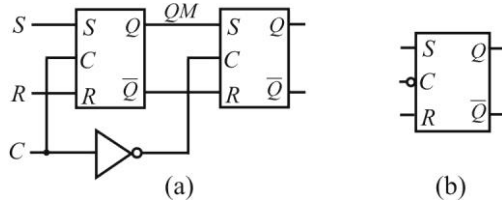
### Master-slejev SR flipflop

U sekvencijalnim mrežama sa flipflopovima može doći do nepravilnosti u radu zbog nesinhronizovane promene nivoa i neusklađenosti upravljačkih signala ili kašnjenja u kolima. Zbog toga se mogu javiti neželjeni impulsi tokom prelaznog režima prekidačkog kola ili može doći do pojave nekontrolisanog "protrčavanja" signala kroz mrežu. Primenom flipfopa sa zadržskom ili master-slejev (eng. *master-slave*) flipfopa ove nepoželjne pojave mogu se eliminisati. Kod master-slejev (MS) flipflopova okidanje je sinhronizovano sa taktim impulsom, te se ovi flipflopovi nazivaju i *flipflopovi sa impulsnim okidanjem*.

Sam naziv MS flipfopa ukazuje na to da se on sastoji iz dva bistabilna kola koja su kaskadno povezana. Za realizaciju master-slejev flipfopa mogu se koristiti SR lečevi sa dozvolom ili D lečevi sa dozvolom. Na slici 3.25a data je logička šema MS flipfopa realizovanog korišćenjem SR lečeva sa dozvolom. Grafički simbol ovog kola prikazan je na slici 3.25b. U grafičkom simbolu master-

slejev SR flipflopa za označavanje kontrolnog ulaza nije korišćen simbol u vidu trougla kao kod flipflopa sa ivičnim okidanjem jer se za ovo kolo, što će biti jasno posle analize rada, ne može se reći da do okidanja dolazi isključivo ivicom takta.

**Slika 3.25** Master-slejev SR flipflop: (a) šema kola; (b) grafički simbol.

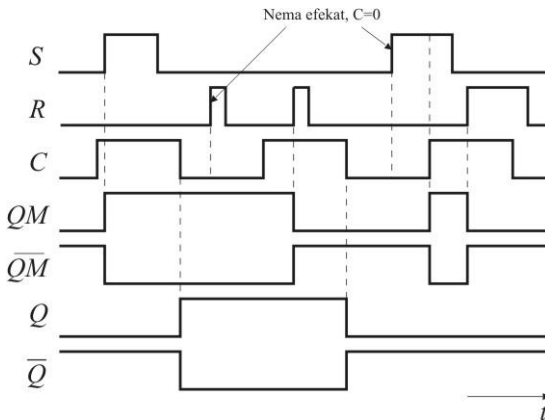


Stanje prvog leč kola, koji se naziva master (*master*), određeno je stanjem na  $S$  i  $R$  ulazima posle rastuće ivice takta, jer tada signal dozvole master leča ide na nivo jedinice. Stanje master leča se može promeniti ako dođe do promene na  $S$  i  $R$  ulazu u bilo kom trenutku dok je  $C = 1$ , što znači da je master transparentan dok je signal takta na visokom nivou. Informacija sa izlaza master leča biće upisana u slejev (*slave*) leč neposredno po okončanju zadnje ivice signala takta kada signal  $C$  pređe sa 1 na 0. Imajući u vidu to da je za rad kola bitan čitav impuls, opisani flipflop se naziva *flipflop sa impulsnim okidanjem*. Funkcionalna tabela master-slejev SR flipflopa prikazana je u tabeli 3.9. U ovoj tabeli je za taktni signal korišćen simbol ( $\sqcap$ ) da ukaže na to da se radi o flipflop sa impulsnim okidanjem.

**Tabela 3.9** Funkcionalna tabela master-slejev SR flipflopa.

$S$	$R$	$C$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	$\sqcap$	$Q_n$	$\overline{Q}_n$
0	1	$\sqcap$	0	1
1	0	$\sqcap$	1	0
1	1	$\sqcap$	Nedozvoljeno stanje	
X	X	0	$Q_n$	$\overline{Q}_n$

Na osnovu izvršene analize vidi se da će master-slejev SR flipflop menjati stanje samo na opadajuću ivicu taktnog signala. Međutim, novo stanje izlaza zavisi od stanja ulaza ne samo u trenutku opadajuće ivice, već tokom čitavog perioda koji prethodi opadajućoj ivici takta u kome je  $C = 1$ . Ako se u ovom periodu pojavi kratak impuls na  $S$  ulazu on će setovati master leč, dok će ga impuls na  $R$  ulazu resetovati. Na slici 3.26, na kojoj je rad master-slejev SR flipflopa ilustrovan pomoću vremenskih dijagrama signala, vidi se da će kratak impuls na  $R$  ulazu kada je  $C = 1$  resetovati master leč, a na opadajuću ivicu, koja potom sledi, biće resetovan i slejev leč.

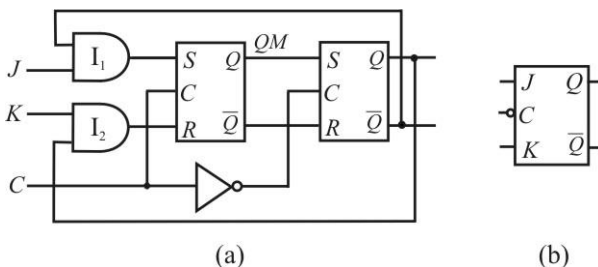


**Slika 3.26** Ilustracija rada master-slejev SR flipflopa.

Kada su na ulazima SR flipflopa  $S = R = 1$  u trenutku okidne ivice takta, na oba izlaza master leća će biti jedinice, te kolo ulazi u nestabilno stanje. Zbog toga kombinacija  $S = R = 1$  u trenutku okidne ivice predstavlja zabranjeno stanje na ulazu.

### Master-slejev JK flipflop

Analiza rada master-slejev SR flipflopa pokazuje da se na izlazu ovog kola javlja nedozvoljeno stanje kada su ulazi  $S = 1$  i  $R = 1$ . Problem nedozvoljenog stanja izlaza kod SR flipflopa može se rešiti dodavanjem dva I kola i uvođenjem povratnih sprega koje obuhvataju master-slejev SR flipflop i I kola, kao što je to urađeno pri realizaciji JK flipflopa sa ivičnim okidanjem. Navedenom modifikacijom master-slejev SR flipflopa dolazi se do *master-slejev JK flipflopa*, čija je logička šema prikazana na slici 3.27a. Na slici 3.27b dat je grafički simbol ovog flipflopa. Kod master-slejev JK flipflopa, kao što će biti pokazano, ne dolazi do nedozvoljenog stanja izlaza i kada su  $S = R = 1$  i tada, pod dejstvom ivice takta, dolazi do promene zatečenog stanja izlaza.



**Slika 3.27** Master-slejev JK flipflop: (a) logička šema; (b) grafički simbol.

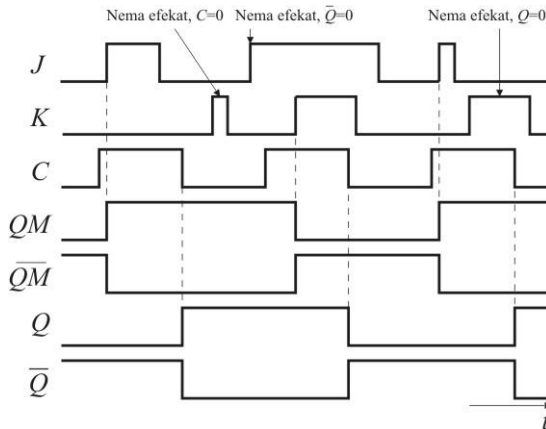
Stanje master leća se postavlja rastućom ivicom takta  $C$ . Kada dođe do prelaza sa  $C = 1$  na  $C = 0$ , master leć će biti blokiran a stanje sa njegovog ulaza biće upisano u slejev leć. Ako su  $J = 1$  i  $K = 1$  u trenutku pojavljivanja opadajuće ivice okidnog impulsa, promene su uslovljene logičkim stanjem izlaza. Ako je

$Q = 1$  i  $\bar{Q} = 0$ , onda je  $S = 0$  i  $R = 1$ , te će pod dejstvom opadajuće ivice izlazi slejv flipflopa preći u komplementarno stanje,  $Q = 0$  i  $\bar{Q} = 1$ . S druge strane, ako su za  $J = 1$  i  $K = 1$  izlazi  $Q = 0$  i  $\bar{Q} = 1$ , onda je  $S = 1$  i  $R = 0$ , te će pod dejstvom opadajuće ivice taktnog signala izlaz slejv flipflopa preći u komplementarno stanje  $Q = 1$  i  $\bar{Q} = 0$ . Dakle, ako je  $J = 1$  i  $K = 1$  u trenutku pojavljivanja opadajuće ivice okidnog impulsa, doći će do promene logičkog stanja izlaza bez obzira na tekuće stanje, odnosno izlazi će, kad god se pojavi opadajuća ivica takta, menjati svoje stanje. Rad master-slejv JK flipflopa prikazan je funkcionalnom tablicom koja je data u tabeli 3.10.

**Tabela 3.10** Funkcionalna tabela master-slejv JK flipflopa.

$J$	$K$	$C$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$\downarrow$	$Q_n$	$\bar{Q}_n$
0	1	$\downarrow$	0	1
1	0	$\downarrow$	1	0
1	1	$\downarrow$	$\bar{Q}_n$	$Q_n$
X	X	0	$Q_n$	$\bar{Q}_n$

Rad master-slejv JK flipflopa ilustrovan je vremenskim dijagramima signala na slici 3.28.



**Slika 3.28** Ilustracija rada master-slejv JK flipflopa.

Premda je problem neodređenog stanja izlaza koji se javlja kod master-slejv SR flipflopa kada je  $S = R = 1$  uvođenjem JK flipflopa otklonjen, ni JK flipflopovi nisu bez nedostataka. Naime, kada je flipflop resetovan tada je aktivno kolo  $I_1$  a



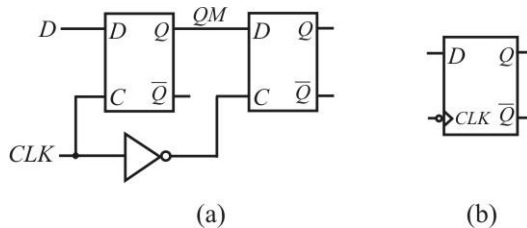
kolo  $I_2$  je blokirano. Ako se za vreme dok je  $C = 1$  na  $J$  ulazu pojavi kratkotrajan impuls on će setovati master leč. Pošto je  $Q = 0$ , master leč ne može biti resetovan i na opadajuću ivicu takta ovo stanje će biti preneto u slejv leč. Ova pojava, koja je ilustrovana preko vremenskih dijagrama na slici 3.28 gde se kratak impuls pojavljuje posle drugog taktnog intervala, naziva se *hvtanje jedinice (1's catching)*. Do slične pojave može doći kada je flipflop setovan a na  $K$  ulazu se pojavi kratkotrajna nula, kada se kaže da dolazi do *hvtanje nule (0's catching)*.

### 3.1.3 Realizacija flipflova korišćenjem D leča sa dozvolom

Kao što je na početku prethodnog poglavlja rečeno, osnovno bistabilno kolo u CMOS tehnologiji je D leč. Ovo bistabilno kolo se kao gradivni element koristi u sintezi D flipflopa i ostalih vrsta flipflopa, te će u ovom poglavlju detaljnije biti analizirani flipflopovi sa ivičnim okidanjem koji su nastali korišćenjem D leča.

#### D flipflop

*D flipflop sa okidanjem opadajućom ivicom* sastoji se od dva kaskadno povezana D leča sa dozvolom i jednog logičkog invertora, kao što je predstavljeno na slici 3.29a. Ovakve konfiguracije flipflopa analizirane su u prethodnom poglavlju, kada je za prvo bistabilno kolo korišćen naziv *master* a za drugo *slejv*, te će i ovde biti zadržana ista terminologija.



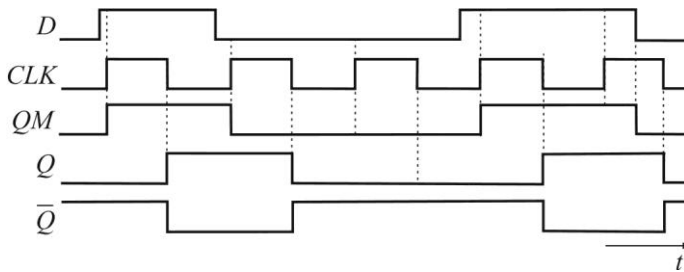
**Slika 3.29** D flipflop sa okidanjem na opadajuću ivicu: (a) kolo realizovano korišćenjem D lečeva sa dozvolom; (b) grafički simbol D flipflopa.

Kada je signal takta  $CLK$  na visokom nivou omogućen je upis u master leč. Kada  $CLK$  signal sa nivoa logičke jedinice pređe na nivo logičke nule, stanje master leča se zamrzava. U istom trenutku, ako se zanemari kašnjenje koje unosi logički invertor, signal na  $C$  ulazu slejv leča prelazi sa niskog na visok nivo, čime se omogućuje upis stanja sa izlaza master leča u slejv leč. Na osnovu sprovedene analize može se zaključiti da stanje na izlazu D flipflopa odgovara stanju na ulazu, ali se ono uspostavlja sa određenom zadržkom (kašnjenjem). Funkcionalna tablica D flipflopa sa okidanjem na opadajuću ivicu data je u tabeli 3.11.

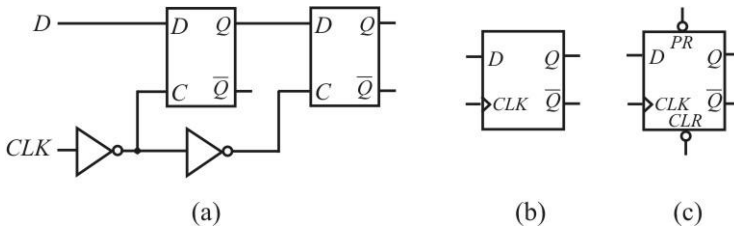
**Tabela 3.11** Funkcionalna tabela D flipflopa

$D$	$C$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	↓	0	1
1	↓	1	0
X	0	$Q_n$	$\bar{Q}_n$
X	1	$Q_n$	$\bar{Q}_n$

Na slici 3.30 rad D flipflopa je ilustrovan pomoću vremenskog dijagrama signala.

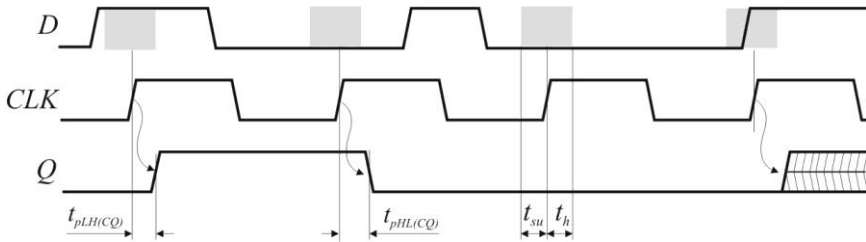
**Slika 3.30** Ilustracija rada D flipflopa pomoću vremenskog dijagrama signala.

Ako se D flipflop sa slike 3.29a doda još jedan inverter, kao što je prikazano na slici 3.31a, dolazi se do *D flipflopa sa okidanjem na rastuću ivicu*.

**Slika 3.31** D flipflop sa okidanjem na rastuću ivicu takta: (a) šema kola; (b) grafički simbol.

Kolo sa slike 3.31a ima isti princip rada kao i kolo sa slike 3.29a. Master leč je omogućen i prati stanje ulaza  $D$  kada je  $CLK = 0$ . Kada  $CLK$  linija pređe u stanje logičke jedinice, master leč se blokira i njegov izlaz se prenosi u slejv leč pri pojavi rastuće ivice takta. Slejv leč je omogućen sve vreme dok je  $CLK = 1$ , ali se njegov sadržaj ne menja jer je master leč za ovo vreme blokiran. Na slici 3.31c dat je grafički simbol D flipflopa koji poseduje asinhroni ulaz  $PR$  za setovanje i asinhroni ulaz  $CLR$  za resetovanje.

Za analizu dinamičkih karakteristika D flipflopa mogu poslužiti vremenski dijagrami signala sa slike 3.32. Sva vremena kašnjenja su merena u odnosu na aktivnu ivicu takta koja dovodi do promene stanja izlaza.

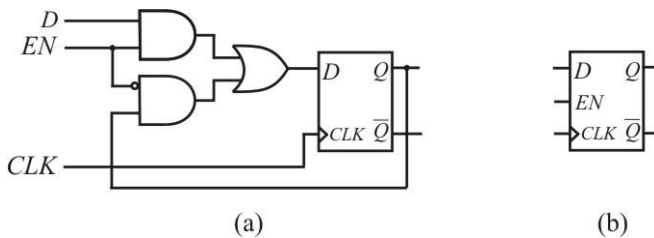


**Slika 3.32** Vremenske karakteristike D flipflopa

Kod D flipflopa se, kao i kod D leća, definiše vreme postavljanja  $t_{su}$  (setup time) i vreme držanja  $t_h$  (hold time). Tokom intervala  $t_{su}$  koji prethodi i intervala  $t_h$  koji sledi aktivnu ivicu takta ne sme doći do promene stanja na  $D$  ulazu da bi kolo ispravno radilo. Posmatrani vremenski interval je na slici 3.32 osenčen. Ako navedeni uslov nije ispunjen stanje na izlazu će biti nedefinisano ili nestabilno, kao u slučaju dejstva poslednjeg CLK impulsa sa slike 3.32.

### D flipflop sa dozvolom

U kolima sa D flipflopom vrlo često se javlja potreba da se zadrži poslednja memorisana vrednost i da se ne dozvoli upis nove vrednosti pri pojavi ivice takta. To se postiže modifikacijom kola i dodavanjem ulaza za signal dozvole, koji se označava sa  $EN$  (enable). Na slici 3.33a prikazana je realizacija D flipflopa sa dozvolom a na slici 3.33b grafički simbol kola.



**Slika 3.33** D flipflop sa dozvolom: (a) šema kola; (b) grafički simbol.

Kao što se vidi sa slike 3.33a, ulaz na interni D flipflop se dovodi preko dvoulaznog multipleksera. Kada je signal dozvole  $EN$  aktivan ulaz internog flipflopa je povezan sa  $D$  ulazom kola. Kada je  $EN = 0$ , na  $D$  ulaz internog flipflopa se dovodi stanje sa izlaza, čime se zadržava tekuće stanje flipflopa.

Na osnovu opisa principa funkcionisanja D flipflopa sa dozvolom, lako se izvodi funkcionalna tabela, koja je prikazana u tabeli 3.12.

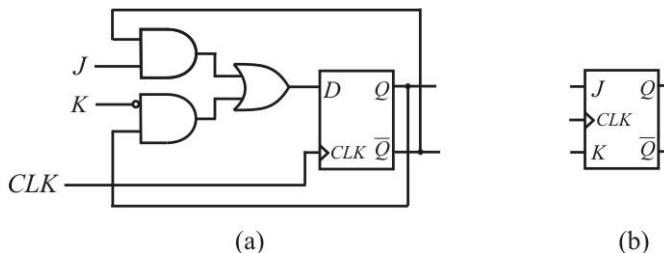
**Tabela 3.12** Funkcionalna tabela D flipflopa sa dozvolom

$D$	$EN$	$C$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	1	$\downarrow$	0	1
1	1	$\downarrow$	1	0
X	0	$\downarrow$	$Q_n$	$\overline{Q}_n$
X	X	0	$Q_n$	$\overline{Q}_n$
X	X	1	$Q_n$	$\overline{Q}_n$

### JK flipflop sa ivičnim okidanjem

Kod prethodno analiziranih master-slejev JK i RS flipflopova do promene stanja izlaza master leća može doći u bilo kom trenutku kada je  $C=1$  i ovo stanje se prenosi na slejv u trenutku opadajuće ivice takta, što znači da i impuls smetnje može promeniti stanje flipflopa.

JK flipflop sa ivičnim okidanjem, kod koga ne dolazi do problema hvatanja kratkotrajnih impulsa šuma, može se realizovati uz pomoć D flipflopa sa ivičnim okidanjem sa slike 3.31a i odgovarajuće kombinacione mreže, kao što je predstavljeno šemom na slici 3.34. O samoj transformaciji D flipflopa u JK flipflop sa ivičnim okidanjem i sintezi kombinacione mreže koja realizuje funkciju novog flipflopa, više reči će biti u poglavlju o sintezi sekvencijalnih mreža u četvrtoj glavi.



**Slika 3.34** JK flipflop sa ivičnim okidanjem: (a) šema kola; (b) grafički simbol.

S obzirom na to da je sinteza kola sa slike 3.34 izvršena sa zahtevom da ono obavlja funkciju JK flipflopa, koja je detaljno analizirana pri opisu master-slejev JK

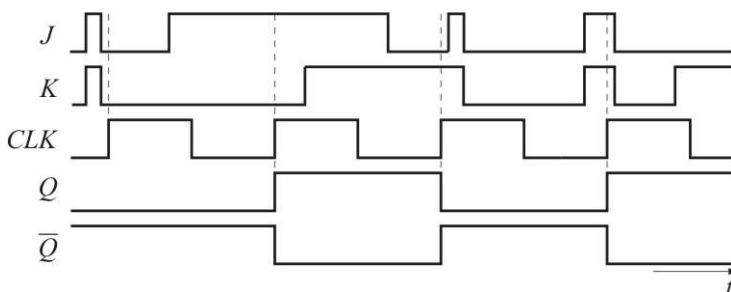
flipflop, ovde neće biti ponavljan prethodni opis koji, uz očigledne razlike u strukturama kola, važi i za kolo sa slike 3.34.

Rad JK flipflop sa ivičnim okidanjem prikazan je funkcionalnom tablicom koja je data u tabeli 3.13.

**Tabela 3.13** Funkcionalna tabela JK flipflop sa ivičnim okidanjem.

$J$	$K$	$CLK$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$\downarrow$	$Q_n$	$\bar{Q}_n$
0	1	$\downarrow$	0	1
1	0	$\downarrow$	1	0
1	1	$\downarrow$	$\bar{Q}_n$	$Q_n$
X	X	0	$Q_n$	$\bar{Q}_n$
X	X	1	$Q_n$	$\bar{Q}_n$

Rad JK flipflop sa ivičnim okidanjem ilustrovan je vremenskim dijagramima signala na slici 3.35.



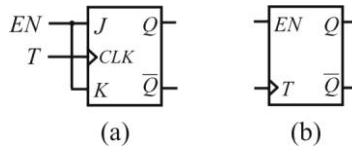
**Slika 3.35** Ilustracija rada JK flipflop sa ivičnim okidanjem.

Može se reći da je JK flipflop sa ivičnim okidanjem najčešće korišćeno bistabilno kolo. Pored raznovrsnih primena u sekvencijalnim mrežama, ovo kolo služi i kao osnova za realizaciju drugih tipova bistabilnih kola.

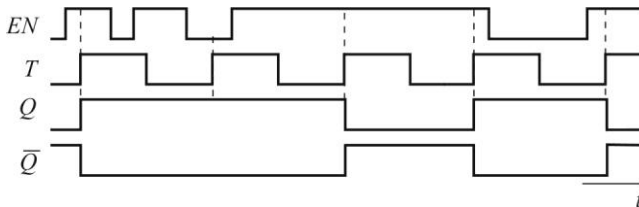
U prethodnom poglavlju je pokazano kako se od JK flipflop sa ivičnim okidanjem dolazi do T flipflop (slika 3.22a) i kako se od D flipflop sa ivičnim okidanjem dolazi do T flipflop (slika 3.23c). Iste konfiguracije se mogu primeniti i za realizaciju T flipflop polazeći od JK i D flipflopova opisanih u ovom poglavlju, te ih nema potrebe ponavljati.

U mnogim primenama T flipflop zahteva se da se ne dozvoli promena stanja flipflop na svaki takti impuls. U takvim primenama umesto da se ulazi  $J$  i  $K$  postave u stanje logičke jedinice, na ove ulaze se može povezati signal dozvole  $EN$  kojim će se dozvoliti ili blokirati promena stanja flipflop. Ako je  $EN = 0$  flipflop zadržava prethodno stanje, a ako je  $EN = 1$  logičko stanje izlaza će se

menjati na okidnu ivicu svakog taktnog impulsa. Na slici 3.36a prikazana je šema *T flipflopa sa dozvolom*, a na slici 3.36b grafički simbol kola. Rad *T flipflopa sa dozvolom* ilustrovan je preko vremenskog dijagrama sa slike 3.37.



**Slika 3.36** T flipflop sa dozvolom: (a) logička šema; (b) grafički simbol.



**Slika 3.37** Ilustracija rada T flipflopa sa dozvolom.

### Primer 3.3

U ovom primeru biće navedene tipične vrednosti karakterističnih vremenskih parametara D flipflopa realizovanog u različitim tehnologijama integriranih kola.

**Tabela P3.3**

Parametar	TTL	CMOS	ECL
$t_{SH}$ (ns)	20	2	0.10
$t_h$ (ns)	5	0	0.15
$t_{pCO}$ (ns)	20	14	0.34
$f_{max}$ (MHz)	25	75	500
$P_D$ (mW) na 1 Mhz	10	0.5	60

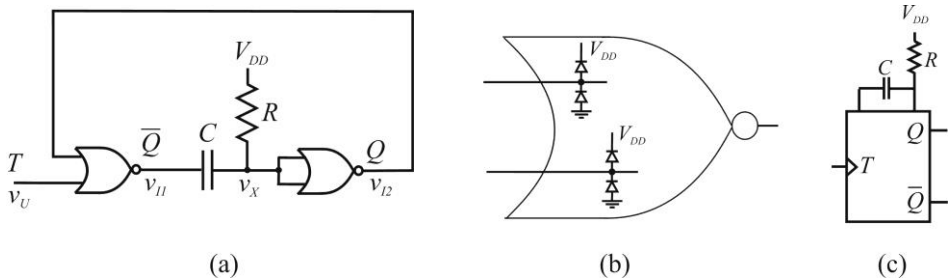
U poslednjoj vrsti tabele P3.3 navedena je potrošnja kola kada je učestanost takta 1 MHz.

## 3.2 Monostabilni multivibratori

*Monostabilni multivibrator* je impulsno regenerativno kolo koje ima samo jedno *stabilno stanje*. Ovo kolo ostaje u stabilnom stanju sve dok pod dejstvom spoljašnjeg komandnog signala ne pređe u drugo, *kvazistabilno stanje*. Kolo ostaje u kvazistabilnom stanju određeno vreme, koje je definisano parametrima kola, a potom se ponovo vraća u stabilno stanje.

Rad bistabilnog kola bio je analiziran na primeru redne veze dva NILI kola obuhvaćena pozitivnom povratnom spregom, koje je prikazano na slici 3.3a. Ako se kolu sa slike 3.3a dodaju otpornik  $R$  i kondenzator  $C$ , kao što je prikazano na slici 3.34a, dobiće se monostabilni multivibrator.

U kolu sa slike 3.38a za realizaciju monostabilnog multivibratora upotrebljena su CMOS NILI kogička kola. Ulazi ovih kola zaštićeni su od prenapona pomoću dve diode, koje su povezane kao što je prikazano na slici 3.38b. Ove diode ne provode kada se na ulaz logičkog kola dovede napon u opsegu od 0 V do  $V_{DD}$ . Međutim, u radu monostabilnog multivibratora dolazi do pojave napona na ulazu drugog NILI logičkog kola koji je veći od  $V_{DD}$  i tada dioda povezana između ulaznog priključka i napajanja  $V_{DD}$  provodi, limitirajući napon na ulazu kola na vrednost  $V_{DD}+0.7$  V. Grafički simbol monostabilnog multivibratora prikazan je na slici 3.38c.



**Slika 3.38** Monostabilni multivibrator sa NILI kolima (a), zaštitne diode na ulazima CMOS logičkog kola (b) i grafički simbol monostabilnog multivibratora (c).

Kada se kolo sa slike 3.38a nalazi u stabilnom stanju, nakon dovoljno dugog vremena kroz otpornik  $R$  neće teći struja, te je napon  $v_X$  na ulazu drugog NILI kola jednak naponu  $V_{DD}$ . Napon na izlazu drugog NILI kola  $v_{12}$  biće nizak a na izlazu prvog NILI kola napon  $v_{11}$  biće visok. Kada se na  $T$  ulaz dovede okidni impuls  $v_U$ , izlaz  $\bar{Q}$  prelazi iz stanja logičke jedinice u stanje logičke nule. S obzirom na to da se napon na kondenzatoru  $C$  ne može promeniti trenutno, promena naponskog nivoa na izlazu  $\bar{Q}$  preneće se na ulaz drugog NILI kola, te će se u trenutku promene logičkog stanja na izlazu  $\bar{Q}$  sa 1 na 0 promeniti napon  $v_X$  sa  $V_{DD}$  na 0 V. U isto vreme izlaz  $Q$  će preći u stanje logičke jedinice.

Za vreme dok je  $Q = 1$ , izlaz prvog NILI kola biće u stanju logičke nule čak i ako se stanje na  $T$  ulazu vrati na prethodno, tj. ponovo postane nula. Uspostavljeno stanje  $Q = 1$ ,  $\bar{Q} = 0$  nije stabilno. Kroz otpornost  $R$  će teći struja koja će puniti kondenzator  $C$  i na njemu će se napon povećavati eksponencijalno, brzinom koja je definisana vremenskom konstantom  $RC$  kola

$$v_X(t) = V_{DD}(1 - e^{-\frac{t}{RC}}). \quad (3.5)$$

Kada napon  $v_X$  dostigne napon prelaza logičkog kola,  $v_X = V_p$ , izlaz  $Q$  drugog NILI kola preći će u stanje logičke nule, zbog čega izlaz  $\overline{Q}$  prvog NILI kola prelazi sa niskog u visok naponski nivo. Ovim se završava kvazistabilno stanje i kolo ponovo prelazi u stabilno stanje. Na slici 3.39 je ilustrovan rad monostabilnog multivibratora pomoću vremenskih dijagrama karakterističnih signala.

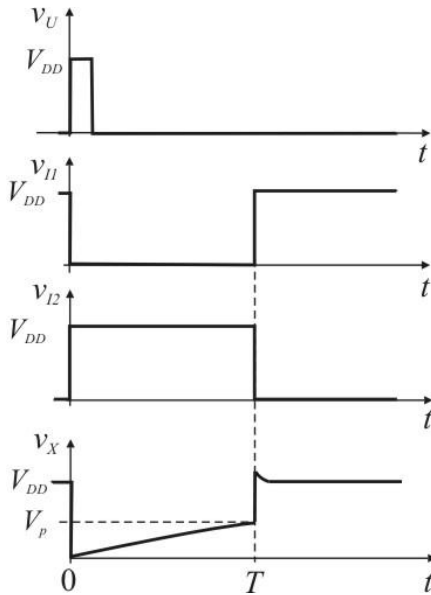
Trajanje kvazistabilnog stanja  $t = T$  određuje se iz (3.5) kada se u tu jednačinu zameni  $v_X(T) = V_p$ , odakle se dobija

$$T = RC \ln\left(\frac{V_{DD}}{V_{DD} - V_p}\right). \quad (3.6)$$

Ako se uzme da do promene stanja logičkog kola dolazi kada je napon na ulazu jednak polovini vrednosti napona napajanja  $V_p = V_{DD}/2$ , iz (3.5) sledi

$$T = RC \cdot \ln 2 \approx 0.69 \cdot RC, \quad (3.7)$$

odakle se vidi da je trajanje impulsa  $v_{I2}$ , koji je generisan na izlazu drugog NILI kola, određeno vrednostima otpornika i kondenzatora, pod uslovom da je  $V_p = V_{DD}/2$ .



**Slika 3.39** Ilustracija rada monostabilnog multivibratora pomoću vremenskih dijagrama signala.

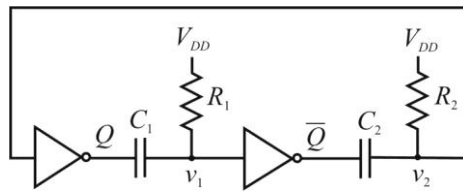
Monostabilni multivibratori se koriste za generisanje impulsa određenog trajanja. Ovakvi impulsi su u digitalnoj elektronici često potrebni za usklađivanje rada pojedinih kola ili složenih sistema.



### 3.3 Astabilni multivibratori

Poređenjem osnovne šeme bistabilnog kola (slika 3.3a) i monostabilnog multivibratora (slika 3.38a) vidi se da je pogodnim dodavanjem  $RC$  člana stabilno stanje bistabilnog kola pretvoreno u kvazistabilno stanje. Ako se, po analogiji, doda još jedan  $RC$  član između drugog i prvog NILI kola, dolazi se do kola sa dva kvazistabilna stanja, koje se naziva *astabilni multivibrator*. Ovo kolo za svoj rad ne zahteva okidni signal na ulazu, te se NILI kola mogu zameniti logičkim invertorima, kao što je urađeno u šemi sa slike 3.40.

Slika 3.40 Astabilni multivibrator



U analizi kola sa slike 3.40 može se poći od pretpostavke da su u početnom trenutku kondenzatori  $C_1$  i  $C_2$  prazni i da je  $Q = 0$ ,  $\bar{Q} = 1$ . Ako je napon na kondenzatoru  $C_1$  jednak nuli, napon  $v_1$  na ulazu drugog invertora biće nizak, te će izlaz drugog invertora biti u stanju logičke jedinice,  $\bar{Q} = 1$ . S obzirom na to da je i kondenzator  $C_2$  prazan, napon  $v_2$  biće jednak naponu na izlazu  $\bar{Q}$ , te je na ulazu prvog logičkog invertora prisutan visok naponski nivo. Ovo stanje je kvazistabilno jer se napon  $v_1$  povećava kao posledica punjenja kondenzatora  $C_1$ , i ovo stanje će trajati sve dok napon  $v_1$  ne dostigne napon prelaza drugog invertora. Kada napon  $v_1$  dostigne napon prelaza drugog invertora izlaz  $\bar{Q}$  će preći u stanje logičke nule, što izaziva nagli pad napona  $v_2$ , te će izlaz  $Q$  preći u stanje logičke jedinice. Nakon promene stanja izlaza oba invertora, kondenzator  $C_1$  se prazni a kondenzator  $C_2$  puni sve dok napon  $v_2$  ne dostigne napon prelaza prvog invertora, kada ponovo dolazi do promene stanja izlaza invertora i započinjanja novog ciklusa.

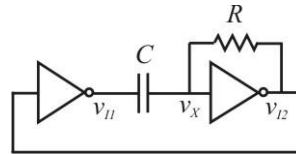
Kao što se vidi, kolo naizmenično menja stanja tj. osciluje. Vreme provedeno u svakom od dva kvazistabilna stanja određeno je vrednostima kapacitivnosti  $C_1$  i otpornosti  $R_1$ , odnosno kapacitivnosti  $C_2$  i otpornosti  $R_2$ , a ono zavisi i od vrednosti napona napajanja  $V_{DD}$  i napona prelaza  $V_p$ .

U praksi se mnogo češće od kola sa slike 3.40 koristi jednostavniji astabilni multivibrator do koga se dolazi modifikacijom monostabilnog multivibratora sa slike 3.38a, tako što se otpornik  $R$  poveže na izlaz drugog NILI kola i ulazi prvog NILI kola kratko spoje. Posle ovakve modifikacije kola sa slike 3.38a, umesto NILI kola u realizaciji astabilnog multivibratora mogu se koristiti logički invertori.

Na slici 3.41 data je šema astabilnog multivibratora koji je realizovan sa CMOS invertorima. U analizi ovog kola biće pretpostavljeno da su zaštitne diode

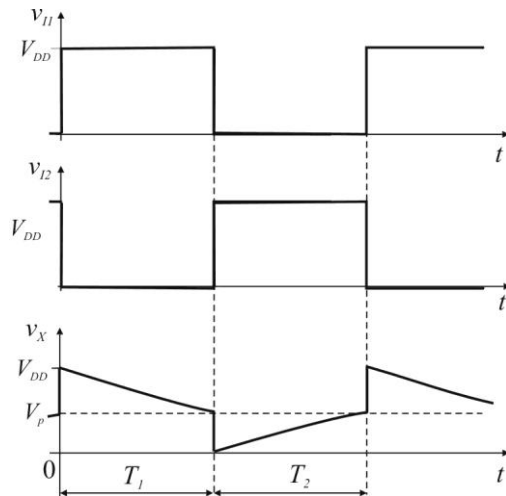
na ulazu idealne, da invertori imaju idealnu karakteristiku prenosa i da je izlazna otpornost invertora zanemarljivo mala.

**Slika 3.41** Modifikovani astabilni multivibrator sa CMOS invertorima



Pod navedenim pretpostavkama da se na ulazima invertora nalaze idealne zaštitne diode, tako da ulazni napon ne premašuje napon napajanja niti može pasti ispod 0 V, i da invertori imaju idealnu karakteristiku prenosa, tj. da je  $V_p = V_{DD}/2$ , vremenski dijagrami napona u karakterističnim tačkama kola sa slike 3.41 imaju oblik kao na slici 3.42.

**Slika 3.42** Ilustracija rada astabilnog multivibratora sa slike 3.41 pomoću vremenskih dijagrama signala.



U analizi kola sa slike 3.41 može se početi od pretpostavke da je u početnom trenutku napon  $v_X$  manji od napona prelaza invertora  $V_p$ . Tada je  $v_{I2} = V_{DD}$  i  $v_{I1} = 0$  V te se kondenzator  $C$  puni strujom koja teče kroz otpornik  $R$ .

Kada napon  $v_X$  dostigne napon prelaza drugog invertora  $V_p$ , stanje izlaza oba invertora se menja te je  $v_{I2} = 0$  V i  $v_{I1} = V_{DD}$ . Nakon promene stanja izlaza invertora napon  $v_X$  bi trebalo da iznosi  $V_{DD} + V_p$ , ali on raste samo do  $V_{DD}$  jer pri tom naponu provede zaštitna dioda koja se nalazi na ulazu invertora i koja je povezana između ulaza i napajanja  $V_{DD}$ . To dovodi do brzog pražnjenja kondenzatora te  $v_X$ , uz ranije učinjenu pretpostavku da je zaštitna dioda idealna, ne prelazi vrednost  $V_{DD}$ .

Napon  $v_X$ , posle naglog skoka prouzrokovanog promenom stanja kola kada je iznosio  $v_X = V_{DD}$ , počinje da opada jer se kondenzator  $C$  puni preko otpornosti  $R$ , te je

$$v_X(t) = V_{DD} e^{-\frac{t}{RC}}. \quad (3.8)$$

Kvazistabilno stanje se završava kada napon  $v_X$  opadne do vrednosti napona prelaza invertora  $V_p$ . Ako se trajanje ovog kvazistabilnog stanja označi sa  $T_1$  onda je  $v_X(T_1) = V_p$ , te se iz (3.8) dobija

$$T_1 = RC \ln \frac{V_{DD}}{V_p}. \quad (3.9)$$

Na početku narednog kvazistabilnog stanja napon  $v_X$  naglo opadne do nule zbog toga što provede zaštitna dioda povezana između ulaza i mase, a potom raste po eksponencijalnom zakonu

$$v_X(t) = V_{DD} \left(1 - e^{-\frac{t}{RC}}\right), \quad (3.10)$$

pri čemu je, zbog jednostavnosti, pri pisanju izraza (3.10) koordinatni početak pomenen duž vremenske ose udesno za  $t=T_1$ .

Napon  $v_X(t)$  će se povećavati eksponencijalno sve dok ne dostigne vrednost napona prelaza  $V_p$  kada se završava drugo kvazistabilno stanje i započinjanje novog ciklusa. Trajanje drugog kvazistabilnog stanja dobija se zamenom  $v_X(T_2) = V_p$  u (3.10) i ono je dato izrazom

$$T_2 = RC \ln \left( \frac{V_{DD}}{V_{DD} - V_p} \right). \quad (3.11)$$

Sabiranjem trajanja kvazistabilnih stanja  $T_1$  i  $T_2$  dobija se trajanje periode oscilacija

$$T = T_1 + T_2 = RC \ln \left( \frac{V_{DD}}{V_p} \frac{V_{DD}}{V_{DD} - V_p} \right). \quad (3.12)$$

Iz izraza (3.9) i (3.11) se vidi da, pod ranije učinjenom pretpostavkom da je  $V_p = V_{DD}/2$ , kvazistabilna stanja imaju isto trajanje,  $T_1 = T_2$ .

Kada je napon prelaza  $V_p = V_{DD}/2$ , perioda signala na izlazu multivibratora je

$$T = \ln 4 \cdot RC \cong 1.4 \cdot RC. \quad (3.13)$$

Astabilni multivibratori na svom izlazu generišu povorku pravougaonih impulsa i on radi kao oscilator, a za ovo kolo često se koristi naziv *relaksacioni oscilator*. Svoju najveću primenu astabilni multivibratori nalaze u digitalnim i računarskim sistemima za generisanje signala takta.

# Kombinacione i sekvencijalne mreže

## 4.1 Kombinacione mreže

Osnovna logička kola, koja su proučavana u drugoj glavi, mogu se nazvati kombinacionim logičkim kolima. Signal na izlazu ovakvih kola zavisi samo od tekućih vrednosti ulaznih signala. Pogodnim povezivanjem osnovnih logičkih kola mogu se realizovati raznovrsne logičke funkcije. Na taj način nastaju digitalne kombinacione mreže. Osnovna karakteristika kombinacionih mreža je da trenutno logičko stanje na izlazu mreže zavisi samo od trenutne kombinacije stanja na ulazu.

Kombinacione mreže se koriste u gotovo svim digitalnim sistemima, počev od najprostijih digitalnih uređaja do složenih računarskih sistema. Kombinacione mreže, pored toga što služe za realizovanje raznovrsnih logičkih funkcija, koriste se i za obavljanje različitih standardizovanih operacija kao što su kodovanje i dekodovanje digitalnih podataka, konverzija kodova, aritmetičke operacije, ukazivanje na adresiranu lokaciju u memoriji, itd. Zbog toga se kombinacione mreže često nazivaju po funkciji koju obavljaju, kao što su: koder, dekodek, konvertor, sabirač, množač, multiplekser, demultiplekser itd.

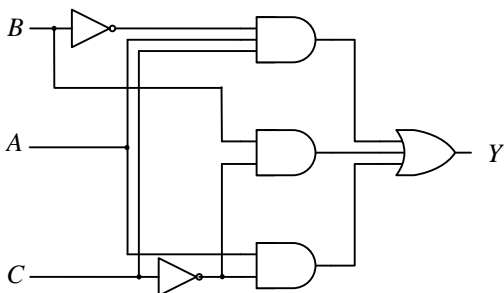
### 4.1.1 Analiza kombinacione mreže

Analiza kombinacione mreže vrši se u cilju dobijanja formalnog opisa logičke funkcije koju mreža obavlja. Kada se dođe do opisa logičke funkcije mreže, moguće je:

- Odrediti ponašanje mreže za različite kombinacije ulaznih promenljivih;

- Transformisati algebarski izraz logičke funkcije, pa samim tim promeniti strukturu mreže;
- Transformisati algebarski izraz logičke funkcije u cilju realizacije kombinacione mreže kolima određenog tipa.

Kada je kombinaciona mreža predstavljena logičkim dijagramom, kao na slici 4.1, onda se funkcija mreže formalno može opisati na više načina: logičkom jednačinom, kombinacionom tablicom, Karnoovom mapom ili logičkom šemom.



**Slika 4.1** Kombinaciona mreža sa tri ulaza i jednim izlazom.

Kombinaciona tabela kojom se opisuje mreža sa  $n$  ulaza sadržiće  $2^n$  kombinacija ulaznih promenljivih. Za svaku kombinaciju na ulazu potrebno je odrediti stanje na izlazu svakog logičkog kola idući od ulaza do izlaza mreže. Kombinaciona tabela za mrežu sa slike 4.1 prikazana je u tabeli 4.1.

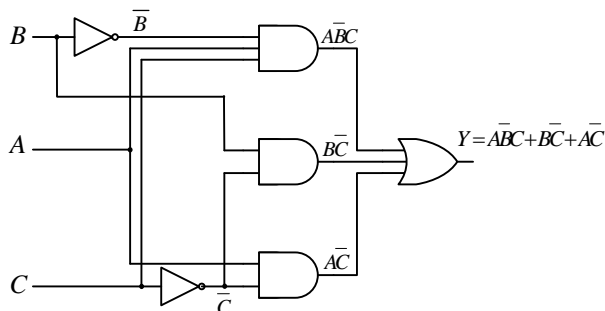
**Tabela 4.1** Kombinaciona tabela za mrežu sa slike 4.1.

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Kada je poznata kombinaciona tabela logičke funkcije, iz nje se lako dolazi do algebarske jednačine logičke funkcije, kao što je to pokazano u poglavlju 1.4.1 u prvoj glavi. S obzirom na to da broj kombinacija ulaznih promenljivih eksponencijalno raste sa povećanjem broja promenljivih, tabelarno predstavljanje logičkih funkcija postaje nepraktično kada broj promenljivih pređe četiri. Za predstavljanje funkcija koje sadrže veći broj promenljivih koristi se algebarska metoda, pri čemu složenost forme logičke funkcije skoro linearno zavisi od složenosti mreže.

Kada je kombinaciona mreža predstavljena logičkim dijagramom odnosno šemom, tada se do algebarske forme logičke funkcije dolazi tako što se, počevši od ulaznih promenljivih, za izlaz svakog logičkog kola napiše odgovarajući algebarski izraz i ovakav postupak sprovede do izlaza mreže. Na slici 4.2 izvršena je analiza mreže sa slike 4.1 i određen je algebarski oblik izlazne funkcije

$$Y = A\bar{B}C + B\bar{C} + A\bar{C}. \quad (4.1)$$



**Slika 4.2** Ilustracija algebarske metode analize kombinacione mreže sa slike 4.1.

Jednačina (4.1) se može transformisati u druge oblike primenom pravila i teorema Bulove algebre. Transformacije se izvode da bi se uprostio algebarski izraz pa samim tim i mreža koju treba realizovati, da bi se smanjio broj nivoa a time i kašnjenje koje unosi mreža, ili da bi se mreža realizovala određenom vrstom logičkih kola.

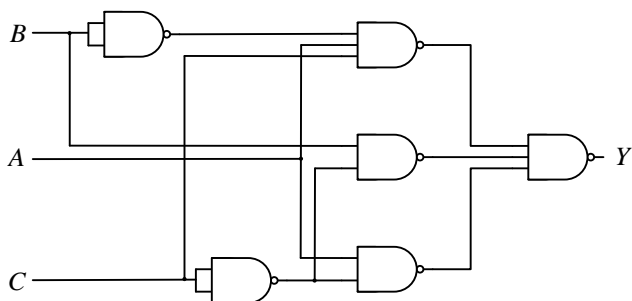
Kombinaciona mreža prikazana na slici 4.2 može se realizovati korišćenjem samo NI kola. Dvostrukim komplementiranjem funkcije  $Y = A\bar{B}C + B\bar{C} + A\bar{C}$  dobija se

$$Y = \overline{\overline{A\bar{B}C + B\bar{C} + A\bar{C}}}. \quad (4.2)$$

Primenom DeMorganove teoreme  $\overline{A+B} = \bar{A} \cdot \bar{B}$  na negaciju logičke sume tri člana, dobija se

$$Y = \overline{\overline{ABC} \cdot \overline{BC} \cdot \overline{AC}}. \quad (4.3)$$

Sprovedenim transformacijama početne funkcije došlo se do njenog algebarskog oblika koji se može realizovati korišćenjem samo NI kola. Za komplementiranje promenljivih takođe se koriste NI kola kod kojih su ulazi međusobno spojeni. Logička šema mreže kojom se realizuje zadata funkcija  $Y$  prikazana je na slici 4.3.



**Slika 4.3** Realizacija logičke funkcije (4.1) korišćenjem samo NI kola.

### 4.1.2 Sinteza kombinacionih mreža

Pri projektovanju kombinacione mreže kojom se realizuje određena logička funkcija najčešće se polazi od opisa problema koji je potrebno rešiti. Na osnovu opisa funkcije mreže nekada je moguće direktno napisati logičku funkciju koju mreža treba da obavlja. Za dolaženje do algebarske forme logičke funkcije pogodno je koristiti kombinacionu tabelu, koja pokazuje vrednost funkcije za sve moguće kombinacije ulaznih promenljivih. Projektovanje digitalnih sistema može se vršiti i pomoću računara. Tada se za opis funkcije sistema koristi HDL programski jezik (*Hardware Description Language*).

Kada se problem koji se rešava definiše opisno, onda se u opisu koriste veznici *i*, *ili* i *ne*. Na primer, funkcionisanje jednog alarmnog sistema može se opisati na sledeći način. Izlaz alarmnog sistema ( $Y=ALARM$ ) se aktivira ako je aktivirano dugme za uzbunu ( $A=UZBUNA$ ) ili ako je dozvoljen alarm ( $B=DOZVOLA$ ) i vrata nisu zaključana ( $C=ZAKLJUČANO$ ) i ako je narušena bezbednost ( $F=BEZBEDNOST$ ). Bezbednost nije narušena ako su zatvoreni prozori ( $D=PROZOR$ ) i zatvorena vrata ( $E=VRATA$ ). Iz opisa se može primetiti da je ovde definisana pomoćna promenljiva *BEZBEDNOST*, čime se olakšava pisanje logičke funkcije i predstavljanje logičke funkcije pomoću logičke šeme. Na osnovu opisa alarmnog sistema, može se pisati

$$Y = A + B \cdot \overline{C} \cdot \overline{F}, \quad (4.4)$$

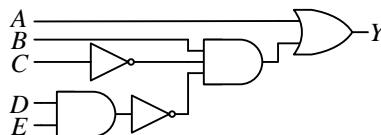
$$F = D \cdot E. \quad (4.5)$$

odakle se dolazi do konačnog oblika logičke funkcije

$$Y = A + B \cdot \overline{C} \cdot \overline{D \cdot E}. \quad (4.6)$$

Na osnovu (4.6) dolazi se do kombinacione mreže kojom se pomoću I, ILI i NE kola realizuje funkcija *Y*. Na slici 4.4 predstavljena je kombinaciona mreža kojom se realizuje funkcija opisanog alarmnog sistema.

**Slika 4.4** Kombinaciona mreža alarmnog sistema realizovana na osnovu funkcije (4.6)



Prethodnim primerom je pokazano da kada je poznata logička funkcija onda se lako dolazi do kombinacione mreže pomoću koje se ona realizuje. Naravno, mreža se ne mora realizovati direktno korišćenjem algebarske forme logičke funkcije, već se ova funkcija može prethodno transformisati kako bi se došlo do najjednostavnije realizacije u kojoj je upotrebljen minimalan broj logičkih kola, ili do mreže koja ispunjava neki drugi konkretan zahtev.

### 4.1.3 Minimizacija kombinacionih mreža

Kao što je u prethodnom poglavlju objašnjeno, kombinaciona mreža predstavlja realizaciju logičke funkcije pomoću logičkih kola. Da bi kombinaciona mreža kojom se realizuje određena logička funkcija bila što jednostavnija, potrebno je funkciju napisati u najjednostavnijem obliku. Na taj način se dolazi do oblika funkcije koji se može realizovati korišćenjem najmanjeg broja logičkih kola.

Za minimizaciju logičkih funkcija kada se ona vrši ručno koriste se algebarske metode minimizacije ili grafičke metode minimizacije na bazi Karnoovih mapa. Minimizacija logičkih funkcija može se vršiti i pomoću računara, koji mora biti opremljen odgovarajućim programom.

Na primer, logička funkcija

$$Y = DCBA + \overline{DCBA} + \overline{DC}BA + \overline{DC}\overline{B}A + \overline{DC}B\overline{A} + DC\overline{B}\overline{A} \quad (4.7)$$

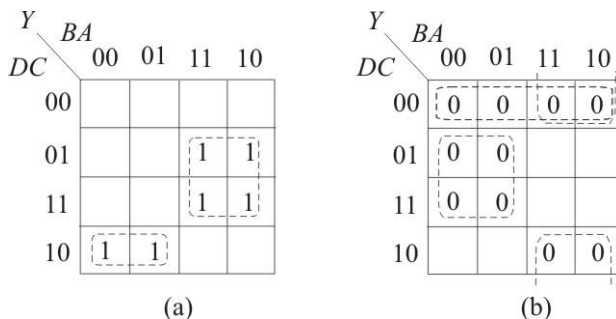
se može minimizirati pomoću Karnoove mape sa slike 4.5a i predstaviti u obliku zbira logičkih proizvoda

$$Y = \overline{DC}B + CB \quad (4.8)$$

Ista funkcija se, korišćenjem Karnoove mape sa slike 4.5b, može predstaviti u obliku proizvoda logičkih suma

$$Y = (D + C)(\overline{C} + B)(C + \overline{B}) \quad (4.9)$$

**Slika 4.5** Karnoova mapa za funkciju (4.7) kada se rezultujuća funkcija izražava u vidu zbira proizvoda (a) i u obliku proizvoda suma (b).





Premda su funkcije (4.8) i (4.9) identične, što se lako pokazuje primenom pravila logičke algebre ili preko kombinacione tabele popunjene za jednu i za drugu funkciju, strukture mreža kojima se realizuju ove funkcije nisu identične. S obzirom na to da funkcija (4.8) ima samo dva člana a funkcija (4.9) tri, jasno je da mreža kojom se realizuje logička funkcija (4.8) sadrži manji broj logičkih kola od mreže kojom se realizuje funkcija (4.9).

Ovde treba napomenuti da minimizacija logičkih funkcija pomoću Karnoovih mapa ne vodi uvek ka jednoznačnom rešenju i tada postoji više različitih minimalnih formi logičke funkcije.

**Primer 4.1** Potrebno je izvršiti sintezu sabirača binarnih brojeva.

Sabiranje binarnih brojeva vrši se po razredima, na isti način kao i sabiranje decimalnih cifara. Prvo se sabere cifre najmanje težine ili cifre najnižeg razreda. Rezultat je cifra najmanje težine i prenos (*carry*)  $C_{OUT}$  koji se koristi pri sabiranju sledećih cifara. Sabiranje se nastavlja idući s desna u levo, s tim što se bitima koji se sabiraju dodaje i prenos iz prethodnog razreda  $C_{IN}$ . Sabirač koji sabira dva jednobitna binarna broja i ima ulaz za prenos iz prethodnog razreda i izlaz za prenos u naredni razred naziva se *potpun sabirač*.

Na osnovu opisa sabirača dva bita može se zaključiti da on ima tri ulaza, ulaz za bite koji se sabiraju  $X$  i  $Y$  i ulaz za prenos iz prethodnog razreda  $C_{IN}$ , i dva izlaza od kojih je jedan zbir bita a drugi prenos  $C_{OUT}$  za viši razred. Funkcionalna tabela potpunog sabirača data je u tabeli P4.1.

**Tabela P4.1**

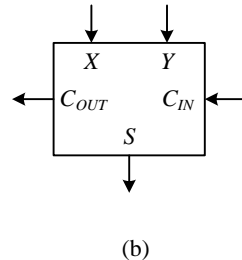
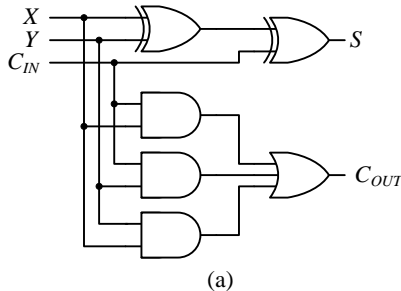
$C_{IN}$	$X$	$Y$	$C_{OUT}$	$S$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Posle minimizacije dolazi se do logičkih funkcija

$$S = X \oplus Y \oplus C_{IN} ,$$

$$C_{OUT} = X \cdot C_{IN} + Y \cdot C_{IN} + X \cdot Y .$$

koje se realizuju kombinacionom mrežom sa slike P4.1.



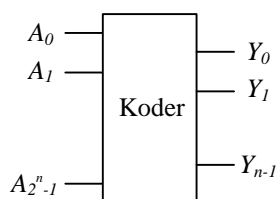
**Slika P4.1**

Povezivanjem potpunih sabirača na red omogućava se sabiranje višecifrenih binarnih brojeva. Pri tome, ulaz za prenos u sabirač bita najmanje težine mora biti 0.

#### 4.1.4 Koderi i dekoderi

Koderi se koriste za prevođenje informacije iz jednog oblika (npr. slovo, reč, broj) u niz bita, a navedena operacija se naziva *kodovanje*. Na primer, kada se aktivira taster na tastaturi računara, posredstvom odgovarajuće koderske mreže generiše se kombinacija nula i jedinica koja odgovara pritisnutom tasteru. Dekoderi vrše obrnuti proces, pretvaranje niza binarnih cifara u informaciju razumljivu za korisnika.

Kada koder ima  $n$  izlaza, što znači da se kodovanje vrši sa  $n$  bita, onda je maksimalan broj ulaza kodera  $2^n$ . Jedan ovakav koder predstavljen je blok šemom na slici 4.6.



**Slika 4.6** Blok šema kodera sa  $n$  izlaza i  $2^n$  ulaza.

Ako se kod kodera koji ima  $n$  izlaza koristi svih  $2^n$  ulaza, onda se za koder kaže da je *potpun*. Kod *nepotpunih kodera* sa  $n$  izlaza broj ulaza je manji od  $2^n$ .

Logička mreža kodera može se realizovati na osnovu kombinacione tabele ulaznih i izlaznih promenljivih. Kombinaciona tabela za koder koji decimalne cifre koduje u četvorocifrene binarne brojeve data je u tabeli 4.2.

**Tabela 4.2** Kombinaciona tabela kodera decimalnih u binarno kodovane decimalne cifre.

Ulaz dcimalni broj										Izlaz binarni kôd			
$A_9$	$A_8$	$A_7$	$A_6$	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

Za kodovanje 10 decimalnih cifara potrebno je koristiti kodne kombinacije od po četiri bita, te ovaj koder mora imati četiri izlaza. S obzirom na to da je broj ulaza 10, koder je nepotpun.

Iz table 4.2 se određuju izlazne funkcije kodera:

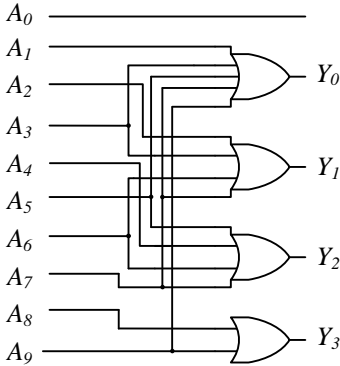
$$Y_0 = A_1 + A_3 + A_5 + A_7 + A_9, \tag{4.10}$$

$$Y_1 = A_2 + A_3 + A_6 + A_7, \tag{4.11}$$

$$Y_2 = A_4 + A_5 + A_6 + A_7, \tag{4.12}$$

$$Y_3 = A_8 + A_9. \tag{4.13}$$

Kao što se vidi iz izraza (4.10) do (4.13), za realizaciju logičke mreže kodera potrebno je koristiti 4 ILI kola. Mreža kojom se realizuju ove logičke funkcije prikazana je na slici 4.7.

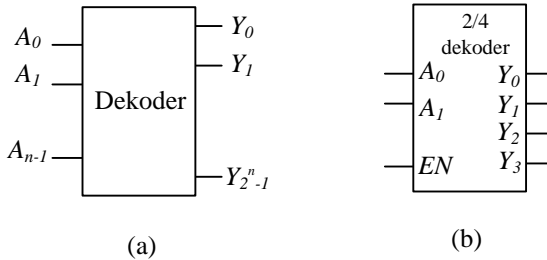


**Slika 4.7** Koder decimalnih cifara u binarno kodovane decimalne cifre.

Tokom digitalne obrade informacije su binarno kodovane. Za prezentaciju rezultata najpogodnije je koristi slova abecede i decimalne cifre. Za prevođenje binarno kodovanog podatka u oblik pogodniji za opštu upotrebu koriste se *dekoderi*.

Na ulaz dekodera dovode se kodovani podaci koji sadrže  $n$  bita. Ovakvih podataka može biti najviše  $2^n$ . Za svaki podatak na ulazu predviđa se jedan izlaz, te dekoder može imati najviše  $2^n$  izlaza. Na slici 4.8a prikazana je blok šema dekodera.

**Slika 4.8** (a) Blok šema dekodera; (b) Grafički simbol za dekoder 2/4.



Pored ulaza za podatke dekoder najčešće raspolaže i ulazom za signal dozvole  $EN$ . Kada je  $EN=0$  svi izlazi dekodera su u stanju logičke nule. Kada je  $EN=1$  aktivan je samo izlaz  $Y_i$ , gde  $i$  odgovara binarno kodovanom broju

dovedenom na ulaz dekodera, dok su ostali izlazi neaktivni. Na slici 4.8b prikazan je grafički simbol dekodera 2/4.

Broj izlaznih signala dekodera se smanjuje ako se neke kombinacije ulaznih signala ne koriste. Ako se vrši dekodovanje brojeva datih u BCD kodu, broj izlaza dekoderske mreže je 10. Ovakav dekodер je *nepotpun*. Ako za  $n$  ulaznih promenljivih postoji svih  $2^n$  izlaznih funkcija, dekodер je *potpun*.

Kao primer dekoderske mreže biće analiziran dekodер sa 4 ulaza i 16 izlaza ili *dekoder 4/16*. S obzirom na to da je za određenu kombinaciju ulaznih signala samo jedan izlaz aktivan, ovakva mreža se naziva i *dekoder 1 od 16*. U tabeli 4.3, koja predstavlja funkcionalnu tabelu dekodera 4/16, prikazane su sve kombinacije ulaznih i izlaznih promenljivih.

**Tabela 4.3** Funkcionalna tabela dekodera 4/16

Ulaz binarni broj				Izlaz decimalni broj																	
$D$	$C$	$B$	$A$	$Y_{15}$	$Y_{14}$	$Y_{13}$	$Y_{12}$	$Y_{11}$	$Y_{10}$	$Y_9$	$Y_8$	$Y_7$	$Y_6$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Na osnovu tabele 4.3 mogu se napisati izlazne logičke funkcije dekodera sa 4 ulaza i 16 izlaza

$$Y_0 = \overline{A_3} \overline{A_2} \overline{A_1} A_0, \quad (4.14)$$

$$Y_1 = \overline{A_3} \overline{A_2} A_1 \overline{A_0}, \quad (4.15)$$

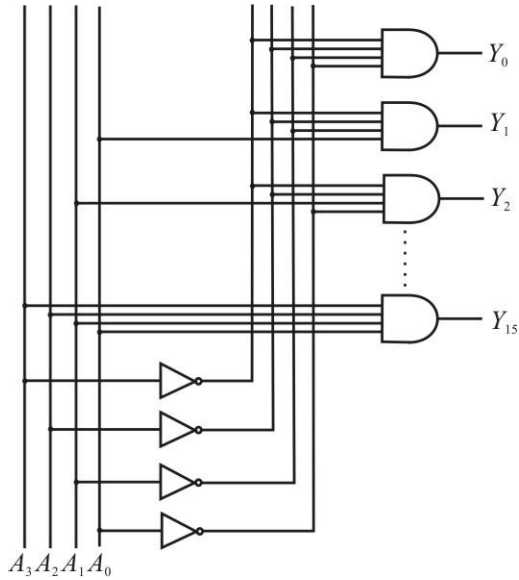
$$Y_2 = \overline{A_3} A_2 \overline{A_1} \overline{A_0}, \quad (4.16)$$

.....

$$Y_{15} = A_3 A_2 A_1 A_0. \quad (4.17)$$

Izlazne funkcije dekodera  $Y_0$  do  $Y_{15}$  sadrže samo po jedan član koji je dat u vidu logičkog proizvoda promenljivih, te dekoderska mreža može biti realizovana

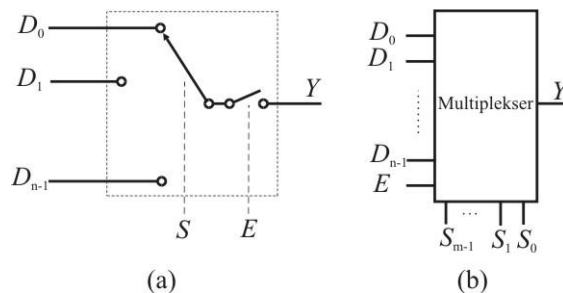
korišćenjem I kola i logičkih invertora. S obzirom na to da minimizacija gornjih funkcija nije moguća, za realizaciju dekodera potrebno je 16 I kola sa po 4 ulaza. Za dobijanje komplementarnih vrednosti ulaza potrebno je koristiti invertore. Deo šeme dekodera 4/16 prikazana je na slici 4.9.



**Slika 4.9** Deo dekodera 4/16.

### 4.1.5 Multiplekseri i demultiplekseri

*Multiplekser* je kombinaciona mreža sa više ulaza i jednim izlazom. Pomoću ove mreže ostvaruje se povezivanje selektovanog ulaza i zajedničkog izlaza. Multiplekser obavlja funkciju digitalnog višepozicionog prekidača. Na slici 4.10a prikazana je ekvivalentna funkcionalna šema, a na slici 4.10b grafički simbol multipleksera.



**Slika 4.10** Multiplekser sa  $n$  ulaza: (a) ekvivalentna funkcionalna šema; (b) grafički simbol multipleksera.

Na ulaze multipleksera se dovode podaci te se oni nazivaju i *informacioni ulazi* ili *kanali*. Multiplekser sa slike 4.10b ima  $n$  ulaza,  $D_0, D_1, \dots, D_{n-1}$ . Izbor ulaza koji će biti povezan sa izlazom multipleksera  $Y$  vrši se preko *selekcionog* ili *kontrolnog ulaza*. Na ulaz  $E$  dovodi se signal dozvole. Ako je signal dozvole neaktivan izlaz će biti u stanju logičke nule bez obzira na stanje selektovanog ulaza. Selekcija ulaza vrši se dovođenjem odgovarajućeg binarnog koda na ulaze  $S_0, S_1, \dots, S_{m-1}$ .

Multiplekser ima  $m$  selekcionih ulaza koji omogućavaju izbor jednog od  $n=2^m$  ulaza. Selektovani ulaz povezuje se sa izlazom posredstvom logičkih elemenata.

Postupak sinteze logičke mreže multipleksera biće sproveden na primeru multipleksera sa četiri ulaza. Izbor jedne od četiri ulazne linije  $D_0$  do  $D_3$  ovog multipleksera vrši se preko upravljačkih linija  $S_1$  i  $S_0$ . Logičko stanje izlaza multipleksera odgovara logičkom stanju na selektovanoj ulaznoj liniji. Rad multipleksera sa četiri ulaza može se opisati kombinacionom tabelom koja je prikazana u tabeli 4.4.

**Tabela 4.4** Kombinaciona tabela multipleksera sa četiri ulaza.

$E$	$S_0$	$S_1$	$Y$
1	0	0	$D_0$
1	0	1	$D_1$
1	1	0	$D_2$
1	1	1	$D_3$
0	X	X	0

Logička funkcija multipleksera sa četiri ulaza ima oblik

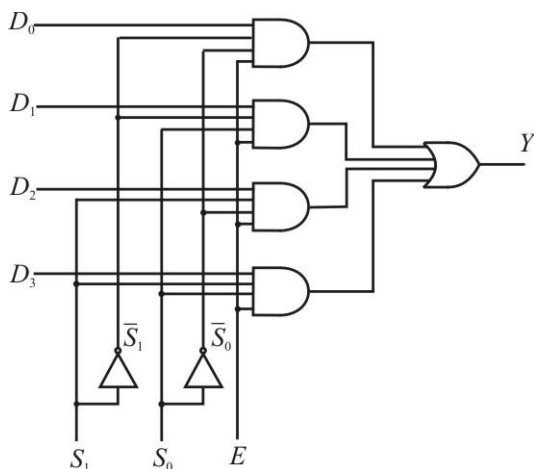
$$Y = ED_0\overline{S_1}\overline{S_0} + ED_1\overline{S_1}S_0 + ED_2S_1\overline{S_0} + ED_3S_1S_0. \quad (4.18)$$

Pri realizaciji logičke mreže multiplekser se može posmatrati kao kombinaciona mreža koja ima šest ulaza ( $D_0, D_1, D_2, D_3, S_0$  i  $S_1$ ) i jedan izlaz  $Y$ . Ako bi se napisala kombinaciona tablica za ovakvu mrežu, ona bi sadržala 64 reda, te bi posao minimizacije logičke mreže bio prilično obiman. Alternativni pristup bio bi da se kombinaciona mreža podeli na dva dela, upravljačku i prekidačku, i da se izvrši sinteza ovih delova multipleksera.

Ako se posmatra dvoulazno I kolo na čiji jedan ulaz je dovedena logička jedinica, signal na izlazu ovog kola biće identičan signalu na preostalom ulazu. Ova činjenica može se iskoristiti za realizaciju prekidačke mreže multipleksera.

Do upravljačke mreže multipleksera može se doći na osnovu sledeće analize. Ulaz  $D_0$  biće selektovan ako su na kontrolnim linijama  $S_1$  i  $S_0$  logičke nule. Dakle, linija  $D_0$  biće selektovana ako se na ulaz I kola pored linije  $D_0$  dovedu i invertovani kontrolni signali  $\overline{S_1}$  i  $\overline{S_0}$ . Slično, selektovanje linije  $D_1$  može se postići ako se na ulaz I kola pored ulazne linije  $D_1$  dovedu kontrolne linije  $\overline{S_1}$  i  $S_0$ . Uz pomoć tabele 4.4 mogu se lako odrediti i kombinacije kontrolnih signala preko kojih se selektuju ulazne linije  $D_2$  i  $D_3$ . Povezivanjem izlaza I kola na ulaze

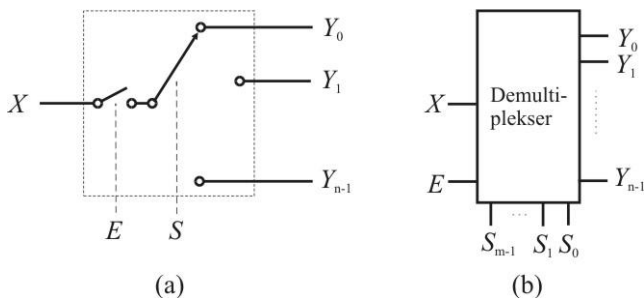
četvoroulaznog ILI kola dolazi se do kompletne logičke šeme multipleksera sa četiri ulaza, koja je prikazana na slici 4.11. Ulaz označen sa  $E$  je signal dozvole. Kada je  $E=0$  izlaz će biti u stanju logičke nule bez obzira na stanje selektovanog ulaza.



**Slika 4.11** Logička šema multipleksera sa četiri ulaza.

*Demultiplekser* je kombinaciona mreža pomoću koje se podatak sa jednog ulaza prosleđuje na jedan od više izlaza, te se može reći da demultiplekser obavlja funkciju koja je komplementarna funkciji multipleksera. Imajući u vidu funkciju demultipleksera, ovakva kombinaciona mreža se naziva *distributor*.

Na slici 4.12a prikazana je ekvivalentna funkcionalna šema, a na slici 4.12b simbol demultipleksera.



**Slika 4.12** Demultiplekser sa  $n$  izlaza: (a) ekvivalentna funkcionalna šema; (b) grafički simbol.

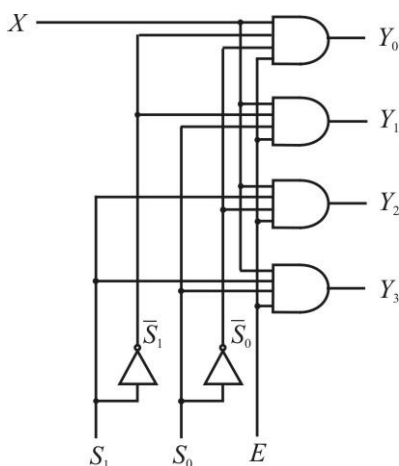
Za selektovanje jednog od  $n$  izlaza demultipleksera potrebno je koristiti  $m$  selekcionih signala, pri čemu je  $n=2^m$ .

Rad demultipleksera sa četiri izlaza može se opisati kombinacionom tabelom koja je prikazana u tabeli 4.5.

**Tabela 4.5** Kombinaciona tabela demultipleksera sa četiri izlaza.

$E$	$S_0$	$S_1$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
1	0	0	0	0	0	X
1	0	1	0	0	X	0
1	1	0	0	X	0	0
1	1	1	X	0	0	0
0	-	-	0	0	0	0

Postupkom ekvivalentnim onom koji je korišćen pri sintezi multipleksera sa četiri ulaza, lako se dolazi do logičke mreže demultipleksera sa četiri izlaza. Upravljačke mreže dva analizirana kola su iste dok se prekidačka mreža demultipleksera sastoji samo od I kola, čiji izlazi su u isto vreme i izlazi demultipleksera, kao što je prikazano šemom sa slike 4.13.

**Slika 4.13** Demultiplekser sa četiri izlaza.

Multiplekseri i demultiplekseri se koriste u telekomunikacijama, pri prenosu digitalnih podataka iz više izvora preko samo jedne linije za vezu. Potrebno je napomenuti da se multiplekser može koristiti za realizaciju logičkih funkcija, koje su izražene u vidu zbira logičkih proizvoda, što će biti i pokazano na sledećem primeru.

**Primer 4.2** Funkcija  $Y = \overline{CBA} + \overline{CB} + CBA$  će biti realizovana pomoću multipleksera sa proizvoljnim brojem ulaza, a potom pomoću četvoroulaznog multipleksera i osnovnih logičkih kola.

Pomoću multipleksera se mogu realizovati logičke funkcije koje su date u vidu zbira logičkih proizvoda nezavisnih promenljivih. Ako se usvoji da su na selekzione ulaze  $S_0, S_1$  do  $S_m$  dovedene ulazne promenljive, tada će izlaz multipleksera za



određenu kombinaciju ulaznih promenljivih zavisiti od logičkog stanja u kom se nalazi selektovani ulaz podataka.

Prema izloženom konceptu, za realizaciju funkcije od  $m$  promenljivih potrebno je koristiti multiplexer koji ima  $n=2^m$  ulaza. Za kombinacije ulaznih promenljivih za koje funkcija ima vrednost 1 na odgovarajuće ulaze multiplexera  $D_i$  ( $i=0, 1, \dots, n$ ) treba dovesti logičke jedinice a na ostale ulaze nule. S obzirom na to da zadata funkcija ima tri promenljive, za njenu realizaciju koristi se osmoulazni multiplexer.

Funkciju  $Y = \overline{CBA} + \overline{CB} + \overline{CBA}$  je potrebno dopuniti do potpune normalne forme. Posle množenja nepotpunog člana sa  $(A + \overline{A})$  dobija se

$$Y = \overline{CBA} + \overline{CBA} + \overline{CBA} + \overline{CBA}.$$

Funkcija  $Y$  treba da ima vrednost  $Y = 1$  za kombinacije ulaznih promenljivih  $CBA$ : 001, 101, 100 i 110. Ako se promenljive  $A$ ,  $B$  i  $C$  priključe na selekzione ulaze  $S_0$ ,  $S_1$  i  $S_2$ , na ulaze za podatke  $D_1$ ,  $D_4$ ,  $D_5$  i  $D_6$  dovede 1, a na ostale ulaze za podatke 0, kao što je prikazano na slici P4.2.1, multiplexer će na svom izlazu generisati funkciju  $Y$ .

Kada se logička funkcija realizuje pomoću četvoroulaznog multiplexera, na selekzione ulaze treba priključiti promenljive koje su u logičkoj funkciji zastupljene sa najviše različitih logičkih kombinacija. U funkciji

$$Y = \overline{CBA} + \overline{CB} + \overline{CBA},$$

se promenljive  $C$  i  $B$  pojavljuju u sva tri logička proizvoda te će one biti povezane na selekzione ulaze. Zadatak će biti rešen povezivanjem promenljive  $B$  na ulaz  $S_0$  i promenljive  $C$  na ulaz  $S_1$ .

Uzimajući da je  $S_1=C$ ,  $S_0=B$ , poređenjem izraza za funkciju  $Y$  sa logičkom funkcijom multiplexera (4.18) određuju se vrednosti koje treba priključiti na ulaze  $D_i$  ( $i = 0, 1, 2, 3$ )

$$D_0=A,$$

$$D_1=0,$$

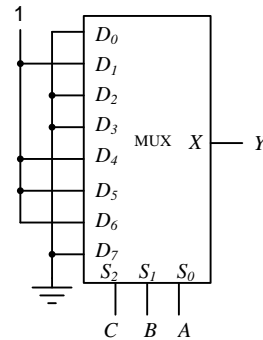
$$D_2=1,$$

$$D_3=\overline{A}.$$

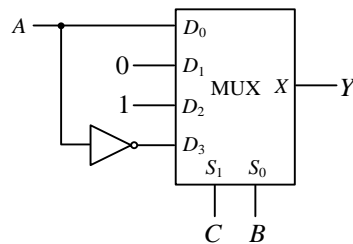
Za dobijanje komplementarne vrednosti ulazne promenljive  $A$ , koja se priključuje na ulaz  $D_3$ , koristi se logički inverter.

U ovom, kao i u prethodnom primeru, smatrano je da je priključak za signal dozvole  $E$  povezan na nivo logičke jedinice te je izostavljen. Logička šema kombinacione mreže kojom se realizuje zadata funkcija sa multiplexerom 4/1 prikazana je na slici P4.2.2.

Kao što se može videti iz prethodnog primera, pomoću multiplexera koji ima  $m=2$  selekciona ulaza realizovana je logička funkcija tri promenljive. U opštem slučaju, pomoću multiplexera sa  $n=2^m$  ulaza može se realizovati funkcija koja ima  $m + 1$  promenljivih.



Slika P4.2.1



Slika P4.2.2

### 4.1.6 Konvertori koda

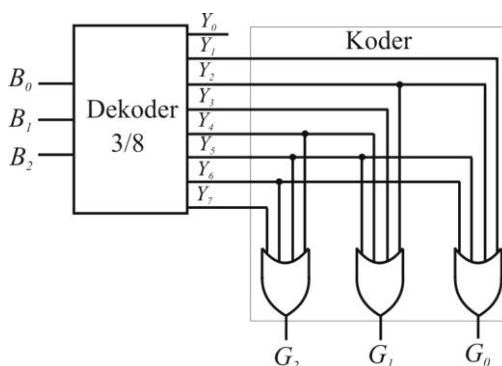
*Konvertori koda* su kombinacione mreže koje se koriste za konverziju jednog koda u drugi. U principu, konverzija koda se sastoji iz dekodovanja i kodovanja, te bi se moglo reći da se konvertor koda dobija povezivanjem dekodera i kodera. Međutim, često je moguće izvršiti minimizaciju funkcije konverzije koda, tako da logička mreža postaje jednostavnija.

Kao primer konvertora koda biće analiziran konvertor binarnog u Grejov kôd. Ulazni podatak u konvertor je binarno kodovan broj  $B_2B_1B_0$ , a izlaz je broj kodovan u Grejovom kodu  $G_2G_1G_0$ . Konverzija 3-bitnih binarnih brojeva u 3-bitne brojeve kodovane u Grejovom kodu data je u tabeli 4.6.

**Tabela 4.6** Konverzija binarnog u Grejov kôd.

Dec. broj	Binarni kod			Grejov kod		
	$B_2$	$B_1$	$B_0$	$G_2$	$G_1$	$G_0$
0	0	0	0	0	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	1
3	0	1	1	0	1	0
4	1	0	0	1	1	0
5	1	0	1	1	1	1
6	1	1	0	1	0	1
7	1	1	1	1	0	0

Konverzija 3-bitnih binarnih brojeva u 3-bitne brojeve u Grejovom kodu može se izvršiti tako što će se najpre dekodovati binarni broj, pa potom izvršiti kodovanje izlaza dekodera u Grejov kod. Ovim postupkom dolazi se do konvertora 3-bitnog binarnog koda u 3-bitni Grejov kôd koji je prikazan na slici 4.14. Kao što se vidi sa slike 4.14 konvertorska mreža se sastoji od potpunog dekodera 3/8 i potpunog kodera 8/3.



**Slika 4.14** Konvertor binarnog u Grejov kôd realizovan pomoću dekodera 3/8 i kodera 8/3.

Mreža koja obavlja konverziju binarnog u Grejov kôd prikazana je na slici 4.14. U šemi sa slike 4.14 dekodler 3/8 je predstavljen grafičkim simbolom, a realizacija kodera vrši se na način koji je opisan u odeljku 4.1.4. Izlazni signali dekodera su ulazni signali kodera koji se sastoji od tri četvoroulazna ILI kola.

Konvertor sa istom funkcijom može se ostvariti korišćenjem jednostavnije kombinacione mreže, s tim da se prethodno izvrši minimizacija izlaznih logičkih funkcija zadatih tabelom 4.6. Izlazne logičke funkcije konvertora koda sa slike 14.14 date su jednačinama

$$G_2 = B_2 \bar{B}_1 \bar{B}_0 + B_2 \bar{B}_1 B_0 + B_2 B_1 \bar{B}_0 + B_2 B_1 B_0, \quad (4.19)$$

$$G_1 = \bar{B}_2 B_1 \bar{B}_0 + \bar{B}_2 B_1 B_0 + B_2 \bar{B}_1 \bar{B}_0 + B_2 \bar{B}_1 B_0, \quad (4.20)$$

$$G_0 = \bar{B}_2 \bar{B}_1 B_0 + \bar{B}_2 B_1 \bar{B}_0 + B_2 \bar{B}_1 B_0 + B_2 B_1 \bar{B}_0. \quad (4.21)$$

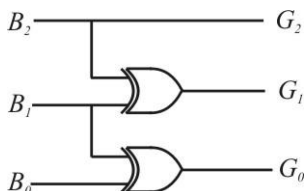
Nakon minimizacije funkcija (4.19) do (4.21), dolazi se do sledećih jednačina

$$G_2 = B_2, \quad (4.22)$$

$$G_1 = \bar{B}_2 B_1 + B_2 \bar{B}_1 = B_2 \oplus B_1, \quad (4.23)$$

$$G_0 = \bar{B}_1 B_0 + B_1 \bar{B}_0 = B_1 \oplus B_0. \quad (4.24)$$

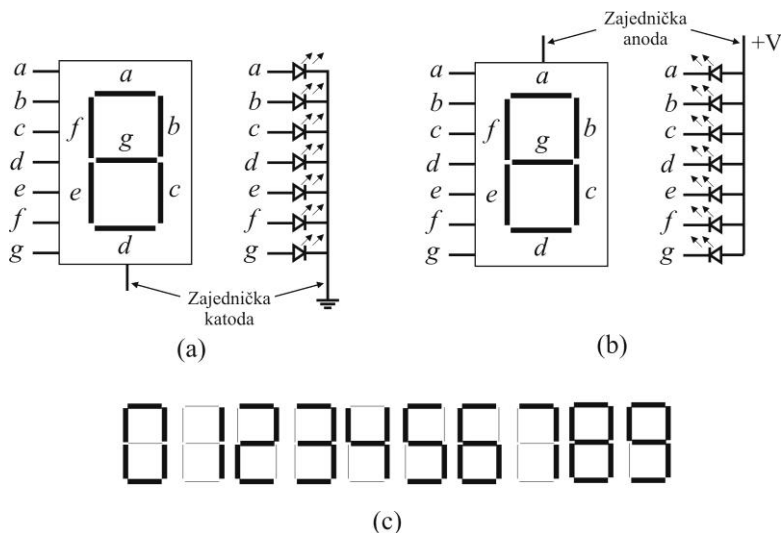
Logička šema konvertora binarnog u Grejov kôd, realizovana sa minimalnim brojem logičkih kola, prikazana je na slici 4.15.



**Slika 4.15** Konvertor binarnog u Grejov kôd realizovan sa minimalnim brojem logičkih kola.

Veoma često se u digitalnim sistemima za prikaz cifara koriste *sedmo-segmentni indikatori*. Da bi binarno kodovane decimalne cifre mogle da se prikažu pomoću ovakvih indikatora, potrebno je BCD kôd pretvoriti u *kôd 7 segmenata*. U praksi se mreža sa navedenom funkcijom naziva i dekodler BCD u kôd 7 segmenata, premda kolo obavlja funkciju konvertora koda. Segmenti sedmo-segmentne cifre se označavaju slovima *a, b, c, d, e, f i g*, kao što je prikazano na slikama 4.16a i 4.16b.

Segmenti sedmo-segmentnog displeja se najčešće realizuju upotrebom LED dioda (*Light Emmiting Diode*). Kod sedmo-segmentnog displeja sa zajedničkom katodom (sl. 4.16a) katode LED segmenata spojene su u jednu tačku koja se povezuje sa masom. Paljenje odgovarajuće LED diode vrši se dovodenjem visokog naponskog nivoa na anodu te diode, pri čemu se na red sa diodom povezuje otpornik koji služi da ograniči struju koja teče kroz uključenu diodu.



**Slika 4.16** Sedmosegmentni displej: (a) sa zajedničkom katodom; (b) sa zajedničkom anodom; (b) prikaz decimalnih cifara pomoću sedam segmenata.

Kod sedmo-segmentnog displeja sa zajedničkom anodom (sl. 4.16b) anode LED segmenata spojene su u jednu tačku koja se povezuje na visok naponski nivo. Paljenje odgovarajuće LED diode vrši se dovođenjem niskog naponskog nivoa na katodu te diode, pri čemu se na red sa diodom povezuje otpornik koji služi da ograniči struju koja teče kroz uključenu diodu.

Za prikaz određene decimalne cifre potrebno je aktivirati odgovarajuće segmente, kao što je prikazano na slici 4.16c. Na osnovu podataka sa slike 4.16 može se sačiniti kombinaciona tabela konvertora koda BCD u kôd 7 segmenata (tabela 4.7)

**Tabela 4.7** Kombinaciona tabela konvertora BCD koda u kôd 7 segmenata

Cifra $n_i$	BCD kôd				Kôd 7 segmenata						
	$D$	$C$	$B$	$A$	$a$	$b$	$c$	$d$	$e$	$f$	$g$
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Do konvertorske mreže koja obavlja funkciju definisanu tabelom 4.6 može se doći postupkom minimizacije, što je najjednostavnije uraditi primenom Karnoovih mapa. Potrebno je za svaki izlaz koji aktivira segment segmentne cifre formirati odgovarajuću Karnoovu mapu. Karnoova mapa za minimizaciju funkcije  $a$  data je na slici 4.17.

$a$		$BA$			
		00	01	11	10
$DC$	00	1	0	1	1
	01	0	1	1	1
	11	x	x	x	x
	10	1	1	x	x

**Slika 4.17** Karnoova mapa koja odgovara izlaznoj funkciji  $a$  konvertora BCD u kôd 7 segmenata.

Kao što se može videti iz mape sa slike 4.17, u minimizaciji se koriste i stanja na ulazu koja nemaju efekta na izlaz. Uočavanjem grupa polja koja sadrže logičke jedinice dolazi se do minimizirane forme logičke funkcije za izlaz  $a$

$$a = B + D + AC + \overline{A}\overline{C}. \quad (4.25)$$

Minimizacijom preostalih logičkih funkcija dolazi se do sledećih jednačina

$$b = \overline{C} + AB + \overline{A}\overline{B}, \quad (4.26)$$

$$c = A + \overline{B} + C, \quad (4.27)$$

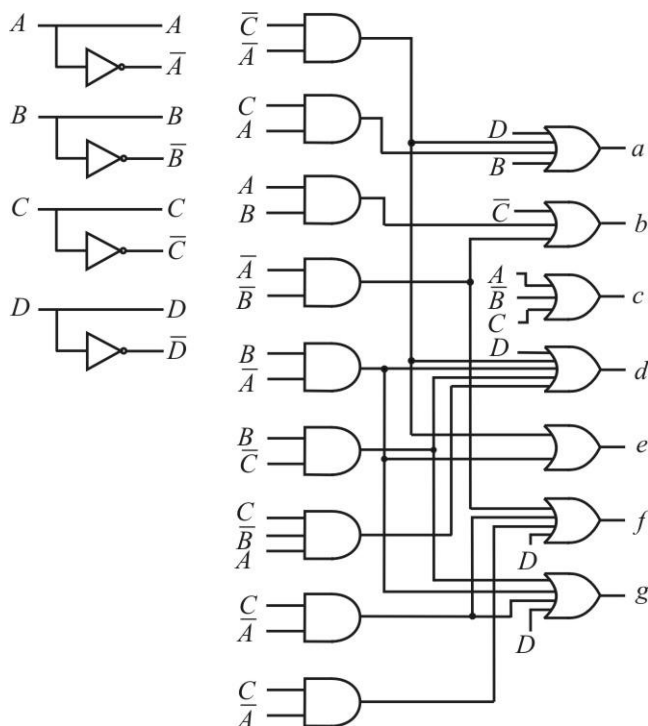
$$d = D + \overline{A}\overline{B} + \overline{A}\overline{B}C + \overline{A}\overline{C} + \overline{B}\overline{C}, \quad (4.28)$$

$$e = \overline{A}\overline{B} + \overline{A}\overline{C}, \quad (4.29)$$

$$f = D + \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{B}\overline{C}, \quad (4.30)$$

$$g = D + \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{B}\overline{C}. \quad (4.31)$$

Na osnovu logičkih funkcija (4.25) - (4.31) koje opisuju izlaze konvertora, može se zaključiti da se konvertor BCD u kôd 7 segmenata može realizovati korišćenjem I kola sa dva i tri ulaza i ILI kola sa dva, tri, četiri i pet ulaza. Komplementiranje ulaznih promenljivih vrši se korišćenjem invertora. Potpuna logička šema konvertora BCD u kôd sedam segmenata data je na slici 4.18.

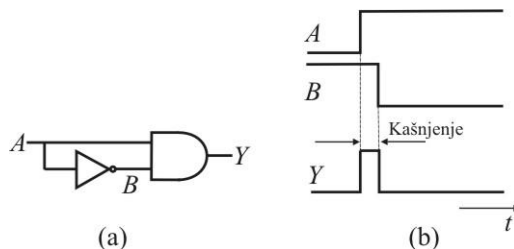


Slika 4.18 Logička šema konvertora BCD koda u kôd 7 segmenata.

### 4.1.7 Greške zbog kašnjenja logičkih kola

U dosadašnjoj analizi kombinacionih mreža cilj je bio da se određena logička funkcija realizuje korišćenjem što manjeg broja logičkih kola. Međutim, ovakav pristup u projektovanju logičkih mreža može dovesti do pojave lažne nule, lažne jedinice ili do višestrukih promena nivoa na izlazu mreže. Tada se kaže da se na izlazu mreže javio glič (eng. *glitch*). Navedene pojave posledica su pre svega kašnjenja logičkih kola. Problem o kome je reč ilustrovan je na slici 4.19.

Slika 4.19 Ilustracija pojave greške usled kašnjenja logičkih kola.



Pomoću logičkog kola sa slike 4.19a realizuje se funkcija

$$Y = AB, \tag{4.32}$$

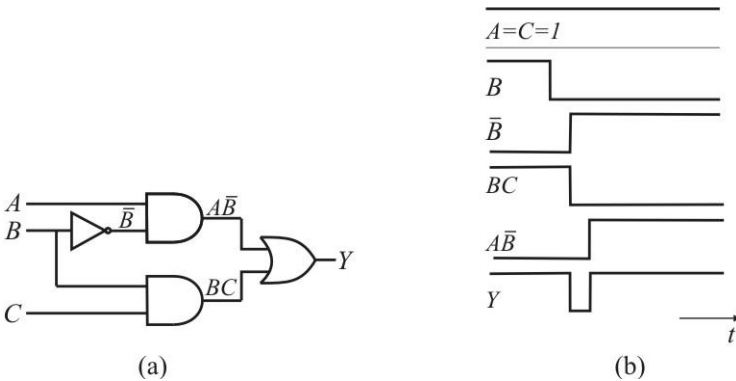
koja, s obzirom na to da je  $B = \bar{A}$ , uvek ima vrednost  $Y=0$ . Međutim, kao što se vidi iz vremenskog dijagrama sa slike 4.19b, zbog kašnjenja logičkog invertora, na oba ulaza I kola su u jednom kratkom intervalu, koji je jednak kašnjenju invertora, prisutne logičke jedinice. Tada se na izlazu kola sa slike 4.19a dobija logička jedinica, uprkos pretpostavci da bi izlaz ovog kola uvek trebalo da bude u stanju logičke nule.

Na osnovu izvršene analize vidi se da postoji rizik (*hazard*) od pojave lažne jedinice na izlazu posmatranog kombinacionog kola, a ova pojava se manifestuje kao kratkotrajan impuls ili glič visokog logičkog nivoa.

Postupak otklanjanja hazarda kod kombinacionih mreža biće pokazan na primeru mreže sa slike 4.20a. Izlazna funkcija ove mreže data je izrazom

$$Y = A\bar{B} + BC. \tag{4.33}$$

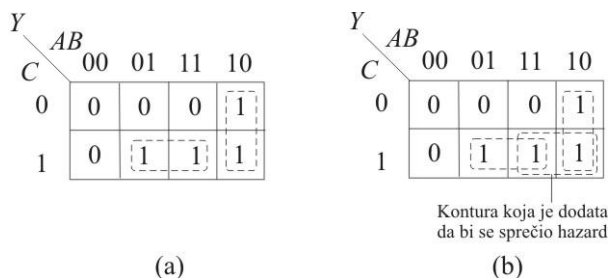
Na osnovu izraza (4.33) jasno je da za  $A=C=1$  izlazna funkcija  $Y$  treba da ima vrednost 1 bez obzira na vrednost promenljive  $B$ . Međutim, zbog kašnjenja kroz logička kola, kao što se vidi sa vremenskog dijagrama sa slike 4.20b, u jednom intervalu oba logička proizvoda u izrazu (4.33) su nule, te će se tada pojaviti lažna nula na izlazu logičke mreže.



**Slika 4.20** Primer kombinacione mreže kod koje postoji rizik od pojave lažne nule (a) i vremenski dijagrami koji ilustruje rad mreže (b).

Kombinacione mreže koje vrše sabiranje logičkih proizvoda ili množenje logičkih suma mogu se modifikovati tako da se spreči generisanje lažne nule, odnosno lažne jedinice. Ovde će biti pokazano kako se otklanja rizik od generisanja lažne nule kod mreže sa slike 4.20a.

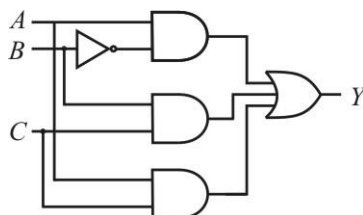
Mogućnost pojavljivanja lažne nule kod kombinacione mreže koja vrši sumiranje logičkih proizvoda može se ustanoviti primenom Karnoovih mapa. Za mrežu sa slike 4.20a Karnoova mapa je prikazana na slici 4.21a. Sa ove slike se vidi da su u mapi konturama obuhvaćena po dva susedna polja koja sadrže jedinice. Do problema u radu mreže će doći ako jedan od učenih logičkih proizvoda, zbog kašnjenja, postane nula pre nego sto drugi postane jedinica. Tada će se na izlazu mreže javiti lažna nula.



**Slika 4.21** Karnoova mapa za mrežu sa slike 4.20a (a) i Karnoova mapa za istu mrežu sa dodatom konturom za sprečavanje pojave lažne nule (b).

Da bi kratak interval u kome se može javiti lažna nula na izlazu mreže bio premošćen, potrebno je modifikovati posmatranu mrežu. Ova modifikacija se obavlja dodavanjem konture koja obuhvata po jedno polje iz već postojećih kontura, kao što je pokazano na slici 4.21b. Dodavanjem ove konture ne menja se logička funkcija mreže, ali se sprečava pojava lažne nule kada dođe do promene ulaza koja dovodi do prelaska iz jedne u drugu konturu. Modifikovana mreža, u kojoj ne postoji opasnost od pojave lažne nule, prikazana je na slici 4.22.

**Slika 4.22** Modifikovana mreža sa slike 4.20a kod koje nema mogućnosti generisanja lažne nule.



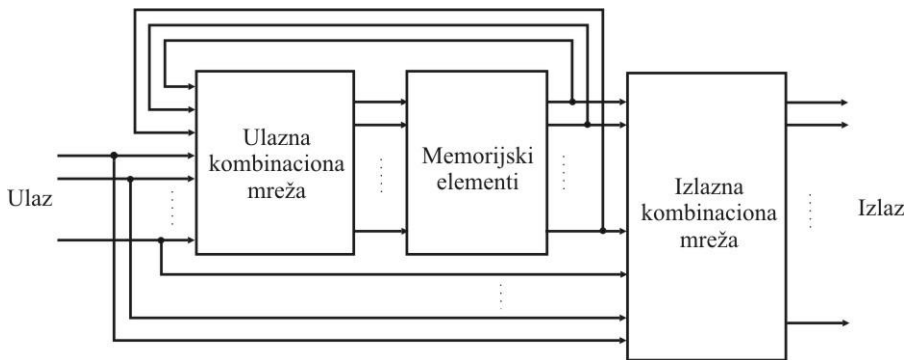
Imajući u vidu put kojim se došlo do mreže sa slike 4.22, jasno je da ona nije minimalna. Međutim, dodavanjem jednog I kola sprečena je pojava lažne nule, a ukupno kašnjenje mreže nije povećano.

Značaj prisustva hazarda kod kombinacionih mreža povezan je sa primenom. U nekim primenama, npr. kada se radi o upravljanju sporim sistemima, tada pojava kratkih impulsa na izlazu kombinacione mreže nema posebnog značaja. Međutim, u mnogim primenama pitanje otklanjanja hazarda je od prvorazrednog značaja. Posebno u slučajevima kada kolo reaguje na promenu logičkog stanja a ne na logičko stanje, što je slučaj kod čitave klase sekvencijalnih kola, o kojima će više reči biti u nastavku.



## 4.2 Sekvencijalne mreže

Izlaz kombinacione mreže, koja je bila predmet analize prethodnog poglavlja, zavisi samo od tekuće kombinacije ulaznih signala. *Sekvencijalne mreže* se razlikuju od kombinacionih po tome što izlazni signal iz sekvencijalne mreže, pored toga što zavisi od tekućih vrednosti ulaznih signala, zavisi i od redosleda tj. sekvence generisanja ulaznih signala. Da bi izlaz mreže bio funkcija tekućeg ali i prethodnog stanja ulaza, sekvencijalna mreža mora sadržati memorijske elemente. Pored toga, sekvencijalna mreža često sadrži povratnu spregu. Na taj način stanje izlaza, osim što zavisi od tekućih vrednosti ulaznih promenljivih i prethodnih stanja koja su se formirala u mreži, zavisi i od prethodnog stanja izlaza. Osnovni model sekvencijalne mreže prikazan je blok šemom na slici 4.23.

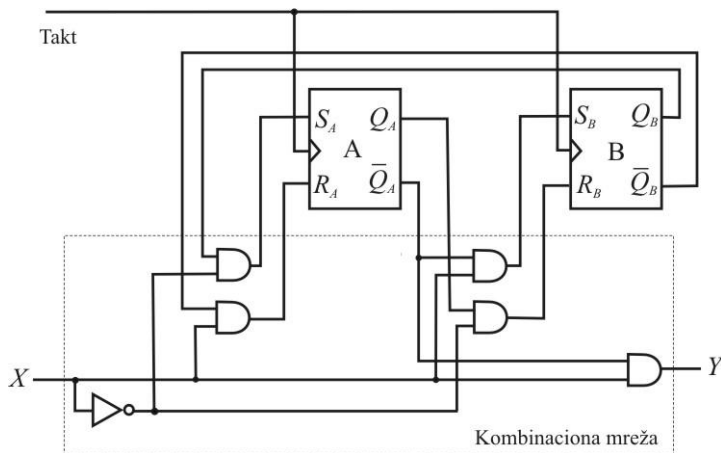


Slika 4.23 Model sekvencijalne mreže.

Sekvencijalne mreže se mogu podeliti na *sinhrone* i *asinhrone*. Kod sinhronih sekvencijalnih mreža sve operacije se vrše u koicidenciji sa sinhronizacionim ili takt impulsima. Sinhronizacioni impulsi se dovode iz generatora taktnog signala. Taktni impulsi definišu referentne trenutke u kojima se interpretiraju logička stanja. Kod asinhronih sekvencijalnih mreža do promene stanja izlaza dolazi kada dođe do promene stanja ulaza, te rad ovih kola nije sinhronizovan odgovarajućim taktnim impulsima.

### 4.2.1 Analiza sekvencijalne mreže

Postupak analize sekvencijalne mreže biće dat preko jednog jednostavnog primera. Na slici 4.24 prikazana je sinhrona sekvencijalna mreža koja se sastoji iz dva SR flipflopa i kombinacione mreže. Kombinaciona mreža realizovana je korišćenjem osnovnih logičkih kola. U principu, kao memorijski elementi u sekvencijalnim mrežama mogu se koristiti sve vrste flipflopa i leč kola.



**Slika 4.24** Blok šema jedne jednostavne sinhronne sekvencijalne mreže.

U primeru sa slike 4.24 sekvencijalna mreža sadrži jednu ulaznu promenljivu  $X$  i jednu izlaznu funkciju  $Y$ . Memorijski deo mreže čine dva sinhrona SR flipflova, dok se kombinacioni deo mreže sastoji od 1 kola i logičkog invertora. Na ulaze logičkih kola dovodi se ulazna logička promenljiva  $X$  i logičke promenljive sa izlaza flipflopova. Izlazi logičkih kola koriste se kao ulazi flipflopova i kao izlazi sekvencijalne mreže. Na taj način ostvarena je zavisnost izlaza mreže kako od trenutnih stanja ulaza tako i od prethodnog stanja flipflopova.

Na osnovu analize mreže sa slike 4.24 mogu se pisati izrazi za funkcije kontrolnih ulaza  $S$  i  $R$  flipflopova

$$R_A = \overline{Q_B} X, \quad (4.34)$$

$$S_A = Q_B \overline{X}, \quad (4.35)$$

$$R_B = Q_A \overline{X}, \quad (4.36)$$

$$S_B = \overline{Q_A} X. \quad (4.37)$$

Izlaz mreže je funkcija ulaza i stanja flipflopova. Logička funkcija izlaza mreže sa slike 4.24 ima oblik

$$Y = \overline{Q_A} X. \quad (4.38)$$

Funkcija sekvencijalne mreže definisana je stanjem ulaza, stanjem izlaza i stanjem flipflopova. Izlazi mreže i sledeće stanje mreže zavise od stanja ulaza i sadašnjeg stanja mreže. Funkcionisanje sekvencijalne mreže može se opisati *tabelom stanja*, u koju se unose stanja izlaza i sledeće stanje mreže koje zavisi od stanja ulaza i sadašnjeg stanja mreže.

Do tabele stanja mreže dolazi se na osnovu ulaznih funkcija flipflopova (jednačine 4.34 do 4.37). Iz ovih jednačina se vidi da se flipflop  $A$  resetuje pri kombinaciji  $\{Q_B, X\} = \{0, 1\}$ , da se setuje pri kombinaciji  $\{Q_B, X\} = \{1, 0\}$  i da za ostale kombinacije  $\{Q_B, X\}$  izlaz flipflopova  $A$  ostaje nepromenjen. Flipflop  $B$  se

resetuje kada je  $\{Q_A, X\}=\{1, 0\}$ . Flipflop  $B$  je setovan za  $\{Q_A, X\}=\{0, 1\}$ , i ostaje u prethodnom stanju za ostale kombinacije  $\{Q_A, X\}$ . Na osnovu izložene analize, znajući sadašnje stanje mreže i stanje ulazne promenljive, dolazi se do sledećeg stanja mreže.

Stanje izlaza mreže funkcija je sadašnjeg stanja mreže i stanja ulazne promenljive. Iz jednačine (4.38) se vidi da je izlaz 1 kada je sadašnje stanje izlaza flipflopa  $A$  jednako 0 i kada je ulaz  $X=1$ . U ostalim slučajevim izlaz  $Y$  jednak je nuli. Sledeće stanje mreže i stanje izlaza su funkcija sadašnjeg stanja i stanja ulaza, i oni se dobijaju analizom logičke šeme mreže.

Na osnovu napred iznete procedure dolazi se do tabele stanja proizvoljne sekvencijalne mreže. U opštem slučaju, sekvencijalna mreža koja sadrži  $m$  flipflopova,  $n$  ulaznih i  $p$  izlaznih promenljivih imaće  $m$  kolona za sadašnje stanje  $n$  kolona za ulaze,  $m$  kolona za sledeće stanje i  $p$  kolona za izlaze. Ukupan broj kombinacija sadašnjeg stanja i stanja ulaza je  $2^{m+n}$ , tako da tabela stanja ima  $2^{m+n}$  vrsta. Tabela stanja za sekvencijalnu mrežu sa slike 4.24 data je u tabeli 4.8.

**Tabela 4.8** Tabela stanja za mrežu sa slike 4.24.

Sadašnje stanje			Sledeće stanje		Izlaz
$Q_A$	$Q_B$	$X$	$Q_A$	$Q_B$	$Y$
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	1	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	0	0	0
1	1	0	1	0	0
1	1	1	1	1	0

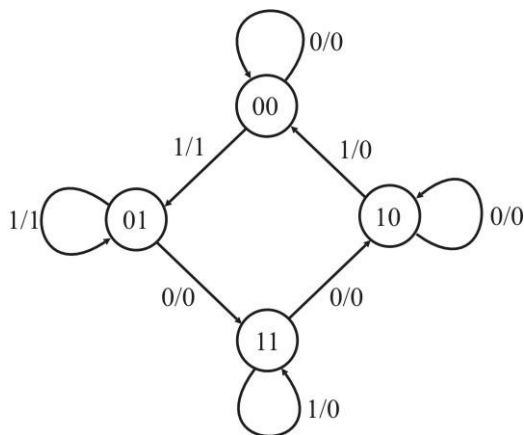
Sadašnje stanje pokazuje stanje flipflopova pre nego što se pojavio taktni impuls. Kao što se vidi iz tabele 4.8 ukupno postoji osam mogućih kombinacija ulaza i stanja flipflopova. Sledeće stanje pokazuje stanje izlaza flipflopova nakon dejstva taktnog impulsa.

Rad sekvencijalne mreže može se na pregledan način prikazati pomoću *dijagrama stanja*. Stanje sekvencijalne mreže se u dijagramu stanja predstavlja krugom ili čvorom, a prelaz iz jednog stanja u drugo stanje linijom koja povezuje dva kruga. Dijagram stanja sekvencijalne mreže sa slike 4.24 predstavljen je na slici 4.25.

Binarni brojevi koji se upisuju u krugove pokazuju stanja flipflopova  $A$  i  $B$ . Usmerene linije koje povezuju krugove označavaju se brojevima odvojenim kosom crtom. Prvi binarni broj predstavlja vrednost ulazne promenljive; broj iza kose crte označava stanje na izlazu tokom sadašnjeg stanja. Npr. linija koja povezuje stanja 00 i 01 obeležena je sa 1/1, što znači da je sadašnje stanje mreže 00 i da je  $X=1$  i  $Y=1$ . Pri pojavi narednog taktnog impulsa mreža će preći u stanje

01. Linija koja polazi i završava se na istom krugu pokazuje da nije došlo do promene stanja mreže.

**Slika 4.25** Dijagram stanja sekvencijalne mreže sa slike 4.24.



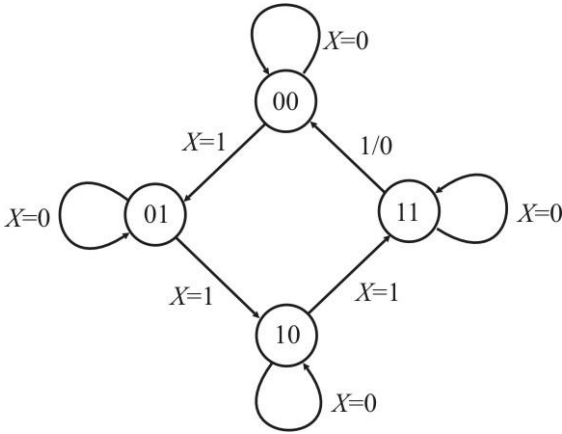
Do dijagrama stanja dolazi se iz tabele stanja, te dijagram stanja sadrži iste podatke koje sadrži i tabela stanja. Premda između tabele stanja i dijagrama stanja nema suštinske razlike po pitanju informacija koje nose, dijagram stanja na slikovitiji način opisuje rad sekvencijalne mreže.

## 4.2.2 Sinteza sekvencijalne mreže

Procedura sinteze sinhronne sekvencijalne mreže biće sprovedena na jednom jednostavnom primeru. Prvi korak ovog postupka odnosi se na formiranje dijagrama stanja. Dijagram stanja se potom konvertuje u tabelu stanja, a na osnovu tabele stanja može se pristupiti crtanju logičkog dijagrama mreže.

Neka se od konkretne sekvencijalne mreže zahteva da sukcesivno prolazi kroz stanja 00, 01, 10 i 11 kada je ulaz  $X=1$ , a da stanje mreže ostaje nepromenjeno kada je na ulazu  $X=0$ . S obzirom na to da ova mreža na svom izlazu generiše binarne kombinacije signala u jednom određenom redosledu koji se može interpretirati kao kodovani niz sukcesivnih brojeva, ona se naziva *binarni brojač*. O binarnim brojačima će više reči biti u odeljku 4.2.5.

Imajući u vidu da je svako stanje posmatrane mreže specificirano sa dva bita, u njenoj realizaciji potrebno je koristiti dva flipflopa. Na osnovu specificirane funkcije dolazi se do dijagrama stanja mreže, koji je dat na slici 4.26.



**Slika 4.26** Dijagram stanja 2-bitnog binarnog brojača.

Kada je  $X=1$ , mreža prelazi iz jednog u drugo stanje koje odgovara sukcesivnim binarnim brojevima. Iz stanja 11 mreža prelazi u stanje 00, odakle se brojanje nastavlja. Kada je  $X=0$ , stanje mreže ostaje nepromenjeno. S obzirom na to da mreža nema spoljašnje izlaze, na dijagramu je označen samo ulaz  $X$ . Kao izlazi ove mreže mogu se smatrati stanja flipflopova  $A$  i  $B$ . Ova stanja biće označena sa  $Q_A$  i  $Q_B$ , respektivno.

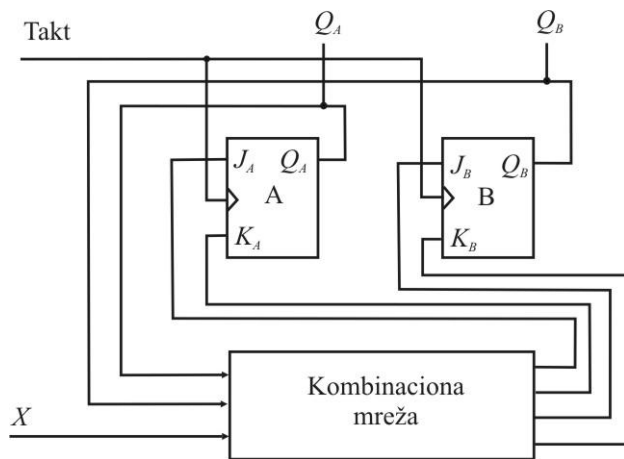
Na osnovu dijagrama stanja formirana je tabela 4.9. Prvih pet kolona ove tabele formiraju tabelu stanja. Vrednosti date u ovoj tabeli direktno su uzete iz dijagrama stanja. Tabela stanja proširena je uslovima prelaska na ulazima flipflopova. Svakako da uslovi prelaska na ulazima flipflopova zavise od tipa korišćenog flipflopa. Ako se u realizaciji mreže kao memorijski elementi koriste JK flipflopovi, onda je potrebno tabeli stanja dodati po dve kolone za svaki flipflop, jednu za ulaz  $J$  a drugu za ulaz  $K$ . U tabeli 4.9 ulazi flipflopa  $A$  označeni su sa  $J_A$  i  $K_A$ , a ulazi flipflopa  $B$  sa  $J_B$  i  $K_B$ .

**Tabela 4.9** Tabela stanja i uslova prelaska sekvencijalne mreže koja vrši funkciju 2-bitnog binarnog brojača.

<i>Tabela stanja</i>					Uslovi prelaska			
Sadašnje stanje		Ulaz	Sledeće stanje		Stanja na ulazima flipflopova			
$Q_A$	$Q_B$	$X$	$Q_A$	$Q_B$	$J_A$	$K_A$	$J_B$	$K_B$
0	0	0	0	0	0	$x$	0	$x$
0	0	1	0	1	0	$x$	1	$x$
0	1	0	0	1	0	$x$	$x$	0
0	1	1	1	0	1	$x$	$x$	1
1	0	0	1	0	$x$	0	0	$x$
1	0	1	1	1	$x$	0	1	$x$
1	1	0	1	1	$x$	0	$x$	0
1	1	1	0	0	$x$	1	$x$	1
<i>Ulaz kombinac. mreže</i>					<i>Izlaz kombinacione mreže</i>			

Na osnovu funkcionalne tabele JK flipflopa (tabela 3.10) formira se tabela uslova za prelazak u sledeće stanje. Na primer, iz prve vrste tabele 4.9 se vidi da flipflop A iz sadašnjeg stanja 0 prelazi u sledeće stanje koje je takođe 0. S druge strana, iz tabele 4.9 se vidi da JK flipflop ostaje u stanju 0 ako je  $J=0$ , bez obzira na stanje  $K$  ulaza, što se može označiti sa  $K=x$ . Na taj način su određene vrednosti ulaza flipflopa A,  $J_A=0$  i  $K_A=x$  u prvoj vrsti tabele 4.9. U isto vreme, iz prve vrste tabele 4.9 se vidi da flipflop B takođe iz stanja 0 prelazi u stanje 0, što je omogućeno ako je  $J_B=0$  i  $K_B=x$ . Identičnom analizom određuju se uslovi prelaska i za preostala stanja mreže.

Blok šema sekvencijalne mreže koja vrši funkciju 2-bitnog binarnog brojača data je na slici 4.27.



**Slika 4.27** Blok-šema sekvencijalne mreže koja vrši funkciju 2-bitnog binarnog brojača.

Ulazi u kombinacionu mrežu su  $Q_A$ ,  $Q_B$  i  $X$ . Izlazi su logičke promenljive  $J_A$ ,  $K_A$ ,  $J_B$  i  $K_B$ . Na osnovu tabele 4.9 popunjavaju se Karnoove mape (slika 4.28), preko kojih se dolazi do minimiziranih formi izlaza kombinacione mreže.

$J_A$	$Q_A Q_B$			
	00	01	11	10
$X$ 0			x	x
1		1	x	x

$K_A$	$Q_A Q_B$			
	00	01	11	10
$X$ 0	x	x		
1	x	x	1	

$J_B$	$Q_A Q_B$			
	00	01	11	10
$X$ 0		x	x	
1	1	x	x	1

$K_B$	$Q_A Q_B$			
	00	01	11	10
$X$ 0	x			x
1	x	1	1	x

**Slika 4.28** Karnoove mape izlaza kombinacione mreže 2-bitnog binarnog brojača.

Minimizirane funkcije izlaza kombinacione mreže binarnog brojača imaju sledeći oblik

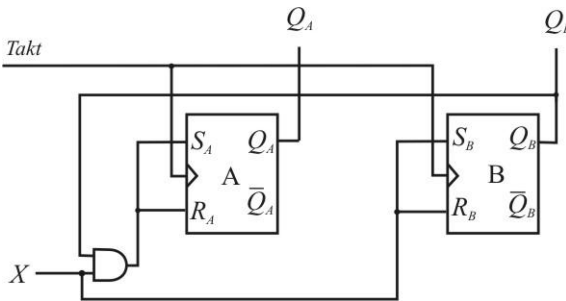
$$J_A = Q_B X, \quad (4.39)$$

$$K_A = Q_B X, \quad (4.40)$$

$$J_B = X, \quad (4.41)$$

$$K_B = X. \quad (4.42)$$

Na osnovu jednačina (4.39)-(4.42) lako se formira kombinaciona mreža brojača. Kompletna logička šema sekvencijalne mreže 2-bitnog binarnog brojača data je na slici 4.29.



**Slika 4.29** Logička šema binarnog brojača.

Izloženi postupak sinteze jednostavne sekvencijalne mreže koja vrši funkciju binarnog brojača kapaciteta dva bita može poslužiti za sistematizovanje postupka projektovanja sekvencijalnih mreža.

Najpre, na osnovu opisa funkcionisanja mreže formira se dijagram stanja. Na osnovu dijagrama stanja formira se tabela stanja, koja sadrži stanja izlaza mreže u funkciji ulaznih promenljivih i stanja mreže.

Ako mreža sadrži  $m$  flipflopova i  $n$  ulaza, tabela stanja će imati  $m$  kolona za sadašnje stanje,  $n$  kolona za ulaze i  $m$  kolona za sledeće stanje. Broj vrsta u tabeli je  $2^{m+n}$ , po jedna vrsta za svaku binarnu kombinaciju sadašnjeg stanja i ulaza.

Nakon izbora tipa flipflopova koji će se koristiti u realizaciji mreže, tabelu stanja potrebno je dopuniti uslovima za prelazak iz jednog u drugo stanje za sve kombinacije ulaznih promenljivih. Na taj način dolazi se do tabele istinitosti kombinacione mreže koja predstavlja deo sekvencijalne mreže. Ulazne promenljive ove tabele su ulazi i sadašnje stanje mreže, dok su izlazne promenljive ulazi flipflopova.

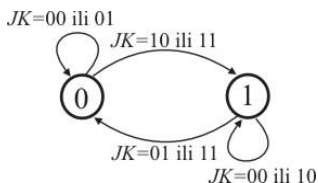
Na osnovu tabele istinitosti dolazi se do izlaznih logičkih funkcija kombinacione mreže. Nakon minimizacije izlaznih funkcija može se nacrtati logički dijagram kombinacione mreže, a potom i logički dijagram kompletne sekvencijalne mreže.

U prethodnom primeru izlazi flipflopova su u isto vreme i izlazi sekvencijalne mreže. Međutim, kombinaciona mreža može posedovati posebne

izlaze. U tom slučaju, do izlaznih funkcija dolazi se direktno iz tabele stanja, prema uobičajenoj proceduri koja se za to primenjuje kod kombinacionih mreža.

**Primer 4.3** U ovom primeru biće izvršena sinteza sekvencijalne mreže kojom se D flipflop transformiše u JK flipflop.

Da bi D flipflop bio transformisan u JK flipflop, D flipflop je potrebno dodati kombinacionu mrežu koja realizuje logičku funkciju JK flipflopa. Diagram stanja JK flipflopa prikazan je na slici P4.3.1, dok je tabela stanja JK flipflopa realizovanog sa D flipflopom prikazani u tabeli P4.3.1.

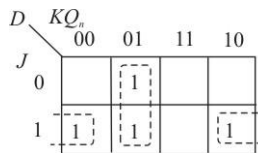


Slika P4.3.1

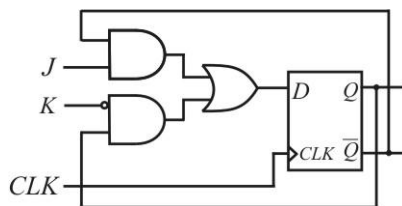
Tabela P4.3.1

$JK$	$Q_n$	$Q_{n+1}$	$D$
00	0	0	0
00	1	1	1
01	0	0	0
01	1	0	0
10	0	1	1
10	1	1	1
11	0	1	1
11	1	0	0

Ulazi u kombinacionu mrežu su  $J$ ,  $K$  i  $Q_n$  a izlaz  $D$ . Na osnovu tabele P4.3.1 popunjava se Karnoova mapa (slika P4.3.2) preko koje se dolazi do minimizirane forme kombinacione mreže  $D = J\overline{Q_n} + \overline{K}Q_n$ . Na slici P4.3.3 prikazan je JK flipflop dobijen od D flipflopa.



Slika P4.3.2



Slika P4.3.3

U nastavku će biti analizirani stacionarni i pomerački registri i brojači, kao primeri često korišćenih sekvencijalnih mreža.

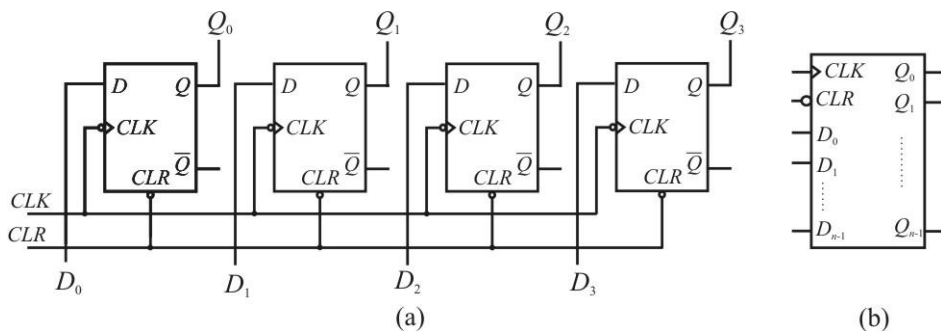
### 4.2.3 Stacionarni registri

*Stacionarni registri* se koriste za privremeno memorisanje digitalnih informacija. Podatak zapamćen u stacionarnom registru ostaje u njemu u neizmenjenom obliku, po čemu je registar i dobio naziv. Najčešće se koriste registri kapaciteta 8 bita koji memorišu podatak dužine jednog bajta. Veći broj bajtova može se memorisati korišćenjem većeg broja registara.



Za realizaciju registara najčešće se koriste D flipflopovi, ali se registri mogu realizovati i pomoću D lečeva. Broj flipflopova zavisi od predviđenog kapaciteta registra. Na slici 4.30 prikazan je stacionarni registar kapaciteta 4 bita realizovan sa D flipflopovima.

Kao što se vidi sa slike 4.30, stacionarni registar predstavlja skup međusobno nepovezanih flipflopova. Upis podataka u registar vrši se pod dejstvom taktnog signala, jednovremeno u sve flipflopove. Registar sa slike 4.30 poseduje priključak *CLR* za jednovremeno resetovanje svih flipflopova, čime se briše prethodni sadržaj.



**Slika 4.30** Logička šema 4-bitnog stacionarnog registra sa D flipflopovima (a) i grafički simbol za stacionarni registar (b).

Pored stacionarnih registara sa paralelnim upisom podataka, postoje i registri sa serijskim upisom podataka.

**Primer 4.4** Potrebno je realizovati statičku RAM memoriju (SRAM) kapaciteta 8x4 bita. U realizaciji memorije koristiti poznata digitalna kola: memorijsku ćeliju realizovanu pomoću D leča, dekodera, logička kola i trostatičke bafere.

Memorija kapaciteta 8x4 bita se sastoji iz 8 statičkih registara kapaciteta 4 bita. Za realizaciju jednog statičkog registra potrebno je koristiti 4 memorijske ćelije. U realizaciji memorije biće korišćena memorijska ćelija prikazana je na slici 3.2a.

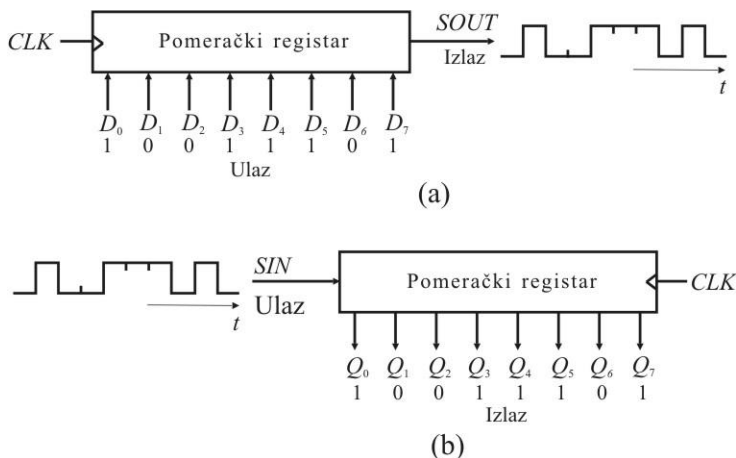
Memorija je organizovana u vidu matrice koja ima osam redova i četiri vrste. Redove memorije čine statički registri u koje se pamte binarne reči dužine 4 bita. Vrstama memorije pripadaju ćelije za memorisanje bita iste težine. Za selektovanje registra u koji se upisuje ili iz koga se čita 4-bitni podatak koristi se adresni dekodera 3/8. S obzirom na to da se na izlazu memorijskih ćelija nalaze trostatički bafere, izlazi memorijskih ćelija mogu se spojiti na zajedniču izlaznu liniju. Na slici P4.4 data je blok šema statičke memorije kapaciteta 8x4 bita.

Upis podataka koji je prisutan na ulaznim linijama  $DIN_3-DIN_0$  u selektovani registar vrši se postavljanjem  $CS=0$  i  $WE=0$ , čime se selektuje čip (*chip select*,  $CS$ ) i omogućava upis (*write enable*,  $WE$ ).

Čitanje 4-bitnog sadržaja selektovanog registra vrši se postavljanjem  $CS=0$  i  $OE=0$ , čime se selektuje čip i aktiviraju izlazni trostatički bafere (*output enable*,  $OE$ ), tako da su podaci koji su memorisani u registru prisutni na izlaznim linijama podataka  $DOUT_3-DOUT_0$ .



Pomerački registri mogu imati *paralelni ulaz* i *serijski izlaz* ili *serijski ulaz* i *paralelni izlaz*. Na slici 4.31 preko odgovarajućih blok šema prikazani su navedeni tipovi pomeračkih registara. Pored navedenih, proizvode se i pomerački registri koji raspolažu i paralelnim i serijskim ulazom i izlazom.



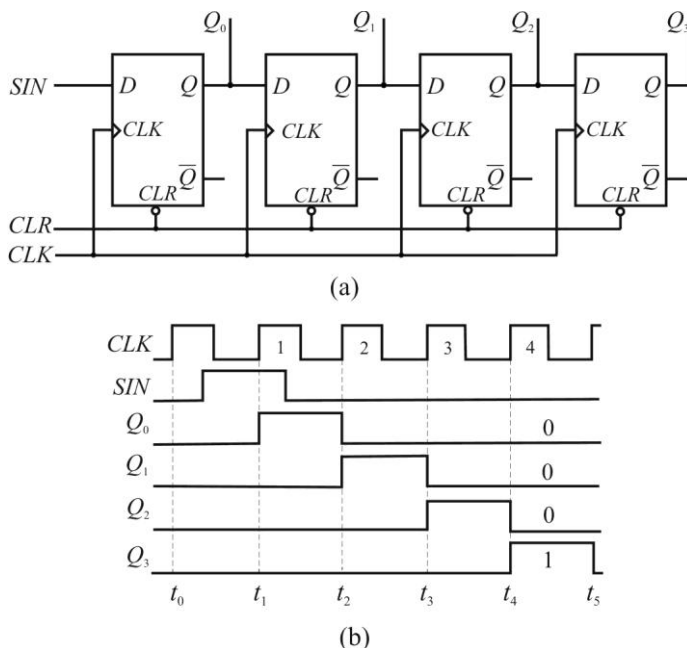
**Slika 4.31** Blok šema pomeračkog registra sa paralelnim ulazom i serijskim izlazom (a) i pomeračkog registra sa serijskim ulazom i paralelnim izlazom (b).

### Pomerački registar sa serijskim ulazom i paralelnim izlazom

Za realizaciju pomeračkih registara koriste se JK ili D flipflopovi. Ako se u realizaciji pomeračkog registra koriste D flipflopovi, onda je za prenos podataka iz jednog u drugi flipflop potrebno ostvariti vezu izlaza  $Q$  prethodnog flipflopa i ulaza  $D$  narednog flipflopa. Analiza rada pomeračkog registra sa serijskim ulazom i paralelnim izlazom biće izvršena preko mreže koja se sastoji od četiri master-slejev D flipflopa, kao što je prikazano na slici 4.31a.

Rad pomeračkog registra ilustrovan je pomoću vremenskih dijagrama signala (slika 4.32b) na primeru upisa binarnog niza 1000. Ako se pretpostavi da je u početnom trenutku  $t_0$  na ulazu prvog flipflopa bila logička nula i da su izlazi svih flipflopova u stanju logičke nule, pod dejstvom početnog taktnog impulsa neće doći do promene logičkog stanja na izlazima flipflopova. Ako se, potom, na ulazu prvog flipflopa pojavi logička jedinica i zadrži tokom jednog taktnog intervala, izlaz  $Q_0$  prvog flipflopa pod dejstvom prvog taktnog impulsa preći će sa logičke nule na logičku jedinicu. Izlazi preostalih flipflopova ostaće nepromenjeni. Pri pojavi usponske ivice taktnog impulsa 2 izlaz  $Q_1$  je u stanju logičke jedinice, te je na ulazu drugog flipflopa prisutna logička jedinica, dok je na ulazima preostalih flipflopova logička nula. Posle rastuće ivice ovog taktnog impulsa biće  $Q_1=1$  a izlazi preostalih flipflopova su u stanju logičke nule. Proces se ponavlja, pri pojavi narednog taktnog impulsa stanje izlaza prethodnog flipflopa prenosi se na izlaz

narednog, tako da će nakon četvrtog taktnog impulsa sadržaj 1000 sa serijskog ulaza  $SIN$  biti memorisan u pomeračkom registru i prisutan u paralelnom formatu na izlazu  $Q_3-Q_0$ . Zbog toga se analizirani pomerački registar naziva konvertor podataka iz serijskog u paralelni format.



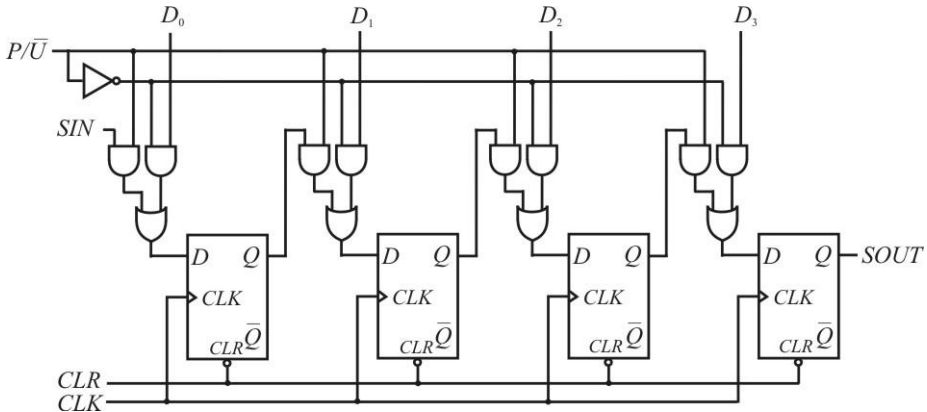
**Slika 4.32** Četvorobitni pomerački registar sa serijskim ulazom i paralelnim izlazom: (a) logička šema; (b) vremenski dijagram signala.

Spajanjem izlaza  $Q_3$  poslednjeg flipflopa sa serijskim ulazom  $SIN$  dobija se tzv. *kružni brojač*. Informacija upisana u registar će se, pod dejstvom taktnih impulsa, bit po bit, ponovo upisivati u isti registar tj. kružiće kroz pomerački registar. O ovom i drugim brojačima više reči će biti u narednom odeljku.

### Pomerački registar sa paralelnim ulazom i serijskim izlazom

Mreža sa slike 4.32 može, uz određenu modifikaciju, poslužiti za konverziju podataka iz paralelnog formata u serijski tj. u povorku bita. Već je pokazano kako se dolazi do stacionarnog registra u koji se upisuje podatak u paralelnom formatu. Jedna ovakva mreža realizovana uz pomoć D flipflopova prikazana je na slici 4.30. Mrežu sa ove slike posebno je modifikovati tako da se omogući grupi flipflopova da iz paralelne pređu u serijsku vezu, čime bi se omogućilo da grupa bita, koji su prethodno upisani u paralelnom formatu u posmatranu grupu

flipflopova, budu pomerana za jedno mesto udesno pod dejstvom svakog taktnog impulsa. Na taj način paralelno upisani podatak se prenosi na serijski izlaz *SOUT* pomeračkog registra. Na slici 4.33 data je šema pomeračkog registra koji vrši konverziju 4-bitnog podatka iz paralelnog u serijski format.



**Slika 4.33** Pomerački registar sa paralelnim ulazom i serijskim izlazom.

Za povezivanje flipflopova koristi se *dvoulazni multiplekser*, koji se često naziva i *selektor podataka*. Do šeme dvoulaznog multipleksera lako se dolazi iz šeme multipleksera sa četiri ulaza sa slike 4.11. Na jedan ulaz dvoulaznog multipleksera dovodi se bit  $D_i$  ( $i=0, 1, 2, 3$ ) koji se upisuje u flipflop u fazi upisa podataka. Drugi ulaz multipleksera povezan je sa izlazom flipflopa tako da se u fazi pomeranja podataka preko multipleksera ostvaruje redna veza flipflopova. Selekcija ulaza multipleksera vrši se pomoću kontrolne linije  $P/\bar{U}$ .

U fazi upisa linija  $P/\bar{U}$  je u stanju logičke nule i tada se podatak sa ulaza  $D_3D_2D_1D_0$  memoriše u flipflopove. U fazi pomeranja, kontrolna linija  $P/\bar{U}$  je u stanju logičke jedinice, što dovodi do veze izlaza prethodnog i ulaza narednog flipflopa, odnosno do redne veze flipflopova. Kada su flipflopovi povezani redno, onda se sadržaj registra pomera za jedan bit u desno za svaki taktni impuls, što dovodi do generisanja povorka bita na serijskom izlazu *SOUT*.

Ulaz prvog multipleksera *SIN* se koristi za rednu vezu četvorobitnih pomeračkih registara kako bi se dobio pomerački registar većeg kapaciteta. Povezivanje se vrši tako što se izlazni priključak *SOUT* poveže sa ulazom *SIN* narednog pomeračkog registra. Na taj način može se formirati pomerački registar proizvoljne dužine.

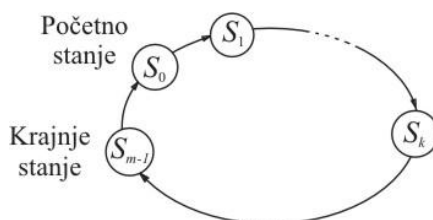
Pored navedenih primena pomeračkih registara koje se odnose na konverziju podataka iz paralelnog u serijski format i iz serijskog u paralelni format i realizaciju kružnog brojača, pomerački registri se koriste za binarno množenje i deljenje sa 2, kao digitalne linije za kašnjenje, za sinhronizaciju u sistemima koji

rade različitim brzinama, dok sa kombinacionom mrežom mogu obavljati i druge funkcije.

### 4.2.5 Brojači

Brojači su sekvencijalne mreže koje na svom izlazu generišu kombinacije binarne signala u jednom određenom redosledu, koji se može interpretirati kao kodovani niz sukcesivnih brojeva. Do promene stanja brojača dolazi pod dejstvom takta, te stanje na izlazu brojača predstavlja binarni kôd koji odgovara rednom broju taktog impulsa. Stanje brojača se sekvencijalno menja od početnog do krajnjeg stanja, krajnje stanje prelazi u početno i pojava se ciklično ponavlja. Dijagram stanja brojača je *prstenast*, kao što je prikazano na slici 4.34. Za brojač sa  $m$  stanja kaže se da je brojač do  $m$  ili brojač *modula*  $m$ . Broj  $m$  se naziva i *osnova brojanja*.

**Slika 4.34** Dijagram stanja brojača.



Brojači se konstruišu tako da broje *unapred*, da broje *unazad*, ili da broje u oba smera. Kod brojača unapred odbrojani impuls se dodaje na prethodno odbrojane impulse, dok se kod brojača unazad odbrojani impuls oduzima od prethodnog sadržaja brojača. U zavisnosti od smera brojanja, početno ili resetovano stanje brojača odgovara najmanjoj ili najvećoj vrednosti u opsegu brojanja.

Osnovni element koji se koristi za realizaciju brojača je flipflop. Korišćenjem  $n$  flipflopova može se realizovati brojač sa  $2^n$  stanja ili binarni brojač modula  $m=2^n$ . U nekim slučajevima može se zahtevati da ciklus brojanja bude manji od punog opsega brojača. Zahtevana osnova brojanja ostvaruje se posebnim spregama flipflopova, najčešće primenom odgovarajuće povratne sprege.

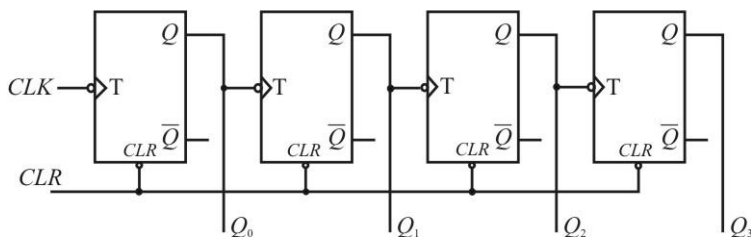
Za realizaciju binarnog brojača proizvoljne osnove brojanja  $X$  potrebno je koristiti  $n$  flipflopova, pri čemu se broj flipflopova određuje iz nejednakosti

$$2^{n-1} < X \leq 2^n. \quad (4.43)$$

Podela brojača može se izvršiti i prema načinu taktovanja. Ako se svi flipflopovi u brojaču taktuju zajedničkim taktim signalom, takvi brojači se nazivaju *sinhroni*. Ako taktim signal nije zajednički za sve flipflopove, brojač je *asinhroni*.

## Asinhroni brojači

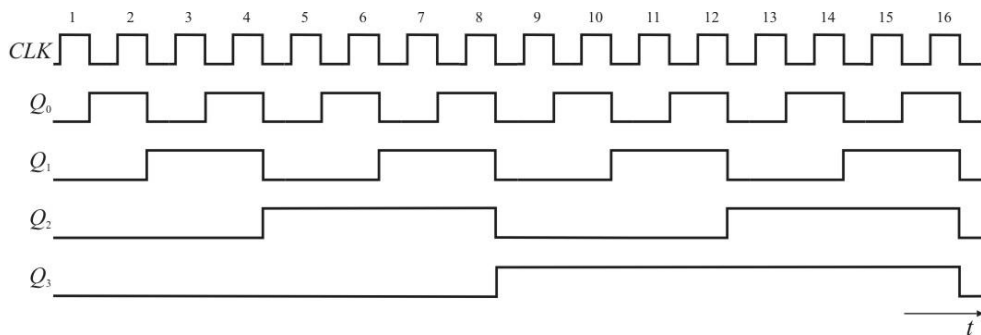
Kao osnovni elementi asinhronne brojačke mreže najčešće se koriste T flipflopovi. Na slici 4.35 je data šema asinhronog binarnog brojača sa četiri T flipflopa.



**Slika 4.35** Četvorbitni asinhroni brojač.

Kod T flipflopova do promene stanja dolazi na svaki impuls doveden na ulaz. Stanja izlaza T flipflopova koji su korišćeni za realizaciju asinhronog brojača sa slike 4.34 menjaju se pri pojavi opadajuće ivice okidnog signala dovedenog na CLK ulaz. Za prvi flipflop to je signal takta, a za ostale flipflopove signal doveden sa izlaza  $Q$  prethodnog flipflopa. Na slici 4.36 pomoću vremenskih dijagrama signala ilustrovan je rad četvorbitnog asinhronog brojača sa slike 4.35.

Preko vremenskog dijagrama sa slike 4.36 vidi se da brojač broji od 0 do 15 i da se potom vraća na nulu, što predstavlja početno stanje. Ukupan broj stanja brojača je 16, te je moduo ovog brojača  $m=16$ .



**Slika 4.36** Vremenski dijagram signala 4-bitnog asinhronog brojača.

Stanje izlaza  $Q_0$  prvog flipflopa menja se pri svakoj silaznoj ivici takta. Na izlazu prvog flipflopa dobijaju se pravougaoni impulsi dvostruko manje učestanosti od učestanosti takta. Slično, svaki naredni flipflop deli učestanost takta sa 2, te se ovo kolo može posmatrati i kao delitelj učestanosti.

Stanje izlaza asinhronog brojača sa slike 4.35 nakon svakog taktog impulsa dato je u tabeli 4.10.

**Tabela 4.10** Tabela stanja 4-bitnog brojača sa slike 4.34.

Takt	$Q_3$	$Q_2$	$Q_1$	$Q_0$
Poč. stanje	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

Iz tabele 4.10 može se zapaziti da binarni kôd koji odgovara stanju izlaza flipflopova odgovara rednom broju impulsa dovedenog na ulaz brojača, čime se potvrđuje da analizirana mreža radi kao brojač.

Asinhroni brojač koji broji unapred može se realizovati i sa  $T$  flipflopovima sa okidanjem na rastuću ivicu taktnog signala. Tada je potrebno invertujući izlaz  $\overline{Q}$  prethodnog povezati sa  $T$  ulazom narednog flipflopa.

Jednostavnom modifikacijom brojača sa slike 4.35 koji broji unapred, može se doći do asinhronog brojača koji broji unazad. Brojač sa slike 4.35 će brojati unazad ako se na ulaz prvog flipflopa dovede takti signal a ulaz svakog narednog flipflopa poveže sa komplementarnim izlazom flipflopa koji mu prethodi.

Korišćenjem  $n$  flipflopova može se realizovati asinhroni brojač modula  $m=2^n$ , koji broji od 0 do  $2^n-1$ . Kod brojača koji broji unapred, za početno stanje se uzima ono u kome su svi flipflopovi resetovani. Resetovanje brojača sa slike 4.35 vrši se logičkom nulom što se postiže kratkotrajnim prebacivanjem linije  $CLR$  sa visokog na nizak logički nivo.

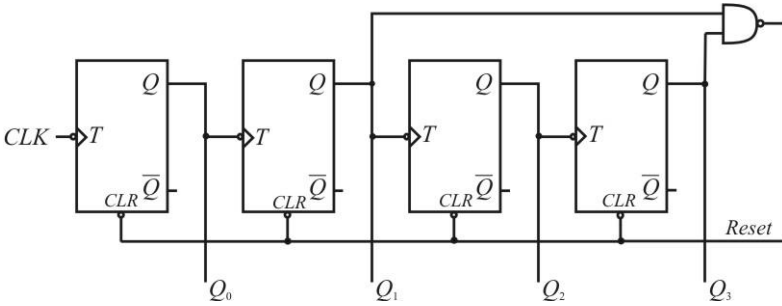
Prethodnim primerom pokazano je kako se realizuje asinhroni brojač modula brojanja  $m=2^n$ , gde je  $n$  broj upotrebljenih flipflopova. U nekim primenama se zahteva da osnova brojanja bude različita od  $2^n$ , te je potrebno realizovati brojače koji imaju i druge, proizvoljne vrednosti osnove brojanja.

Brojač modula  $m$ , koji koduje binarni niz brojeva od 0 do  $(m-1)$ , može se realizovati korišćenjem osnovne konfiguracije asinhronog brojača uz dodavanje kola za dekodovanjem stanja ( $m$ ) i trenutno vraćanje brojača u početno stanje. Primenom ovakvog koncepta može se doći do brojača koji ima osnovu 10 i koji se naziva *dekadni brojač*. Dekadni brojač koji broji od 0 do 9 često se naziva

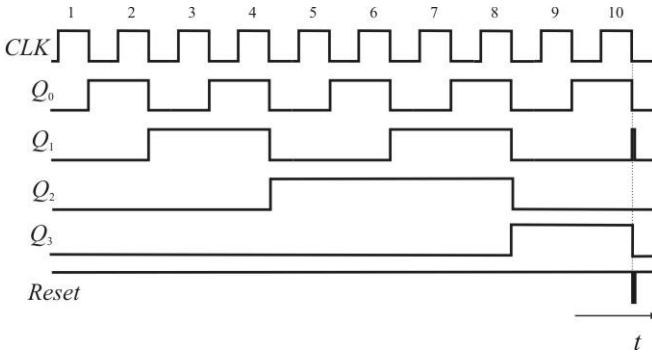


binarno kodovani decimalni brojač ili skraćeno BCD brojač. Na slici 4.37 prikazana je uprošćena logička šema asinhronog dekadnog brojača.

Dekadni brojač u osnovi sadrži brojač modula  $m=2^l$  sa slike 4.35, s tim što mu je dodato dvoulazno NI kolo za detekciju nedozvoljenog jedanaestog stanja i resetovanje brojača. Brojač broji od početnog stanja  $Q_3Q_2Q_1Q_0=0000$  do poslednjeg  $Q_3Q_2Q_1Q_0=1001$ , i kada pređe u naredno, nedozvoljeno stanje  $Q_3Q_2Q_1Q_0=1010$  izlaz NI kola pređe sa visokog na nizak naponski nivo, što trenutno dovodi do resetovanja brojača odnosno njegovog vraćanja u početno stanje, odakle se ciklus brojanja nastavlja. Na slici 4.38 pomoću vremenskih dijagrama signala ilustrovan je rad asinhronog dekadnog brojača.



Slika 4.37 Uprošćena šema asinhronog dekadnog brojača



Slika 4.38 Vremenski dijagram signala asinhronog dekadnog brojača.

Napred opisani pristup može dovesti do rešenja brojača proizvoljnog modula brojanja  $m$ . Za realizaciju brojača potrebno je koristiti  $n$  flip-flova tako da je ispunjen uslov  $2^n > m$ , a kolo za resetovanje treba da se aktivira pri dostizanju osnove brojanja.

Nedostatak brojača sa slike 4.37 je pojava kratkotrajnog impulsa (gliča) na izlazu  $Q_1$  posle desetog taktnog impulsa. Glič je posledica činjenice da izlaz  $Q_1$  mora preći u stanje logičke jedinice pre nego što se detektuje stanje brojača  $Q_3Q_2Q_1Q_0=1010$ . Pored toga, kao posledica nejednakih propagacionih kašnjenja

kroz drugi i četvrti flipflop, kod brojača sa slike 4.37 može doći do nesigurnog reseta.

Za pravilan rad ovog brojača potrebno je da svi flipflopovi imaju isto kašnjenje. Ako bi, na primer, drugi flipflop imao manje kašnjenje od četvrtog, moglo bi se desiti da se usled bržeg resetovanja prvog flipflopa promeni stanje izlaza NI logičkog kola pre nego što se resetuje četvrti flipflop. Navedeni problem može se rešiti tako što se posle dostizanja stanja  $(m-1)$  ne vrši resetovanje brojača za vraćanje u početno stanje, već se početno stanje  $Q_3Q_2Q_1Q_0=0000$  upisuje paralelno u brojač, što se ostvaruje dodatnom kombinacionom mrežom. Realizacija brojača sa paralelnim upisom biće predstavljena na kraju ovog odeljka.

## Sinhroni brojači

Asinhroni brojači, premda veoma jednostavni za realizaciju, imaju ozbiljan nedostatak koji posebno dolazi do izražaja pri velikim brzinama rada. Naime, ako je vreme kašnjenja koje unosi jedan flipflop  $t_{TQ}$ , za brojač od  $n$  flipflopova ukupno kašnjenje iznosi  $n \cdot t_{TD}$ . To znači da će, u slučaju promene stanja poslednjeg flipflopa, rezultat biti važeći tek posle vremena  $n \cdot t_{TQ}$ . Za ispravan rad asinhronog brojača potrebno je da perioda taktnog signala bude veća od ukupnog kašnjenja,  $T_c > n \cdot t_{TQ}$ . Zbog toga se za učestanost taktnog signala za asinhroni brojač koji ima  $n$  flipflopova mora uvesti ograničenje

$$f_c = \frac{1}{T_c} < \frac{1}{n \cdot t_{TQ}}, \quad (4.44)$$

zbog čega se asinhroni brojači koriste samo kada je broj flipflopova mali.

Kod *sinhronih brojača* ulazi za taktni signal  $CLK$  svih flipflopova povezani su na zajedničku liniju takta, tako da izlazi svih flipflopova menjaju stanje u istom trenutku, a ukupno kašnjenje brojača jednako je kašnjenju jednog flipflopa. Da bi se ostvario ispravan rad brojača, tj. da se stanje izlaza prvog flipflopa menja pri svakom taktnom impulsu, drugog pri svakom drugom taktnom impulsu, trećeg pri svakom četvrtom taktnom impulsu i tako redom, flipflopovi koji čine sinhroni brojač ne mogu se povezati direktno, već posredstvom logičkih kola koja treba da obezbede zahtevani rad. Rešenje za četvorostepeni sinhroni brojač biće potraženo kroz analizu stanja izlaza flipflopova koja su data u tabeli 4.11.

Za realizaciju 4-bitnog sinhronog brojača biće korišćeni JK flipflopovi sa okidanjem na opadajuću ivicu. Iz tabele 4.11 se vidi da se stanje izlaza  $Q_0$  prvog flipflopa menja na svaki taktni impuls. Postavljanjem  $J$  i  $K$  ulaza prvog flipflopa u stanje logičke jedinice biće ostvaren ovaj zahtev.

Izlaz  $Q_1$  menja stanje kada se pojavi opadajuća ivica taktnog impulsa ako je  $Q_0=1$ . Ovaj zahtev može se ostvariti ako se ulazi  $J$  i  $K$  drugog flipflopa međusobno spoje i povežu na  $Q$  izlaz prvog flipflopa.

Izlaz  $Q_2$ menja stanje kada se pojavi opadajuća ivica taktnog impulsa ako su oba izlaza  $Q_0$  i  $Q_1$  logičke jedinice. Ovaj uslov može se ostvariti tako što će izlazi

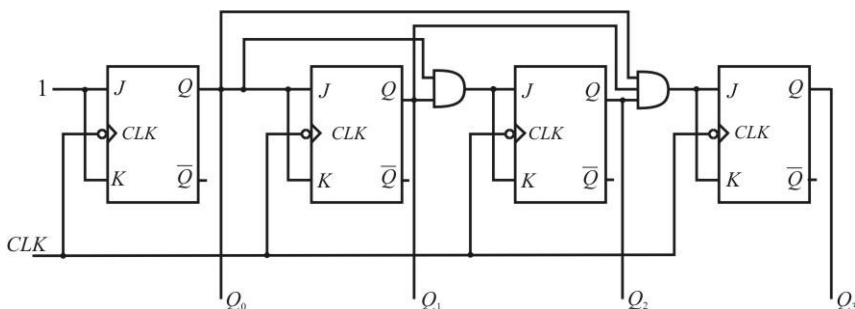
$Q_0$  i  $Q_1$  povezati na ulaze dvoulaznog I kola i izlaz I kola povezati sa  $J$  i  $K$  ulazima trećeg flipflopa.

**Tabela 4.11** Tablica stanja izlaza četvorostepenog binarnog brojača.

Takt	$Q_3$	$Q_2$	$Q_1$	$Q_0$
Početno stanje	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
Početno stanje	0	0	0	0

Izlaz  $Q_3$  menja stanje kada se pojavi opadajuća ivica taktnog impulsa i ako u tom trenutku važi  $Q_2=Q_1=Q_0=1$ . Ovaj uslov može se zadovoljiti povezivanjem izlaza  $Q_2$ ,  $Q_1$  i  $Q_0$  na ulaz jednog troulaznog I kola i izlaz ovog kola poveže sa  $J$  i  $K$  ulazima četvrtog flipflopa.

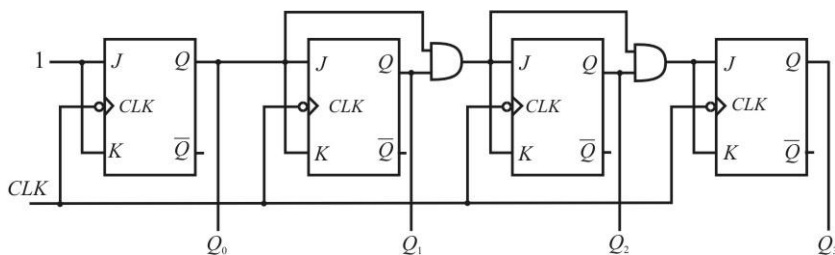
S obzirom na to da se okidanje svih flipfloпова vrši jednovremeno, stanja na izlazima flipfloпова biće postavljena u skladu sa stanjima zatečenim na ulazima u trenutku pojavljivanja opadajuće ivice taktnog signala. Na slici 4.39 data je šema sinhronog brojača do koje se došlo prethodnom analizom.



**Slika 4.39** Logička šema sinhronog četvorobitnog brojača.

Primenom napred opisanog postupka može se ostvariti sinhroni binarni brojač proizvoljnog kapaciteta. Međutim, kao što se vidi sa slike 4.39, povećanjem broja flipflopova povećava se i broj signala koji se dovode na ulaze I kola, pa samim tim i zahtevani broj ulaza ovih kola. Problem se lako prevazilazi korišćenjem samo dvoulaznih I kola, kao što je prikazano na slici 4.40, pri čemu se na jedan ulaz I kola dovodi izlaz  $Q$  prethodnog flipflopa a na drugi ulaz se povezuje izlaz prethodnog dvoulaznog I kola. Ovim se realizacija brojača znatno pojednostavljuje, kao što se vidi sa slike 4.40.

Treba napomenuti da uprošćenje koje je uvedeno kod sinhronog brojača sa slike 4.40 ima svoju cenu. Naime, zbog kašnjenja koje unosi svako I kolo, potrebno je određeno vreme da se promena stanja sa izlaza prvog flipflopa prenese do ulaza poslednjeg flipflopa, čime se limitira maksimalna učestanost taktnog signala. Navedeni problem se ne javlja kod brojača sa slike 4.39 kod koga se kašnjenje I kola ne akumulira.



**Slika 4.40** Modifikovani četvorostepeni sinhroni brojač.

U realizaciji sinhronih brojača sa paralelnim upisom početnog sadržaja, koji će biti analizirani u sledećem odeljku, pogodno je koristiti D flipflopove. Sinteza sinhronog brojača sa D flipflopovima se može obaviti korišćenjem postupka sinteze sekvencijalnih mreža koji je opisan u poglavlju 4.2.2. Za 4-bitni sinhroni brojač sa signalom dozvole iz tabele stanja i uslova prelaska u sledeće stanje, koji je za D flipflopove jednak sledećem stanju, posle izvršene minimizacije dobijaju se jednačine za  $D$  ulaze flipflopova

$$D_0 = Q_0 \oplus E, \quad (4.45)$$

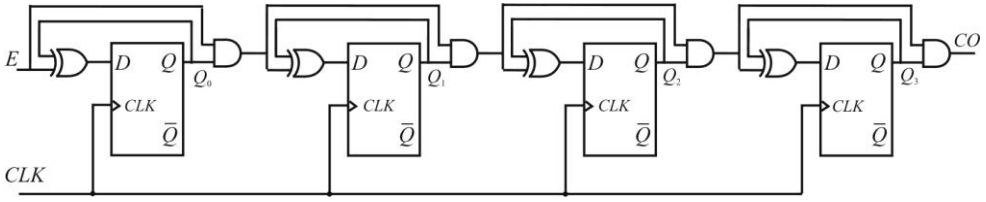
$$D_1 = Q_1 \oplus Q_0 E, \quad (4.46)$$

$$D_2 = Q_2 \oplus Q_1 Q_0 E, \quad (4.47)$$

$$D_3 = Q_3 \oplus Q_2 Q_1 Q_0 E. \quad (4.48)$$

Na osnovu jednačina (4.45)-(4.48) nacrtana je logička šema četvorobitnog sinhronog brojača koja je data na slici 4.41.

Kaskadnim povezivanjem  $n$  brojača sa slike 4.41, tako što se  $CO$  izlaz prethodnog brojača spoji sa  $E$  ulazom narednog, dobija se sinhroni brojač kapaciteta  $4n$ . Pri tome, priključak  $E$  prvog brojača u lancu treba spojiti na nivo logičke jedinice.

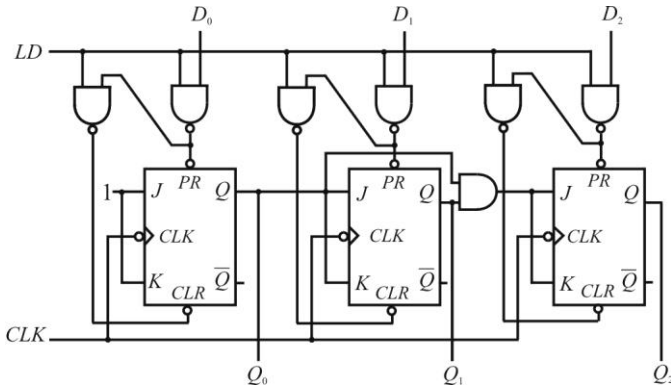


**Slika 4.41** Sinhroni 4-bitni binarni brojač sa D flipflopovima

**Brojači sa paralelnim upisom**

U mnogim primenama se zahteva da brojač otpočne brojanje od određenog početnog stanja. Da bi ovaj zahtev bio ispunjen potrebno je omogućiti upis početnog sadržaja u flipflopove brojača. Ova funkcija se ostvaruje preko asinhronih ulaza *PR* i *CLR* za direktno setovanje odnosno resetovanje flipflopova. Primer flipflopa koji poseduje takve ulaze dat je na slici 3.19. Na slici 4.42 prikazan je sinhroni binarni brojač modula 8 sa paralelnim upisom početnog sadržaja.

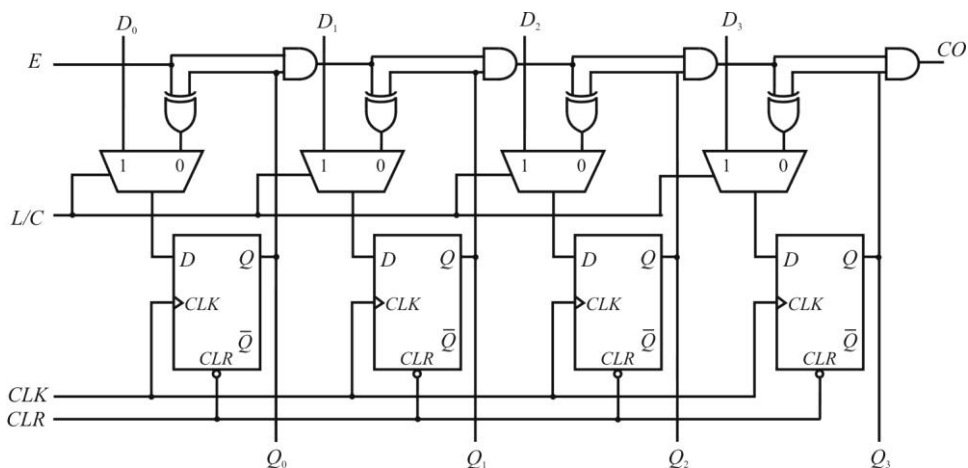
Binarni sadržaj koji treba upisati u brojač dovede se na ulaze  $D_2D_1D_0$  i na kontrolni ulaz *LD* (od eng. *load*) postavi logička jedinica. Ako su za vreme dok je *LD* bio aktivan ulazi za podatke bili npr. u stanju  $D_0=1, D_1=0$  i  $D_2=1$ , u flipflopove  $Q_0, Q_1$  i  $Q_2$  će se upisati 1, 0 i 1, respektivno. Upisani početni sadržaj biće inkrementiran za 1 na aktivnu ivicu prvog *CLK* impulsa.



**Slika 4.42** Sinhroni brojač modula 8 sa paralelnim upisom.

Upis početnog sadržaja u brojač sa slike 4.42 je asinhron, što znači da brojač prilikom upisa menja stanje nezavisno od takta. Da bi se obezbedio upis početnog sadržaja sinhronizovan sa taktom, što je neophodan uslov za pouzdan rad brojača u složenim sekvencijalnim mrežama, potrebno je razdvojiti fazu upisa od faze brojanja što se postiže uvođenjem kontrolnog signala *L/C* (eng. *Load/Count*).

Kada je kontrolni signal  $L/C$  aktivan onda se taktim impulsom vrši paralelni upis u brojač, a kada je on neaktivan brojač broji taktne impulse. Prelazak iz jednog u drugi režim rada ostvaruje se preko dvoulaznih multipleksera, na sličan način na koji su ostvarene faze upisa i pomeranja kod pomeračkog registra sa paralelnim upisom. Na slici 4.43 prikazana je šema 4-bitnog binarnog brojača sa sinhronim paralelnim upisom realizovanog sa D flipflopovima.



Slika 4.43 Trobitni binarni brojač sa sinhronim paralelnim upisom.

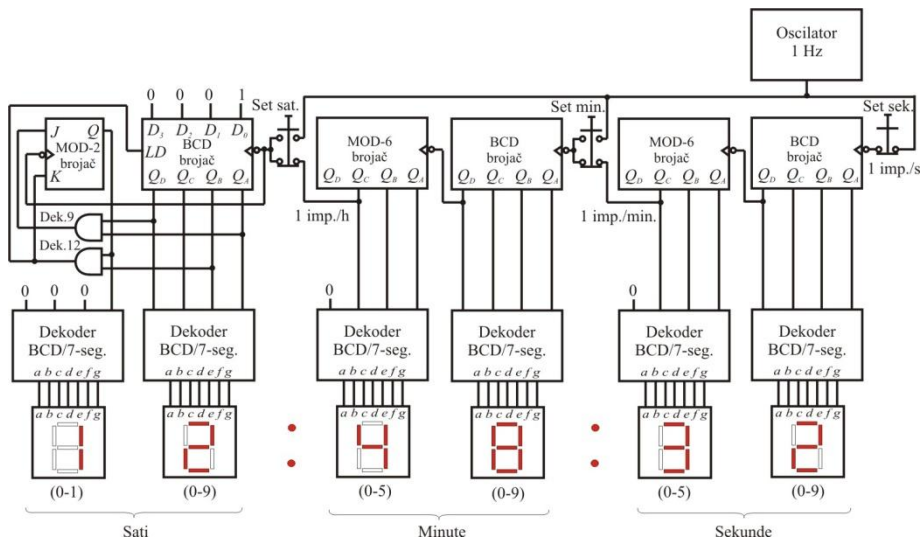
Kada je  $L/C=1$  brojač radi kao stacionarni registar pa se podaci sa ulaza  $D_3D_2D_1D_0$  pod dejstvom takta prenose na izlaz  $Q_3Q_2Q_1Q_0$ . Ako je  $L/C=0$  konfiguracija sa slike 4.43 se transformiše u standardni sinhroni brojač koji broji taktne impulse počevši od upisanog početnog sadržaja. Resetovanje svih flipflopova se vrši signalom  $CLR$  a brojanje je omogućeno ako je signal dozvole  $E=1$ .

Priključci  $E$  i  $CO$  se koriste za kaskadno povezivanje brojača, tako što se priključak za signal dozvole  $E$  narednog priključi na priključak za prenos  $CO$  (eng. *Carry Out*) prethodnog brojača.

#### Primer 4.5

Jedna od najpopularnijih primena brojača je u realizaciji digitalnog časovnika. U ovom primeru biće analiziran digitalni časovnik koji pokazuje sekunde, minute i sate u formatu 12h. Uprošćena blok šema časovnika prikazana je na slici P4.5.

Za rad časovnika potrebno je obezbediti taktni signal učestanosti 1 Hz. Signal zahtevane taktne učestanosti može se dobiti pomoću relaksacionog oscilatora, koji je opisan u odeljku 3.3. Digitalni časovnik se sastoji iz sekcija za sekunde, minute i sate, koje su povezane kao na slici P4.5.



Slika P4.5

Taktni signal se vodi na ulaz sekcije za sekunde. Sekcija za sekunde broji i prikazuje sekunde od 0 do 59. Ova sekcija sadrži jedan dekadni brojač (BCD) i jedan brojač modula 6 (MOD-6), koji su kaskadno povezani. Na ulaz BCD brojača dovodi se taktni signal učestanosti 1 imp./s. Ovaj brojač broji impulse od 0 do 9. Deseti impuls dovodi do resetovanja dekadnog brojača, okidanja brojača modula 6 i inkrementiranja njegovog sadržaja za 1. Proces se ponavlja tokom 59 sekundi i kada je sadržaj MOD-6 brojača 101 ( $5_{dec}$ ) i BCD brojača 1001 ( $9_{dec}$ ), displej pokazuje 59 sekundi. Naredni impuls dovodi do resetovanja oba brojača sekcije za sekunde i okidanja BCD brojača sekcije za minute, a ciklus brojanja sekcije za sekunde započinje od 0.

Izlaz iz sekcije za sekunde je taktni signal za sekciju za minute. Ovaj taktni signal ima učestanost 1 impuls po minuti i on se dovodi na taktni ulaz BCD brojača sekcije za minute. Sekcija za minute broji i prikazuje minute od 0 do 59. Sekcija za minute je identična sekciji za sekunde i radi na identičan način kao i sekcija za sekunde.

Na izlazu sekcije za minute dobija se taktni signal učestanosti 1 impuls na sat. Ovaj taktni signal dovodi se na ulaz sekcije za sate koja broji i prikazuje sate od 1 do 12. Sekcija za sate realizovana je pomoću jednog BCD brojača i jednog brojača modula 2 (MOD-2). Brojač modula 2 ima samo dva stanja i on je realizovan pomoću JK flipflopa.

Da bi se na displeju prikazivali sate od 1 do 12 a ne od 0 do 11, dekadni brojač započinje brojanje od 1 a ne od 0. Za to je potrebno koristiti dekadni brojač sa paralelnim upisom inicijalnog sadržaja od koga započinje brojanje. Kada je na displeju za sate ispisano 12, pri narednom impulsu treba omogućiti da se u brojač upiše početni sadržaj  $D_3D_2D_1D_0=0001$  i da se u isto vreme resetuje flipflop kojim je realizovan MOD-2 brojač. Na taj način će se ispis na displeju za sate sa 12 promeniti na 1.

U analizi sekcije za sate sa slike P4.5 može se početi od početnog stanja u kome su BCD brojač i JK flipflop resetovani i izlazi oba I kola u stanju logičke nule. Impulsi koji na ulaz dekadnog brojača stižu na svaki sat inkrementiraju sadržaj ovog brojača od 0 do 9. JK flipflop ostaje u resetovanom stanju jer je  $J=K=0$ . Naredni, deseti impuls resetuje BCD brojač te se na mestu jedinica sata ispisuje 0. U isto vreme deseti impuls setuje JK flipflop jer je  $J=1$  i  $K=0$  i na displeju na poziciji desetica prikazuje se 1. Ukupan odbroj je 10 i on je prikazan na sekciji za sate. Brojanje se nastavlja do 12. Pri ovom odbroju izlaz  $Q_B$  dekadnog brojača je u stanju logičke jedinice,  $Q_B=1$ , JK flipflop je setovan,  $Q=1$ , te je na izlazu I kola kojim se dekoduje stanje 12 logička jedinica. Ovim se aktivira LD ulaz za

paralelni upis inicijalne vrednosti  $D_3D_2D_1D_0=0001$  u dekadni brojač i pri narednom impulsu u dekadnom brojaču je sadržaj 1, a flipflop se resetuje jer je  $J=0$  i  $K=1$ . Na ovaj način je, uz pomoć logičke strukture sa slike P4.5, omogućen prelazak sekcije za sate iz stanja u kome ona pokazuje 12 u stanje u kome prikazuje 1.

Podšavanje vremena vrši se direktnim dovođenjem taktnog signala na ulaze sekcija časovnika, kao što je prikazano na slici P4.5. Pritiskom na taster *Set sek.* pokazivanje sekundi se zadržava na željenoj vrednosti. Pritiskom na taster *Set min.* ili *Set sat.* raskida se kaskadna veza sekcija i na ulaz odgovarajuće sekcije direktno dovodi taktni signal učestanosti 1 Hz pomoću koga se postavi željeni odbroj. Otpuštanjem ovih tastera omogućuje se nastavak normalnog rada časovnika.



# Literatura

- Chirlian P. M., *Analysis and Design of Integrated Electronic Circuits*, 2nd edition, John Wiley and Sons, New Jersey, 1987.
- Dokić B., *Digitalna elektronika*, Akademska misao, Beograd, 2012.
- Drndarević V., *Elektronika*, Univerzitet u Beogradu, Saobraćajni fakultet, Beograd, 2005.
- Drndarević V., *Elementi elektronike - diode, tranzistori i operacioni pojačavači*, Drugo izdanje, Univerzitet u Beogradu, Elektrotehnički fakultet, Akademska misao, Beograd, 2015.
- Drndarević V., Jovičić N., Rajović V., *Elementi elektronike - zbirka zadataka*, Univerzitet u Beogradu, Elektrotehnički fakultet, Akademska misao, Beograd, 2014.
- Givone D.D., *Digital Principles and Design*, McGraw-Hill Inc., New York, 2003.
- Hodges D., Jackson H., (Author), Saleh R., *Analysis and Design of Digital Integrated Circuits*, 3rd Edition, McGraw-Hill Science/Engineering/, 2003.
- Jaeger C. J. , *Microelectronic Circuit Design*, McGraw-Hill Inc., New York, 1997.
- Leach D.P., Malvino A.P., Saha G., *Digital Principles and Applications*, Seventh Edition, Tata McGraw-Hill, New Delhi, New York, 2011.
- Millman J., Grabel A., *Microelectronics*, 2nd edition, McGraw-Hill Inc., New York, 1988.
- Rabaey J., Chandrakasan A., Nikolic B., *Digital Integrated Circuits - A Design Perspective*, 2nd Edition, Pearson, 2003.
- Sedra A. S., Smith K. C., *Microelectronic Circuits*, 6th edition, Oxford University Press, New York, 2010.
- Storey N., *Electronics – A System Approach*, 2nd edition, Addison-Wesley, New York, 1998.
- Tešić Lj. S, Vasiljević M. D, *Osnovi elektronike*, Naučna knjiga, Beograd, 1990.

Wakerly John F., *Digital Design - Principles and Practices*, Fourth Edition, Pearson Prentice Hall, 2006.

Weste N., Harris D., *CMOS VLSI Design: A Circuits and Systems Perspective*, Addison Wesley, 2011.

Živković B. D., Popović V. M., *Impulsna i digitalna elektronika*, četvrto izdanje, Elektrotehnički fakultet, Nauka, Beograd, 1997.

# Indeks

## A

Alfanumerički kod 11  
Aktivan nivo 39, 69, 72  
Analiza  
    kombinacione mreže 101  
    sekvencijalne mreže 122  
ASCII 11  
Asinhroni ulaz 82  
Astabilna kola 66  
Astabilni multivibrator 66

## B

Bajt 5  
BCD 9  
BiCMOS 32  
Bidirekcionni prekidač 58  
Bidirekcionni pomerački registar 131  
Bilateralni prekidač 58  
Binarni brojni sistem 5  
Binarni brojač 125  
Binarno kodovani decimalni broj 9  
Bistabilna kola 66  
Bit najmanje težine 5  
Bit najveće težine 5  
Brojač 135  
    asinhroni 135  
    BCD 138  
    binarni 125  
    dekadni 137  
    dijagram stanja 135  
    kružni 133  
    sa paralelnim upisom 139, 142  
    sinhroni 135, 139  
    unapred 135  
    unazad 135

2-bitni 127

Bulova algebra 12

## C

Cifre brojnog sistema 4  
CMOS 31, 38  
    I kolo 54  
    ILI kolo 53  
    NI kolo 53  
    SR leč 81  
    transmisiono kolo 58  
    trostatičko kolo 56  
CMOS familija 31  
CMOS invertor 38  
    dinamičke karakteristike 45  
    disipacija 48  
    funkcija prenosa 42  
    kapacitivno opterećenje 46  
    kapacitivnost 46, 49  
    napon logičke jedinice 44  
    napon logičke nule 44  
    NILI kolo 53  
    kašnjenje 46, 47  
CPLD 30

## Č

Časovnik 144  
Čip 28  
Čitanje 130

## D

D flipflop 85  
    dinamičke karakteristike 92  
    sa dozvolom 92

transformacija u JK flipflop 93

D leč 75

- dinamičke karakteristike 77
- sa dozvolom 75
- sa multiplekserom 78
- sa transmisionim kolom 79

Digitalni

- časovnik 143
- signali 2
- uređaji 3

Dinamička disipacija 48

Dinamičko okidanje 81

Diodno

- I kolo 60
- ILI kolo 61

Disipacija 37, 48

- dinamička 48
- statička 48
- u prelaznom režimu 50

Diskretne komponente 29

Dekoder 108

- nepotpun 109
- potpun 109
- 1 od 16 109
- 3/8 115
- 4/16 109

DeMorganove teoreme 15

Dekadni brojač 137

Demultiplekser 112

Detektor ivice 80

Dijagram stanja 124

DIP 27

Disjunktivna forma 19

Distributor 112

Drugi komplement 7

Dvosmerni pomerački registar 131

Dvoulazni multiplekser 78

**E**

ECL 30

Eksitaciona tabela 69

Elementarna

- logička kola 27
- površina 20

Elementarno polje 20, 22

Enkoder 9

**F**

Faktor

- grananja na izlazu 37
- grananja na ulazu 37
- opteretljivosti 37

Faktorizovana forma 20

Familija logičkih kola 29

Flipflop 66, 67, 79

- D 85, 90
- JK 83
- master-slejev JK 88
- master-slejev SR 86
- sa impulsnim okidanjem 87
- T 85, 86, 136

FPGA 30

Funkcionalna jednačina 70

**G**

GaAs 32

Generisanje kratkog impulsa 82

Glič 74, 119, 139

Grejov kod 9, 10, 115

**H**

Hazard 120

HDL 104

Heksadecimalni broj 8

Hvatanje nule 90

Hvatanje jedinice 90

**I**

I kolo

- CMOS 54
- diodno 60

I operacija 12

ILI kolo

- CMOS 53
- diodno 61

ILI operacija 13

Impuls smetnje 74  
 Informacioni ulaz 110  
 Integrisano kolo 29  
 Isključivo-ILI 16  
 Isključivo-NILI 16  
 Ivično okidanje 81

**J**

JK flipflop 83  
 sa ivičnim okidanjem 93  
 transformacija u T flipflop 95

**K**

Kanal 110  
 Karakteristična jednačina 70  
 Karakteristika prenosa 33  
 Karnoova mapa 20  
 Kašnjenje 26, 35, 120  
 Koder 107  
 decimalnih u BCD cifre 108  
 nepotpun 107  
 potpun 107  
 8/3 115

**Kôd**

BCD 9  
 7 segmenata 116

Kodni disk 9  
 Kodovanje 107

**Kolo**

integrisano 29  
 sa otvorenim drejnom 57  
 transmisiono CMOS 58  
 trostatičko 56

Kombinaciona mreža 101  
 analiza 102  
 minimizacija 105  
 sinteza 104

Kombinaciona tablica 12, 102  
 Kombinaciono logičko kolo 25

**Konvertor**

BCD u kôd 7 segmenata 118  
 koda 115  
 podataka 133

Konjuktivna forma 19

Kontrolni ulaz 111  
 Kružni brojač 133  
 Kvazistabilno  
 stanje 95  
 trajanje 97

**L**

Lažna jedinica 119, 120  
 Lažna nula 119, 120, 121  
 LED 116  
 Leč 66, 67  
 D 75

**Linija**

za kašnjenje 134  
 za upis 134

Logička amplituda 35  
 Logička jedinica i nula 3, 5, 12  
 Logička funkcija 17  
 Logička šema 22

**Logičko**

kolo 24  
 komplementiranje 12  
 množenje 12  
 sabiranje 12, 13

**Logičko kolo**

BiCMOS 60  
 diodno 59, 61  
 I 26  
 ILI 26  
 isključivo -ILI 27  
 isključivo-NILI 27  
 LS-TTL 59  
 NE 26  
 NI 27  
 NILI 27  
 osnovno 26  
 elementarno 29  
 sa emitorskom spregom 60  
 TTL 63

**Logički inverter 26**

CMOS 38  
 karakteristika prenosa 33  
 prelazba zona 33  
 trostatički 56  
 sa bipolarnim tranzistorima 62

LSI 30

LSB 5

## M

Maksimalna učestanost 36

Master-slejev JK flipflop 88

Master-slejev SR flipflop 86

Margina šuma 34

logičke jedinice 35

logičke nule 35

Memorijska ćelija 77

Minimizacija

kombinacione mreže 105

logičke funkcije 21

Moduo brojanja 135

Monovibrator 66

Monostabilni multivibrator 95

MOSFET 31

otpornost kanala 40

izlazna otpornost 42

napon praga 42

Mreža

kombinaciona 101

konvertorska 115

sekvencijalna 122

MSB 5

MSI 30

Multiplekser 111

dvoulazni 143

Multivibrator 66

astabilni 98

monostabilni 95

## N

Napon logičke jedinice 34

Napon logičke nule 34

NE operacija 13

Negativna logika 2

Nekorišćeni ulazi 59

Neoznačen broj 7

Nepotpuna forma 19

Nestabilno stanje 72

Nezavisna promenljiva 17

NI kolo

CMOS 53

sa otvorenim drejnom 57

TTL 63

NI operacija 15

NILI operacija 16

NILI kolo

CMOS 53

NMOS 31

prekidačka mreža 51

Normalna forma 19

## O

Opadajuća ivica 82

Opteretljivost 37

Osnova brojnog sistema 4

Osnova brojanja 135, 137

Osnovna logička kola 26

Ostala logička kola 27

## P

PDP 37

Pin 28

PMOS 31

prekidačka mreža 51

Početni sadržaj 142

Pojačavač 67

Pomerački registar

bidirekcioni 131

dvosmerni 131

sa paralelnim ulazom 132

sa serijskim izlazom 132

sa serijskim ulazom 132

Poskakivanje kontakta 72

Potpuna forma 19, 20

Potrošnja 36

Pozitivna logika 2

Predznak 6

Prekidač

bidirekcioni 58

bilateralni 58

Prekidačka algebra 12

Prekidačka funkcija 17

Prelazna zona 33

Prenos 106  
 Prethodno stanje 122  
 Preset 83  
 Prvi komplement 7

## R

RAM 77, 130  
 Rastuća ivica 81  
 Registar  
     pomerački 131  
     sa paralelnim upisom 129  
     stacionarni 129  
 Red površine 24  
 Regenerativno kolo 66, 67  
 Relaksacioni oscilator 66  
 Reset 69, 83  
 Rizik 120

## S

Sabirač 106  
     potpuni 106  
 Sedmo-segmentni displej 116  
 Sekvencijalna mreža 122  
     analiza 122  
     asinhrona 122  
     model 122  
     sinhrona 122  
 Selekcija čipa 130  
 Selekcioni ulaz 111  
 Selektor podataka 134  
 Signal  
     analogni 1  
     binarni 2  
     digitalni 1, 2  
     dozvole 73, 92  
     impulsni 1  
     perioda 100  
     taktni 74, 80  
 Silazna ivica 82  
 Sinhroni brojač 139  
 SR flipflop 80  
     asinhroni ulazi 82  
     kašnjenje 82  
     sa ivičnim okidanjem 80

Snaga disipacije 36  
 SRAM 77, 131  
 SR leč 68  
     CMOS 71  
     sa NI kolima 72  
     sa dozvolom 73  
     sa NILI kolima 69  
     sinhroni 74

SSI 29  
 Stacionarni registar 129  
 Statička disipacija 48  
 Statička RAM memorija 77  
 Stepen integracije 29  
 Susedna polja 22

## Š

Širina pobudnog impulsa 71  
 Snaga disipacije 36  
 Šotki  
     dioda 63  
     tranzistor 63

## T

T flipflop 85, 86, 136  
 Takt 80  
 Tabela  
     pobude 69  
     stanja 123  
 Tablica istinitosti 12  
 Transmisiono CMOS kolo 58  
 Trostatičko CMOS kolo 56  
 Trostatički bafer 57  
 TTL 30, 63

## U

Upareni tranzistori 42  
 Upis 130  
 Uslov prelaska 127  
 Usponska ivica 81

## V

VLSI 29

## Vreme

- držanja 79
- kašnjenja 35
- nagomilavanja 63
- opadanja 35
- postavljanja 79
- prelaza 36
- rasta 34

Vremenska konstanta 96

Vremenski dijagram 25

**Z**

Zakon sažimanja 15

Zavisna promenljiva 17

Zaštita od prenapona 96



Izdavači  
Elektrotehnički fakultet, Beograd  
Akademska misao, Beograd