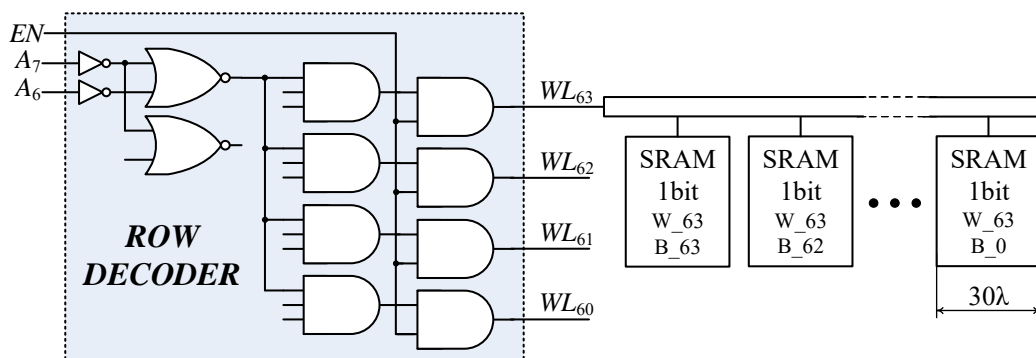


Parametri 180 nm CMOS tehnološkog procesa: $\lambda=0,09 \mu\text{m}$, $V_{DD}=1,8 \text{ V}$, $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$, $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$, $C_{ox} = 8,42 \text{ fF}/\mu\text{m}^2$, $CGDO_n = CGSO_n = 0,791 \text{ fF}/\mu\text{m}$, $CGDO_p = CGSO_p = 0,674 \text{ fF}/\mu\text{m}$, $C_{A,poly-sub} = 98 \text{ aF}/\mu\text{m}^2$, $C_{A,m1-sub} = 38 \text{ aF}/\mu\text{m}^2$, $C_{A,m2-sub} = 19 \text{ aF}/\mu\text{m}^2$, $C_{A,m3-sub} = 13 \text{ aF}/\mu\text{m}^2$, $C_{A,m4-sub} = 8 \text{ aF}/\mu\text{m}^2$, $C_{A,m5-sub} = 8 \text{ aF}/\mu\text{m}^2$, $C_{F,m1-sub} = 14 \text{ aF}/\mu\text{m}$, $C_{F,m2-sub} = 59 \text{ aF}/\mu\text{m}$, $C_{F,m3-sub} = 53 \text{ aF}/\mu\text{m}$, $C_{F,m4-sub} = 42 \text{ aF}/\mu\text{m}$, $C_{F,m5-sub} = 24 \text{ aF}/\mu\text{m}$

- Na slici 1. je prikazan deo statičkog dekodera reda sa *ENABLE* ulazom koji selektuje jednu od 64 linije reči SRAM matrice 64×64 . Linija reči je selektovana samo ako je *ENABLE* signal na logičkoj jedinici. Na svakom od izlaza dekodera reda se nalazi linija reči realizovana u metalu 2 širine 4λ na koju su priključene 64 jednobitne 6T SRAM ćelije. Širine kanala prekidačkih NMOS tranzistora u jednoj SRAM ćeliji iznose 6λ . Dužine kanala svih tranzistora su minimalne. Sve veze u dekoderu se mogu tretirati kao kratke. Sva kola su realizovana u 180 nm CMOS tehnološkom procesu.

- [10] Odrediti ukupnu kapacitivnost koja opterećuje dekodera reda na izlazu WL_{63} .
- [20] Odrediti veličine tranzistora u logičkim kolima od ulaza A_7 do izlaza WL_{63} u dekoderu sa slike 1, tako da kašnjenje po toj putanji bude minimalno. Faktor dimenzionisanja prvog invertora u lancu je jednak 1.
- [10] Odrediti ukupno kašnjenje od ulaza A_7 do izlaza WL_{63} za dimenzije određene u tački b). Objasnite da li se kašnjenje može smanjiti dodavanjem baferskih struktura na izlazu adresnog dekodera i ako može, izračunati minimalno kašnjenje u tom slučaju.

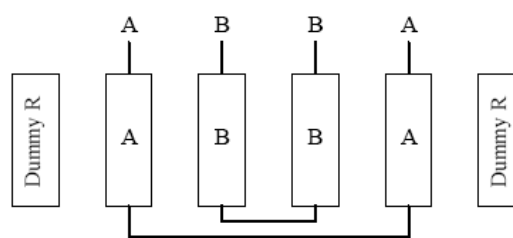


Slika 1 – Dekoder reda i deo SRAM matrice uz zadatak 1

- Potrebno je realizovati logičko kolo sa funkcijom $F = \overline{(A+B)G + CD(E+F+A)}$ u 180 nm CMOS tehnologiji.

- [20] Nacrtati električnu šemu logičkog kola koje u zatom obliku realizuje funkciju F u komplementarnoj logici. Odrediti dimenzije svih tranzistora u kolu ako ekvivalentne otpornosti p i n mreže odgovaraju invertoru dimenzionisanom za minimalno kašnjenje. Nacrtati stik dijagram korišćenjem metode Ojlerovih putanja i proceniti površinu realizovanog lejauta. Izračunati logički trud kola za ulaz A .
- [15] Realizovati funkciju F u *PE* familiji logičkih kola. Odrediti širine svih NMOS tranzistora u kolu tako da cela *power-down* mreža ima ekvivalentnu otpornost kao u tački a). Odrediti širinu PMOS tranzistora tako da je trajanje *pre-charge* faze (vreme do postavljanja napona na izlazu na 95% napona napajanja) jednako kašnjenju silazne ivice i izračunati to kašnjenje. Dužine kanala svih tranzistora su minimalne.

- [10] Zbog čega se javlja neuparenost karakteristika komponenata sa istim lejautom? Koje tehnike projektovanja lejauta su korišćene za komponente A i B prikazane na slici 3? Ukratko objasniti šta se time postiže.
 - [5] Na primeru *PE* kola iz zadatka 2.b) objasnite pojavu "*clock feedthrough*".
 - [10] Šta je skin efekat i kako utiče na performanse linija veza? Kako se izborom materijala i dimenzija provodnika može smanjiti uticaj skin efekta?



Slika 3

- [5] Napišite 5 komentara za predavanja/vežbe/projekat/ispit/ocenjivanje/opremu/... Minimalan broj kritika je 2, minimalan broj pohvala je 1, maksimalan broj redova po komentaru je 2.

Ispit traje tri sata.