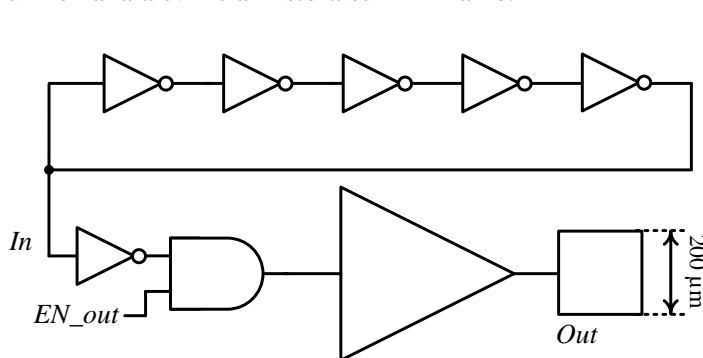


**Parametri 180 nm CMOS tehnološkog procesa:**  $\lambda=0,09 \mu\text{m}$ ,  $V_{DD}=1,8 \text{ V}$ ,  $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$ ,  $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$ ,  $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$ ,  $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$ ,  $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$ ,  $C_{A,poly-sub}=98 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m2-sub}=19 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m3-sub}=13 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m4-sub}=8 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m5-sub}=8 \text{ aF}/\mu\text{m}^2$ ,  $C_{F,m1-sub}=14 \text{ aF}/\mu\text{m}$ ,  $C_{F,m2-sub}=59 \text{ aF}/\mu\text{m}$ ,  $C_{F,m3-sub}=53 \text{ aF}/\mu\text{m}$ ,  $C_{F,m4-sub}=42 \text{ aF}/\mu\text{m}$ ,  $C_{F,m5-sub}=24 \text{ aF}/\mu\text{m}$ ,  $r_{poly}=7,9 \Omega/\square$ ,  $r_{m1}=0,08 \Omega/\square$ ,  $r_{m2}=0,08 \Omega/\square$ ,  $r_{m3}=0,08 \Omega/\square$ ,  $r_{m4}=0,07 \Omega/\square$ ,  $r_{m5}=0,07 \Omega/\square$ ,  $r_{m6}=0,03 \Omega/\square$

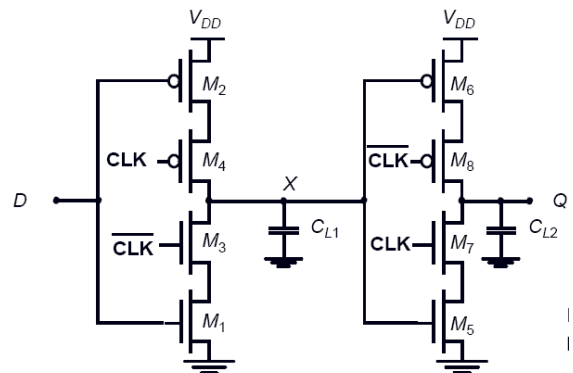
1. U 180nm CMOS tehnologiji je projektovan ring oscilator prikazan na slici 1 kod koga su svi NMOS tranzistori širine  $4\lambda$ , a PMOS tranzistori širine  $10\lambda$ . Kako bi se merili signali ring oscilatora, do izlaznog priključka (*pad-a*) za *bonding* žicu kreirana je logička struktura kao na slici. Logičko I kolo služi da se kontrolnim signalom *EN\_out* uključi ili isključi propagacija signala ring oscilatora ka *pad-u* kako bi smanjila potrošnja kola. Izlazni priključak (*pad*) je realizovan u sloju metala 1 i ima dimenzije  $200 \mu\text{m} \times 200 \mu\text{m}$ , a kapacitivnost *bonding* žice, kućišta i mernog instrumenta iznosi dodatnih 10 pF. Sve ostale metalne veze se mogu smatrati kratkim. Potrebno je minimizovati kašnjenje od izlaza ring oscilatora do izlaznog priključka *Out*.

- [20] Odrediti broj invertora u baferu sa slike 1 i veličine tranzistora u svim logičkim kolima od ulaza *In* do izlaza *Out*, tako da kašnjenje po toj putanji bude minimalno. Faktor dimenzionisanja prvog invertora u lancu je jednak 1.
- [10] Odrediti ukupno kašnjenje od ulaza *In* do izlaza *Out*.
- [10] Proceniti period oscilovanja ring oscilatora.

Dužine kanala svih tranzistora su minimalne.



Slika 1 – Logička struktura uz zadatak 1



Slika 3

2. Data je kompleksna logička funkcija  $F = \overline{(A + B)(C(D + E) + B)}$

- [15] Nacrtao električnu šemu kompleksnog logičkog kola koje realizuje funkciju  $F$  u komplementarnoj logici i u zadatoj formi, ako je kašnjenje minimalno za ulaz  $C$ . Odrediti dimenzije svih tranzistora u kolu ako ekvivalentne otpornosti  $p$  i  $n$  mreže odgovaraju invertoru dimenzionisanom za minimalno kašnjenje. Nacrtao stik dijagram korišćenjem metode Ojlerovih putanja i proceniti površinu realizovanog lejauta.
- [5] Izračunati sopstveno kašnjenje i logički trud kola za ulaz  $C$ .
- [10] Realizovati funkciju  $F$  u CPL familiji logičkih kola.

- [10] Ukratko objasniti koji efekti utiču na neuparenost karakteristika komponenti u integrisanom kolu. Zatim navesti pravila za projektovanje lejauta komponenti koje treba da imaju uparene karakteristike.
  - [10] Koja realizacija flipflopa je prikazana na slici 3? Navesti prednosti i ograničenja ove realizacije. Objasniti šta se dešava u slučaju preklapanja "1-1" takta i njegovog komplementa.
  - [5] Kako se razvodi globalni signal takta u integrisanim kolima korišćenjem tehnike "stabla" i koja je prednost te tehnike?
  - [5] Koliko tehnoloških generacija je 45nm CMOS tehnologija naprednija od tehnologije koju ste koristili u projektu? Objasnite.

- [5] Napišite 5 komentara za predavanja/vežbe/projekt/ispit/ocenjivanje/opremu/... Minimalan broj kritika je 2, minimalan broj pohvala je 1, maksimalan broj redova po komentaru je 2.

Ispit traje tri sata.