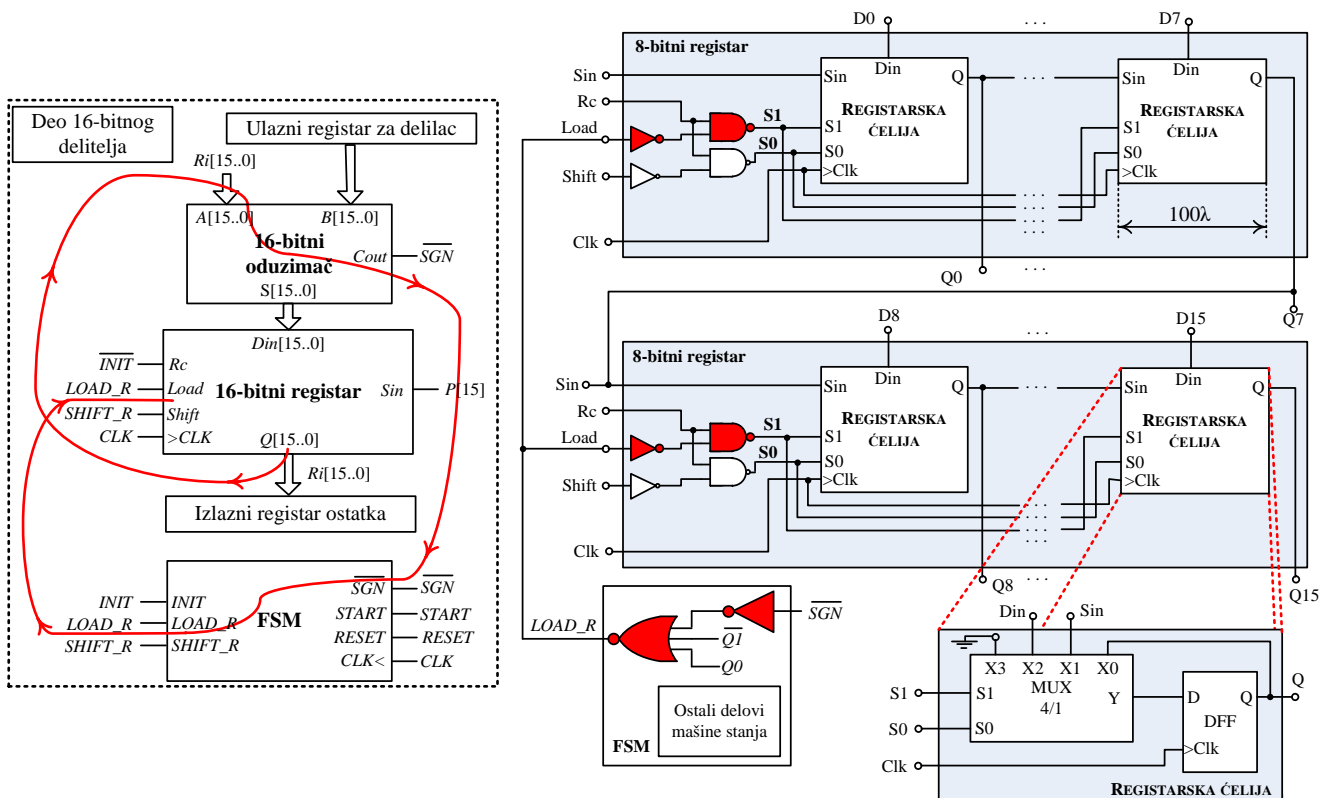


Parametri 180 nm CMOS tehnološkog procesa: $\lambda=0,09 \mu\text{m}$, $V_{DD}=1,8 \text{ V}$, $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$, $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$, $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$, $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$, $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$, $C_{A,poly-sub}=98 \text{ aF}/\mu\text{m}^2$, $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$, $C_{A,m2-sub}=19 \text{ aF}/\mu\text{m}^2$, $C_{A,m3-sub}=13 \text{ aF}/\mu\text{m}^2$, $C_{A,m4-sub}=8 \text{ aF}/\mu\text{m}^2$, $C_{A,m5-sub}=8 \text{ aF}/\mu\text{m}^2$, $C_{F,m1-sub}=14 \text{ aF}/\mu\text{m}$, $C_{F,m2-sub}=59 \text{ aF}/\mu\text{m}$, $C_{F,m3-sub}=53 \text{ aF}/\mu\text{m}$, $C_{F,m4-sub}=42 \text{ aF}/\mu\text{m}$, $C_{F,m5-sub}=24 \text{ aF}/\mu\text{m}$, $\gamma = 1$

1. Na slici 1. je prikazan deo 16-bitnog delitelja koji radi na isti način kao 8-bitni delitelj iz ovogodišnjeg projekta. Delitelj je realizovan kao sinhron sistem kojim upravlja sinhrona konačna mašina stanja (FSM). Ceo sistem radi na jedinstven takt, čiju maksimalnu učestanost određuje najveće kašnjenje kroz sva logička kola po kritičnoj putanji. To znači da od trenutka kada se desi jedna uzlazna ivica signala takta do trenutka kada se pojavi naredna uzlazna ivica signala takta moraju da se završe svi prelazni procesi. Na slici 1. je prikazana navedena kritična putanja. Deo 16-bitnog delitelja kod koga se javlja najveće kašnjenje se sastoji od 16-tobitnog oduzimača, dela mašine stanja koja upravlja sistemom i 16-bitnog registra. Oduzimač je realizovan pomoću 16-bitnog *Carry Select* sabirača (nije bitno za zadatak) kod koga je ulazni podatak $B[15:0]$ komplementiran. Registar se sastoji od dva 8-bitna registra prikazana na slici 1. Osnovni element svih registara je registarska ćelija koja se sastoji od D flip-flopa i multipleksera 4 u 1. U zavisnosti od vrednosti selekcionih signala $S0$ i $S1$, na ulaznu ivicu signala takta u registru ostaje upisan stari sadržaj (ulaz multipleksera $X0$), upisuje se vrednost sa serijskog ulaza Sin (ulaz $X1$), paralelnog ulaza Din (ulaz $X2$) ili se flip-flop resetuje (ulaz $X3$). Signali $S0$ i $S1$ se generišu na osnovu signala Rc , $Load$ i $Shift$ posebno za svaki 8-bitni registar, ali iz istih logičkih kola za svih 8 ćelija jednog 8-bitnog registra. Signali $S1$ i $S0$ unutar 8-bitnog registra se vode linijama metala 2 širine 6λ . Jedna registarska ćelija ima dužinu od 100λ . Ostale metalne veze se mogu smatrati kratkim.

Kada se desi prva uzlazna ivica signala takta, u 16-bitni registar se upiše neki podatak posle kašnjenja $t_{reg} = 200 \text{ ps}$. Nakon što se pojave validne vrednosti na izlazima $Ri[15:0]$ pomenutog registra, od vrednosti sa ovih izlaza se oduzima vrednost delioca i na rezultat izlaznog prenosa sabirača se zbog propagacije svih bita prenosa čeka u najgorem slučaju $t_{SUB,SGN} = 2 \text{ ns}$. Signal \overline{SGN} sa izlaza oduzimača se dalje vodi u mašinu stanja gde se na osnovu trenutnog stanja koje je određeno izlazima flip-floпова $Q1$ i $Q0$, preko odgovarajućih logičkih kola generiše signal $LOAD_R$. Signal $LOAD_R$ se dalje vodi na $Load$ ulaz dva 8-bitna registra. 16-bitni oduzimač je već projektovan i na njegovo kašnjenje se ne može uticati. Zbog toga je potrebno minimizovati kašnjenje od izlaza oduzimača \overline{SGN} do selekcionih linija $S1$ unutar 8-bitnih registara kako bi se što više povećala maksimalna učestanost rada delitelja.



Slika 1 – Deo 16-bitnog delitelja uz zadatak 1

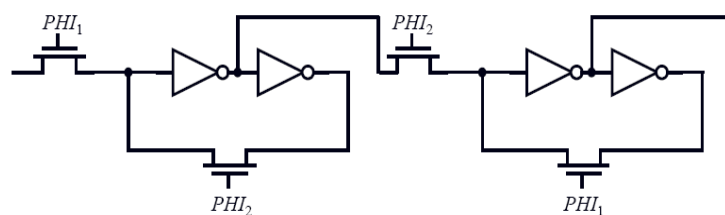
- a) [10] Nacrtati električnu šemu multipleksera 2 u 1 realizovanog pomoću transmisionih gejtova, a zatim i multipleksera 4 u 1 korišćenjem već realizovanih blokova multipleksera 2 u 1. Odrediti ukupnu kapacitivnost koja opterećuje NI kolo koje generiše signal $S1$ unutar jednog 8-bitnog registra. Invertori u multiplekserima su dimenzionisani za simetrično kašnjenje, pri čemu je $W_{NMOS} = 4\lambda$, a dimenzije tranzistora u prekidačima su iste kao kod invertora.
- b) [15] Odrediti veličine tranzistora u logičkim kolima od izlaza iz oduzimača \overline{SGN} do selekcionog signala $S1$ unutar 8-bitnih registara, tako da kašnjenje po toj putanji bude minimalno. Faktor dimenzionisanja prvog invertora u lancu je jednak 1.
- c) [10] Odrediti ukupno kašnjenje od izlaza iz oduzimača \overline{SGN} do selekcionog izlaza $S1$ unutar 8-bitnih registara za dimenzije određene u tački b). Obrazložiti da li se kašnjenje može smanjiti dodavanjem baferskih struktura na selekcionom izlazu i ako može, izračunati minimalno kašnjenje u tom slučaju. Prilikom proračuna kašnjenja, nije potrebno posebno analizirati propagaciono kašnjenje selekcionog linije u metalu 2. Potrebno je odrediti samo kašnjenje logičkih kola.
- d) [5] Ako je maksimalno kašnjenje multipleksera 4 u 1 za ulaz $S1$ $t_{MUX,S1} = 100$ ps i ako je vreme postavljanja ulaza D flip-flopa $t_{setup} = 50$ ps, odrediti maksimalnu učestanost rada delitelja.
- Dužine kanala svih tranzistora su minimalne. Sva kola su realizovana u 180 nm CMOS tehnološkom procesu.

2. Potrebno je realizovati logičko kolo sa funkcijom $F = \overline{(A+B)CD+E}$ u 180 nm CMOS tehnologiji.

- a) [15] Nacrtati električnu šemu logičkog kola koje realizuje funkciju F u komplementarnoj logici tako da kašnjenje bude minimalno za ulaz E . Odrediti dimenzije svih tranzistora u kolu ako ekvivalentne otpornosti p i n mreže odgovaraju invertoru dimenzionisanom za minimalno kašnjenje. Nacrtati stik dijagram korišćenjem metode Ojlerovih putanja i proceniti površinu realizovanog lejauta.
- b) [15] Neka je $A = "0"$, $B = "0"$, $C = "1"$ i $D = "0"$. Ako je realizovano logičko kolo deo sinhronog sistema koji radi na učestanosti signala takta $f_{CLK} = 100$ MHz i ako je verovatnoća promene signala E sa "0" na "1" $p_{E:0 \rightarrow 1} = 5\%$, izvesti izraz za i odrediti ukupnu disipaciju koja se disipira na tranzistorima realizovanog kola. Trajanja silazne i uzlazne ivice signala E su $t_r = t_f = 50$ ps. Maksimalna struja direktne putanje u trenucima prelaza je $I_{sc,peak} = 30$ μ A, a struja curenja kroz kolo je $I_{leak} = 1$ nA. Pored sopstvene kapacitivnosti, kolo je opterećeno drugim logičkim kolom čija je ulazna kapacitivnost 10 fF.

3. a) [9] Ako su na raspolaganju originalne i komplementarne vrednosti svih ulaznih signala, realizovati funkciju F iz prethodnog zadatka kao logičko kolo iz domino familije.

- b) [6] Nacrtati lejaut dva kondenzatora čije su kapacitivnosti u odnosu 1:2 (što preciznije). Kratko obrazložiti.
- c) [5] Šta predstavlja kolo koje je prikazano na slici 3? Kako se može izbeći trka signala u ovom kolu?



Slika 3.

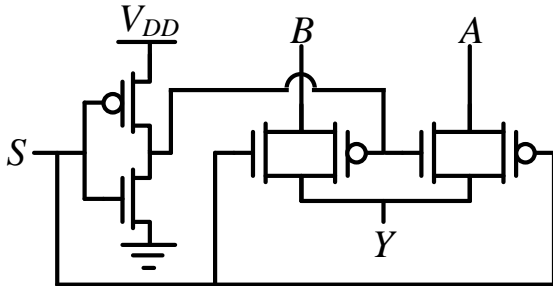
- d) [10] Šta je skin efekat i kako utiče na performanse linija veza? Kako se izborom materijala i dimenzija provodnika može smanjiti uticaj skin efekta?
4. [5] Napišite 5 komentara za predavanja/vežbe/projekat/ispit/ocenjivanje/opremu/... Minimalan broj kritika je 2, minimalan broj pohvala je 1, maksimalan broj redova po komentaru je 2.

Ispit traje tri sata.

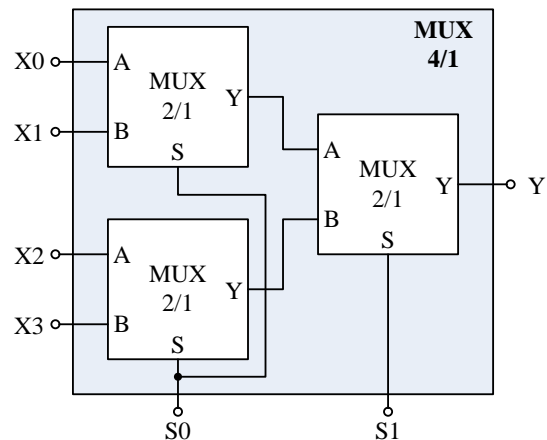
Rešenja zadataka:

1.

a) Na slici 1.1 je prikazana električna šema multipleksera 2 u 1, a na slici 1.2 je prikazana blok šema multipleksera 4 u 1 korišćenjem realizovanih multipleksera 2 u 1.



Slika 1.1 – Multiplekser 2 u 1



Slika 1.2 – Šema multipleksera 4 u 1

Dužina linije u metalu 2 je $L_w = 8 \cdot 100\lambda = 800 \cdot 0,09 \mu\text{m} = 72 \mu\text{m}$, a kapacitivnost iznosi $C_w = C_{A,m2-sub} W_w L_w + C_{F,m2-sub} \cdot 2L_w = 19 \text{ aF}/\mu\text{m}^2 \cdot 72 \mu\text{m} \cdot 0,54 \mu\text{m} + 59 \text{ aF}/\mu\text{m} \cdot 2 \cdot 72 \mu\text{m} = 9,235 \text{ fF}$.

Odnos dimenzija PMOS i NMOS tranzistora koji odgovara simetričnom kašnjenju je $\frac{W_p}{W_n} = \frac{R_{eq,P/sq}}{R_{eq,N/sq}} = \frac{11}{4}$, pa su na selekcionu liniju S1 su vezani po dva NMOS tranzistora širine 4λ i po dva PMOS tranzistora širine 11λ za svaki multiplekser 4 u 1. Kapacitivnost jedne ćelije za ulaz S1 je $C_{MUX,S1} = 2((CGDO_n + CGSO_n)W_n + C_{ox}W_n L) + 2((CGDO_p + CGSO_p)W_p + C_{ox}W_p L) = 2,23 \text{ fF} + 5,67 \text{ fF} = 7,9 \text{ fF}$. Ukupno opterećenje je $C_L = C_w + 8C_{MUX,S1} = 72,43 \text{ fF}$.

b) Odnos širina tranzistora za minimalno kašnjenje invertora je $7\lambda/4\lambda$, pa je ulazna kapacitivnost prvog invertora $C_{in,1} = (CGDO_n + CGSO_n)W_n + C_{ox}W_n L + (CGDO_p + CGSO_p)W_p + C_{ox}W_p L = 2,92 \text{ fF}$. Ukupan električni trud je na osnovu toga: $F = \frac{C_L}{C_{in,1}} = \frac{72,43 \text{ fF}}{2,92 \text{ fF}} = 24,8$. Ukupan trud grananja iznosi

$$B = \prod_{i=1}^4 b_i = 1 \cdot 2 \cdot 1 \cdot 1 = 2. \text{ Logički trud svakog od logičkih kola je: } g_1 = 1, g_2 = \frac{25}{11}, g_3 = 1, g_4 = \frac{15}{11}, \text{ a}$$

na osnovu toga je logički trud putanje $G = \prod_{i=1}^4 g_i = \frac{375}{121}$. Ukupan trud putanje je

$$H = \prod_{i=1}^4 h_i = \prod_{i=1}^4 g_i f_i = GFB = 153,8. \text{ Trud svakog od kola pri kome se dobija minimalno kašnjenje je}$$

$$h = \sqrt[4]{H} = \sqrt[4]{153,8} = 3,52. \text{ Za kola u zadatku se dobija električni trud: } f_1 = \frac{h}{g_1} = 3,52,$$

$$f_2 = \frac{h}{g_2} = \frac{3,52}{25/11} = 1,55, f_3 = \frac{h}{g_3} = 3,52 \text{ i } f_4 = \frac{h}{g_4} = \frac{3,52}{15/11} = 2,58, \text{ a kako je po uslovima zadatka } s_1 = 1, \text{ za}$$

$$\text{faktore dimenzionisanja ostalih kola se dobija: } s_2 = \frac{g_1 s_1 f_1}{g_2 b_1} = \frac{11}{25} \cdot \frac{3,52}{1} = 1,55,$$

$$s_3 = \frac{g_1 s_1 f_1 f_2}{g_3 b_1 b_2} = \frac{1}{1} \cdot \frac{3,52}{1} \cdot \frac{1,55}{2} = 2,73, \quad s_4 = \frac{g_1 s_1 f_1 f_2 f_3}{g_4 b_1 b_2 b_3} = \frac{11}{15} \cdot \frac{3,52}{1} \cdot \frac{1,55}{2} \cdot \frac{3,52}{1} = 7,04. \quad \text{Širine}$$

tranzistora logičkih kola su: $W_{1n} = 4\lambda$, $W_{1p} = 7\lambda$; $W_{2n} = s_2 W_{1n} = 6\lambda$, $W_{2p} = s_2 \cdot 3 W_{1p} = 33\lambda$; $W_{3n} = s_3 W_{1n} = 11\lambda$, $W_{3p} = s_3 W_{1p} = 19\lambda$; $W_{4n} = s_4 \cdot 2 W_{1n} = 56\lambda$, $W_{4p} = s_4 W_{1p} = 49\lambda$.

c) Ukupno kašnjenje do izlaza S1 je $t_{p,S1} = t_{p0} \sum_{j=1}^4 \left(p_j + \frac{h_j}{\gamma} \right) = t_{p0} (1+3+1+2+4 \cdot 3,52) = 21,08 t_{p0}$, gde je

$$t_{p0} = \frac{R_n + R_p}{2} C_L \ln 2 = \left(R_{N/sq} \frac{L}{W_n} + R_{P/sq} \frac{L}{W_p} \right) C_L \frac{\ln 2}{2} = \frac{\ln 2}{2} \cdot (4,94 \text{ k}\Omega + 7,74 \text{ k}\Omega) \cdot 2,92 \text{ pF} = 12,77 \text{ ps}, \text{ pa je}$$

$$t_{p,S1} = 21,08 t_{p0} = 269,2 \text{ ps}.$$

Kašnjenje se ne može smanjiti dodavanjem baferskih struktura jer je tada $h = \sqrt[6]{H} = \sqrt[6]{153,8} = 2,31$, što je dalje od optimalnog $h_{opt} = 3,6$.

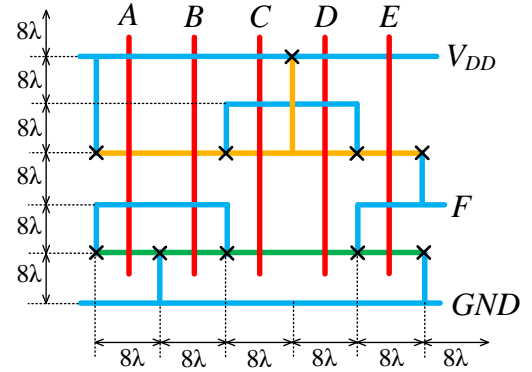
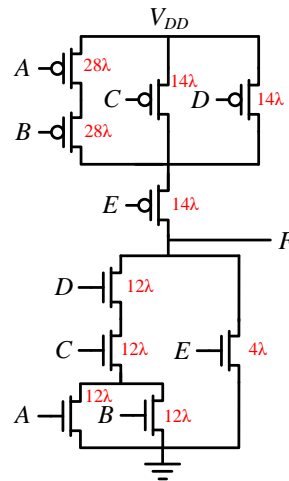
d) Maksimalna učestanost rada delitelja je:

$$f_{max} = \frac{1}{t_{reg} + t_{SUB,SGN} + t_{p,S1} + t_{MUX,S1} + t_{setup}} = \frac{1}{200 \text{ ps} + 2 \text{ ns} + 269,2 \text{ ps} + 100 \text{ ps} + 50 \text{ ps}} = 381,8 \text{ MHz}.$$

2.

a) Električna šema koja realizuje funkciju $F = \overline{(A+B)CD} + E$ sa odgovarajućim dimenzijama tranzistora koje odgovaraju invertoru dimenzionisanom za minimalno kašnjenje je prikazana na slici 2.1. Kako je kritična putanja na signalu E, to su tranzistori pobuđeni signalom E postavljeni najbliže izlazu. Postoji zajednička Ojelerova putanja za PUN i PDN i to putanja: A-B-C-D-E. Na osnovu toga se dobija stik dijagram sa slike 2.2.

Širina ćelije je $6 \cdot 8\lambda = 48\lambda$. Najširi tranzistor u p mreži je širok 28λ , a u n mreži 12λ , pa je visina ćelije $6 \cdot 8\lambda + 28\lambda - 4\lambda + 12\lambda - 4\lambda = 80\lambda$, a površina ćelije je $3840\lambda^2$.



Slika 2.2 – Stik dijagram

Slika 2.1 – CMOS realizacija tražene funkcije

b) Ekvivalentna kapacitivnost na izlazu koja potiče od samog logičkog kola je jednaka

$$C_{LK} = pC_{L,refinv} = p \cdot \gamma C_{in,refinv} = \frac{30}{11} \cdot 2,92 \text{ fF} = 7,96 \text{ fF}, \text{ pa je ukupna opteretna kapacitivnost}$$

$$C_L = C_{LK} + C_{LK,ext} = 17,96 \text{ fF}. \text{ Energija koja se vuče iz napajanja usled punjenja izlazne kapacitivnosti}$$

$$\text{je: } E_{dyn,VDD} = \int_0^\infty V_{DD} i_{DD} dt = \int_0^\infty V_{DD} C_L \frac{dv_{OUT}}{dt} dt = C_L \int_0^{V_{DD}} V_{DD} dv_{OUT} = C_L V_{DD}^2, \text{ a srednja snaga je}$$

$$P_{dyn} = p_{E:0 \rightarrow 1} f_{CLK} E_{dyn,VDD} = p_{E:0 \rightarrow 1} f_{CLK} C_L V_{DD}^2 = 290,95 \text{ nW}. \text{ Energija koja se vuče iz napajanja kada su}$$

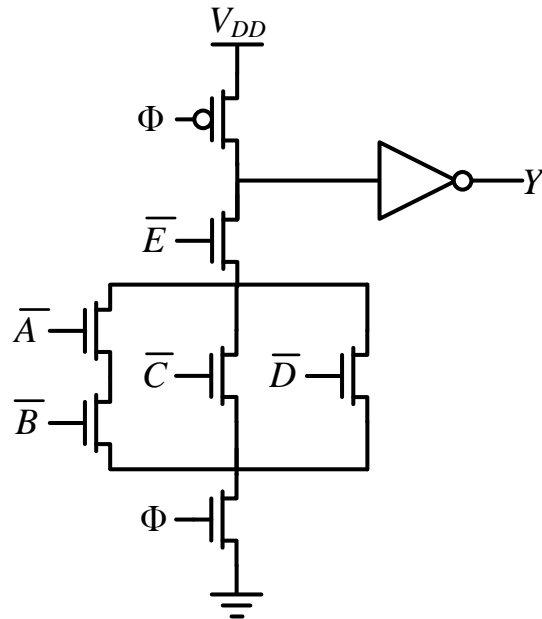
$$\text{uključene i p i n mreža u prelaznom procesu tokom uključenja/isključenja tranzistora na koje se dovodi signal E je } E_{sc} = E_{sc,0 \rightarrow 1} + E_{sc,1 \rightarrow 0} = 2E_{sc,0 \rightarrow 1} = 2 \int_{t_0}^{t_0+t_{sc}} V_{DD} i_{sc}(t) dt = 2V_{DD} \frac{I_{sc,peak} \cdot t_{sc}}{2} = t_{sc} I_{sc,peak} V_{DD}, \text{ gde je:}$$

$$t_{sc} = \frac{V_{DD} - |V_{TP}| - V_{TN}}{V_{DD}} \cdot \frac{t_r}{0,8} = 25,7 \text{ ps}, \text{ pa je } P_{sc} = p_{E:0 \rightarrow 1} f_{CLK} E_{sc} = p_{E:0 \rightarrow 1} f_{CLK} t_{sc} I_{sc,peak} V_{DD} = 6,94 \text{ nW}.$$

Statička potrošnja je $P_{stat} = I_{leak} V_{DD} = 1,8 \text{ nW}$, pa je ukupna snaga koja se disipira na tranzistorima realizovanog logičkog kola: $P = P_{dyn} + P_{sc} + P_{stat} = 290,95 \text{ nW} + 6,94 \text{ nW} + 1,8 \text{ nW} = 299,69 \text{ nW}$.

3.

a) Realizacija je data na slici 3.1.



Slika 3.1 – Domino realizacija funkcije F

b), c), d) videti slajdove sa predavanja