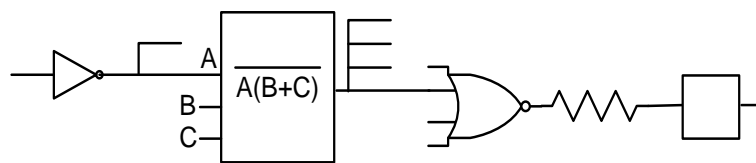


**Tehnološki podaci za 250 nm rezoluciju:**  $\lambda = 0,12 \mu\text{m}$ ;  $V_{DD} = 2,5 \text{ V}$ ;  $C_{ox} = 6 \text{ fF}/\mu\text{m}^2$ ;  $C_{m1} = 35 \text{ aF}/\mu\text{m}^2$ ;  
 $C_{m2} = 15 \text{ aF}/\mu\text{m}^2$ ;  $R_{m1\Box} = R_{m2\Box} = 70 \text{ m}\Omega/\Box$ ;  $R_{poly} = 3,5 \Omega/\Box$ ;  $|V_T| = 0,5 \text{ V}$ ;  
 $k'_n = 115 \mu\text{A}/\text{V}^2$ ;  $k'_p = -30 \mu\text{A}/\text{V}^2$ ;  $V_{DSsatn} = 0,63 \text{ V}$ ;  $V_{DSsatp} = -1 \text{ V}$ ;  $C_{Apoly-sub} = 101 \text{ aF}/\mu\text{m}^2$

1. U 250nm CMOS tehnološkom postupku sa n-jamama potrebno je projektovati jednostepeno kolo koje implementira funkciju  $Y = \frac{A+B}{(C(D+E)+FG)}$  u zadanom obliku.

- [10] Nacrtajte električnu šemu statičkog CMOS kola, odgovarajuće grafove za to kolo i nađite zajedničku Ojlerovu putanju.
- [10] Nacrtajte stik dijagram, odredite veličine tranzistora tako da kolo ima simetričan odziv i procenite površinu leajauta tog kola (sa uračunatim dimenzijama tranzistora).
- [10] Nacrtajte električnu šemu kola koje realizuje zadata funkciju u pseudo NMOS logici. Dimenzionisati tranzistore ako se zahteva da je  $V_{OL} \leq 0,1V_T$  tako da kolo zauzima što manju površinu. Nacrtati stik dijagram i proceniti dimenzije ove realizacije.

2. [40] Odrediti veličine tranzistora na kritičnoj putanji prikazanoj na slici 2, tako da kašnjenje bude minimalno. Dimenzije izlaznog pad-a izrađenog u sloju metala 1 su  $10\mu\text{m} \times 10\mu\text{m}$ , a pobuđuje ga četvoroulazno NILI kolo preko 1mm dugačke i  $1\mu\text{m}$  široke linije izvučene u sloju metala 1. Sve ostale veze se mogu tretirati kao kratke. Odrediti kašnjenje optimizovane kritične putanje i uporediti ga sa kašnjenjem kada su svi tranzistori minimalnih dimenzija.



Slika 2.

3. a) [5] Nacrtajte električnu šemu jednostepenog PE logičkog kola koje ostvaruje funkciju definisanu u prvom zadatku, a zatim:

- [5] objasnite da li u tom kolu može doći do pojave "clock feedthrough" i zašto,
- [5] modifikujte kolo tako da se redukuju struje curenja,
- [5] modifikujte kolo tako da se eliminiše preraspodela naelektrisanja.

4. a) [5] Koliko tehnoloških generacija je 45nm CMOS tehnologija naprednija od tehnologije koju ste koristili u projektu? Objasnite.

- [5] Šta je elektromigracija i kako utiče na projektovanje provodnika?
- [5] Ukratko opisati kako se razvodi globalni signal takta u integrisanim kolima korišćenjem tehnike "stabla" i navesti osnovne prednosti te tehnike.

Ispit traje 3h.