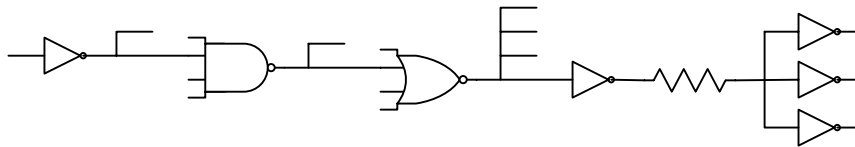


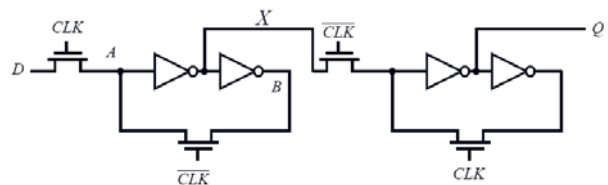
Tehnološki podaci za 250 nm rezoluciju: $\lambda = 0,12 \mu\text{m}$; $V_{DD} = 2,5 \text{ V}$; $C_{ox} = 6 \text{ fF}/\mu\text{m}^2$; $C_{ndiff} = 1,7 \text{ fF}/\mu\text{m}^2$; $C_{pdiff} = 2 \text{ fF}/\mu\text{m}^2$; $C_{m1} = 35 \text{ aF}/\mu\text{m}^2$; $C_{m2} = 15 \text{ aF}/\mu\text{m}^2$; $R_{ndiff} = 5 \Omega/\square$; $R_{pdoff} = 4 \Omega/\square$; $R_{poly} = 4 \Omega/\square$; $R_{m1\square} = R_{m2\square} = 70 \text{ m}\Omega/\square$; $|V_T| = 0,5 \text{ V}$; $k'_n = 125 \mu\text{A}/\text{V}^2$; $k'_p = -25 \mu\text{A}/\text{V}^2$; $C_{Apoly-sub} = 101 \text{ aF}/\mu\text{m}^2$

- U 250nm CMOS tehnološkom postupku sa n-jamama potrebno je projektovati jednostepeno kolo koje implementira funkciju $\overline{AB(C+D)} + (E+C)D$.
 - [10] Nacrtajte električnu šemu komplementarnog CMOS kola, odgovarajuće grafove za to kolo i nađite zajedničku Ojlerovu putanju.
 - [10] Nacrtajte stik dijagram, odredite veličine tranzistora i procenite površinu lejauta tog kola.
 - [10] Nacrtajte električnu šemu PE logičkog kola, predložite veličine tranzistora i uporedite sa realizacijom iz tačke b) u pogledu površine, brzine i disipacije (svaku tvrdnju obrazložiti).
- [30] Odrediti veličine tranzistora u logičkim kolima na kritičnoj putanji prikazanoj na slici 1, tako da kašnjenje bude minimalno. Širine kanala tranzistora tri krajnje desna invertora na slici su su $W_N = 240\lambda$, $W_p = 480\lambda$, dužine kanala su im minimalne, a pobuđuje ih pretposlednji invertor preko 10 cm dugačke i $0.2 \mu\text{m}$ široke linije polisilicijuma. Sve ostale veze se mogu tretirati kao kratke. Otpornost linije polisilicijuma zanemariti.



Slika 1

- [5] Šta je *common-centroid* lejaut i koje su prednosti takvog lejauta?
 - [7] Koje su osnovne tehnike za smanjivanje potrošnje integrisanih kola? Kratko komentarisati svaku.
 - [8] Objasniti kakav je uticaj skaliranja po modelu konstantnih polja na pad napona na linijama za napajanje u integrisanom kolu.
- [3×5] Kolo iz zadatka 1.c) modifikovati tako da se dobije: a1) PEH kolo, a2) redukuju struje curenja, a3) eliminiše preraspodela naelektrisanja.
 - [5] Šta predstavlja kolo prikazano na sl. 2? Koja je osnovna mana ove realizacije?
- [5×1] Napišite 5 komentara za predavanja/ vežbe/ projekte/ gradivo/ ocenjivanje/ profesora/ asistenta/ softver/... iz predmeta OE3UPK. Minimalan broj kritika je 2, minimalan broj pohvala je 1, maksimalan broj redova po komentaru je 2.



Slika 2

Ispit traje tri sata.