

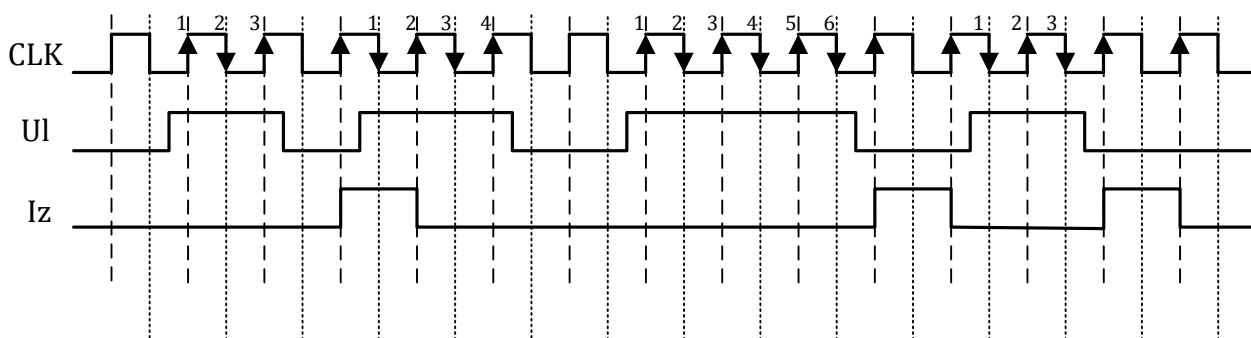
1. Trajanje kolokvijuma 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

### Zadatak 1

(a-20, b-2, c-3, d-10 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala Ul i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk ako je prethodnim impulsom ulaznog signala ukupan broj obuhvaćenih ivica (uzlaznih i silaznih) deljiv sa 3. Izlaz se generiše na prvu uzlaznu ivicu po završetku impulsa ulaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-floпова



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

### Zadatak 2

(a-15, b-8, c-7 poena)

Asinhrona sekvencijalna mreža ima dva ulaza A, B i izlaz Y. Ako se pojavi stanje  $A=1, B=0$ , izlaz Y postaje logička jedinica. Ako se pojavi stanje  $A=0, B=1$ , izlaz Y postaje logička nula. Ako se pojavi stanje  $A=1, B=1$ , izlaz Y zadržava prethodno stanje. Ako se pojavi stanje  $A=0, B=0$ , izlaz Y promeni prethodno stanje samo prilikom pojave  $A=0, B=0$ , i ostaje u tom promenjenom stanju.

- a) Po potrebi nacrtati vremenske dijagrame rada mašine stanja. Odrediti tabelu stanja. Uraditi minimizaciju tabele stanja, ako je moguće.
- b) Kodovati stanja tako da ne postoji problem trke. Proveriti da li postoji esencijalni hazard i objasniti.
- c) Realizovati mašinu stanja tako da ne postoji statički hazard.

**Zadatak 3****(a-10, b-5, c-5 poena)**

(a) Realizovati sinhroni, 4-bitni brojač koji broji u Grejovom kodu. Na raspolaganju su ivični D flip flopovi sa asinhronim ulazima za direktan set  $Sd$  i reset  $Rd$  koji su sa aktivnom logičkom nulom. Obezbediti mogućnost asinhronog paralelnog upisa. Upis podatka se kontroliše ulaznim signalom  $LOAD$  aktivnim u logičkoj jedinici. Obezbediti mogućnost sinhronog reseta. Brojač se resetuje ulaznim signalom  $CLR$  aktivnim u logičkoj nuli. Po resetu brojač se prevodi u stanje 0101.

(b) Ako je kašnjenje flip-flopora  $t_{dff} = 10\text{ns}$ , vreme postavljanja ulaza flip-flopora  $t_{ds} = 4\text{ns}$  i kašnjenje kroz logička kola  $t_{dlk} = 5\text{ns}$  odrediti kašnjenje izlaza i maksimalnu učestanost rada brojača iz tačke (a).

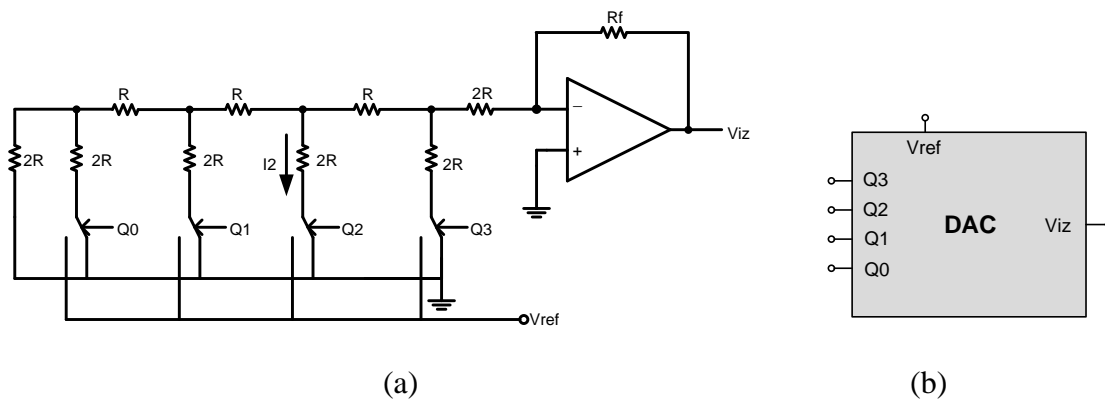
(c) Ako se projektovani brojač koristi kao blok (nije dozvoljena modifikacija unutrašnje strukture), realizovati brojač koji broji u Grejovom BCD kodu. Na raspolaganju su logička kola niskog stepena integracije.

**Zadatak 4****(a-10, b-7, c-3 poena)**

(a) Odrediti vrednosti svih otpornika i polaritet referentnog napona  $|V_{ref}| = 20\text{V}$ ,  $D/A$  konvertora sa slike 4, tako da bude zadovoljeno  $V_{iz}(0000) = 0\text{V}$  i  $V_{iz}(1111) = -7.5\text{V}$  ako je  $R_f = 5\text{k}\Omega$ .

(b) Konvertor projektovan u tački a) je prikazan kao blok na slici 4 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati bipolarni 8 bitni DA konvertor tako da važi  $V_{iz}(D) = D/80[\text{V}]$ . Označeni 8-bitni digitalni podatak  $D$  je zadat u drugom komplementu.

(c) Izračunati struju  $I_2$  ako je na ulazu konvertora  $Q_3Q_2Q_1Q_0 = 1101$ .



Slika 4. DA konvertor sa lestvičastom otpornom mrežom