

1. Trajanje kolokvijuma 150 minuta.
2. Kolokvijum se radi u vežbanci.

---

**Zadatak 1****(a-10, b-3, c-4, d-3 poena)**

(a) Realizovati sinhroni, 3-bitni brojač koji broji u Grejovom kodu. Na raspolaganju su ivični D flip flopovi sa asinhronim ulazima za direktan set  $Sd$  i reset  $Rd$  koji su sa aktivnom logičkom nulom. Odabrati onu realizaciju kojom se minimizuje kašnjenje izlaza brojača. Obezbediti mogućnost sinhronog paralelnog upisa i asinhronog reseta. Obezbediti da se po aktiviranju reseta brojač nađe u stanju  $Q_2Q_1Q_0 = 100$ . Upis podataka se kontroliše ulaznim signalom  $LOAD$  a reset ulaznim signalom  $CLR$ . Oba signala su sa aktivnom logičkom jedinicom.

(b) Ako je kašnjenje flip-floпова  $t_{dff} = 10\text{ns}$ , vreme postavljanja ulaza flip-floпова  $t_{ds} = 4\text{ns}$  i kašnjenje kroz logička kola  $t_{dlk} = 5\text{ns}$  odrediti maksimalnu učestanost rada ovog brojača i kašnjenje izlaza.

(c) Ako se projektovani brojač koristi kao blok (nije dozvoljena modifikacija unutrašnje strukture), realizovati potpuni binarni 3-bitni brojač koji broji po modulu 8. Obezbediti da se po aktiviranju signala  $CLR$  na izlazu nalazi signal 000. Na raspolaganju su logička kola niskog stepena integracije.

(d) Odrediti maksimalnu učestanost rada i kašnjenje izlaza brojača nakon modifikacije.

---

**Zadatak 2****(a-20, b-2, c-3, d-10 poena)**

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala  $U_i$  i izlaznog signala  $I_z$  prikazani na Slici 2. Na izlazu se generiše impuls trajanja 1 Tclk u slučaju da je ispunjen neki od uslova:

- 1) Prva ivica signala takta koja se pojavila nakon prelaska ulaznog signala sa niskog na visoki naponski nivo je silazna.
- 2) Poslednja ivica signala takta koja se pojavila pre prelaska ulaznog signala sa visokog na niski naponski nivo je silazna.

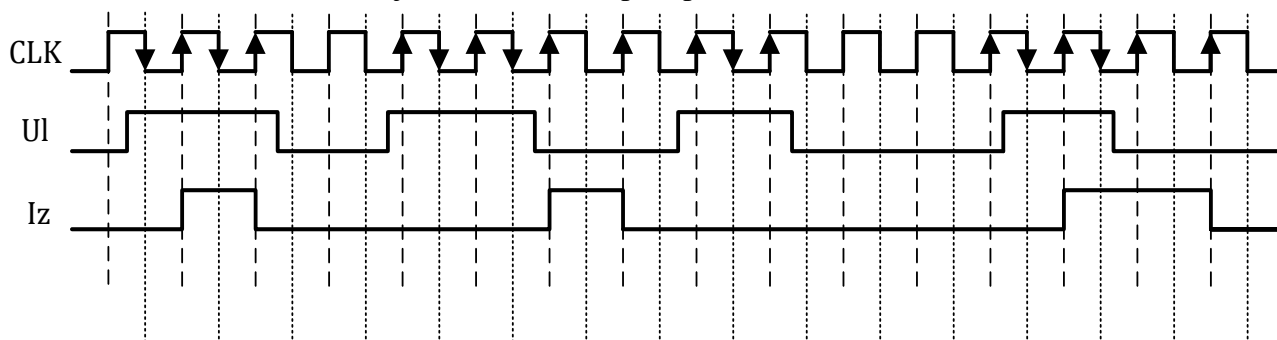
Izlazni impuls se generiše na prvu uzlaznu ivicu signala takta po ispunjenju nekog od definisanih uslova. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

(a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-floповi.

(b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.

(c) Nacrtati dijagram stanja ove sekvencijalne mreže

(d) Realizovati mrežu korišćenjem ivičnih JK flip-floпова



Slika 2. Vremenski dijagrami signala sekvencijalne mreže

---

**Zadatak 3****(30 poena)**

- a) Kao asinhronu mašinu stanja sintetizovati ivični D flipflop koji pamti i na uzlaznu i na silaznu ivicu taktnog signala.
- b) Korišćenjem komponenete iz tačke a, i dodatnih logičkih kola realizovati ivični JK flipflop koji takođe radi i na uzlaznu i na silaznu ivicu taktnog signala.

---

**Zadatak 4****(10 poena)**

Nacrtati jednu memorijsku ćeliju ROM memorije EEPROM tipa. Objasniti postupke upisa, čitanja i brisanja podatka iz memorijske ćelije.

---

**Zadatak 5****(5 poena)**

Kako se povezuju pojedini blokovi unutar jedne FPGA komponente veoma visokog stepena integracije? Nacrtati i objasniti.