

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.

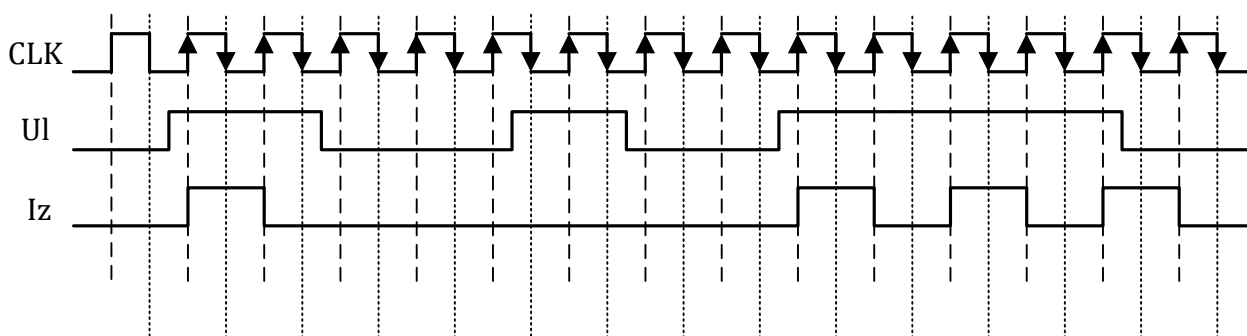
---

**Zadatak 1 U1**

**(20 poena)**

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Na izlazu se za vreme aktivne vrednosti ulaznog signala (aktivna logička jedinica) generiše periodični signal dvostruko veće periode od signala takta. U slučaju da je prva obuhvaćena ivica signala takta silazna zabranjuje se generisanje izlaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od  $T_{clk}$ . Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže.
- (d) Realizovati mrežu korišćenjem ivičnih D flip-flova.



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

---

**Zadatak 2 U1**

**(20 poena)**

Projektovati nestandardno JK leč kolo koje za  $J=0$   $K=0$ , zadržava prethodno stanje; za  $J=1$   $K=0$  je setovano; za  $J=0$   $K=1$  je resetovano; za promenu J sa logičke 0 na logičku 1 se setuje bez obzira kakav je ulaz K; za promenu K sa logičke 0 na logičku 1 se resetuje bez obzira na stanje ulaza J.

---

**Zadatak 3 U1**

**(10 poena)**

- (a) Nacrtati strukturu GAL komponente koja ima 4 fiksna ulaza, 4 izlaza/ulaza i mogućnost sabiranja maksimalno do 4 proizvoda po izlazu. GAL komponenta je realizovana u CMOS EPROM tehnologiji.
- (b) Nacrtati logičku šemu komponente ako su 2 izlaza konfigurisana kao logički a 2 izlaza kao registarski. Kako i kada se definiše ovakva konfiguracija? Zašto se prilikom formiranja logičkih proizvoda koristi programabilno EXILI kolo na izlazu?

---

**Zadatak 4 U2**

**(7 poena)**

- (a) Nacrtati standardni 1T memorijski element DDR2 SDRAM komponente. Zašto je neophodan ciklus osvežavanja memorijskog sadržaja i kada i kako se on izvršava?
- (b) Objasniti ulogu senzorskih pojačavača kod očitavanja sadržaja memorijskih elemenata; napraviti pregled i opisati najčešće korišće arhitekture za DRAM memorije.

---

**Zadatak 5 U2**

**(8 poena)**

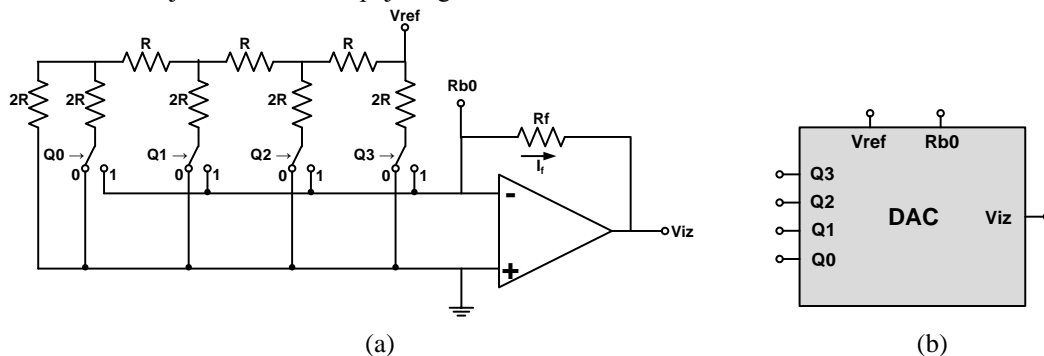
Objasniti razloge za uvođenje „Carry-Select” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.

**Zadatak 6 U2****(a-7, b-7, c-3 poena)**

(a) Odrediti vrednosti svih otpornika i polaritet referentnog napona  $|V_{ref}| = 20V$ , D/A konvertora sa slike 6, tako da bude zadovoljeno  $V_{iz}(0000)=0V$  i  $V_{iz}(1111)=9V$  ako je  $R_f = 5 k\Omega$ .

(b) Konvertor projektovan u tački a) je prikazan kao blok na slici 6 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati mrežu kojom se generiše izlazni analogni napon čija je vrednost  $V_{iz}(X,Y) = \frac{XY}{4} [V]$ , gde su X i Y dva 4-bitna neoznačena broja. Na raspolaganju su otpornici proizvoljnih vrednosti i idealni operacioni pojačavači.

(c) Ako se konvertor sa slike 6, poveže na izlaz brojača i ako prekidač, kontrolisan signalom  $Q_1$ , samo prilikom isključenja (prelaska sa 1 na 0) unosi kašnjenje  $t_d = 0.5T_{CLK}$ , nacrtati dijagram zavisnosti izlaznog napona konvertora od vrednosti izlaza brojača ukoliko se izlaz brojača menja od 0000 do 1111. Perioda taktnih impulsa brojača je  $T_{CLK}$ . Na dijagramu nacrtati sva stanja kada dolazi do pojave gliečeva.



Slika 6. Blok šema D/A konvertora sa brzim vremenom postavljanja

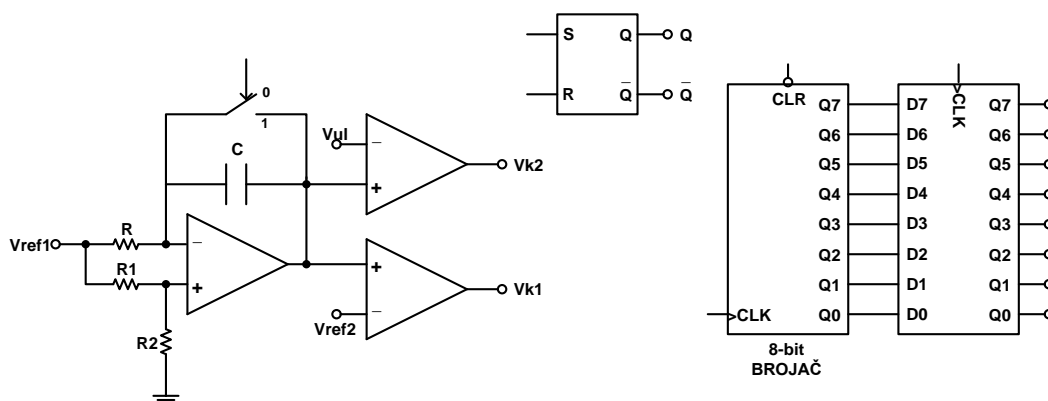
**Zadatak 7 U2****(a-4, b-6, c-4, d-4 poena)**

(a) Dopršiti šemu A/D konvertora sa jednostrukim nagibom sa slike 7. tako da se ulazni napon  $V_{ul}$  konvertuje u 8 bitni binarni broj. Početak konverzije se zadaje signalom START čije je trajanje najviše  $1 T_{CLK}$ .

(b) Odrediti polaritet referentnog napona  $|V_{ref1}|=10V$ , vrednost referentnog napona  $V_{ref2}$ , vrednosti otpornika  $R_1$  i vrednost kondenzatora  $C$  ukoliko je opseg ulaznog napona konvertora  $-6.4V \leq V_{ul} \leq 6.4V$  a najveće dozvoljeno kašnjenje od pojave signala START do generisanja signala početka brojanja iznosi  $20\mu s$ . Prekidači se mogu smatrati idealnim dok je  $R=1k\Omega$  i  $R_2=1k\Omega$ . Perioda takta iznosi  $T_{CLK}=10\mu s$ .

(c) Nacrtati vremenske dijagrame signala  $V_{int}$ ,  $V_{k1}$ ,  $V_{k2}$ , kao i signala  $Q$  izlaza SR leč kola sa slike 7, ako se konvertuje napon  $V_{ul}=2V$ .

(d) Kolika će biti konvertovana vrednost (digitalni broj na izlazu) ako se na ulaz dovede napon  $V_{ul}=3V$  započne konverzija i nakon  $1.2 ms$  od početka konverzije ulazni napon postane  $V_{ul}=1V$ , i ostaje na toj vrednosti do kraja konverzije?



Slika 7. A/D Konvertor sa jednostrukim nagibom