

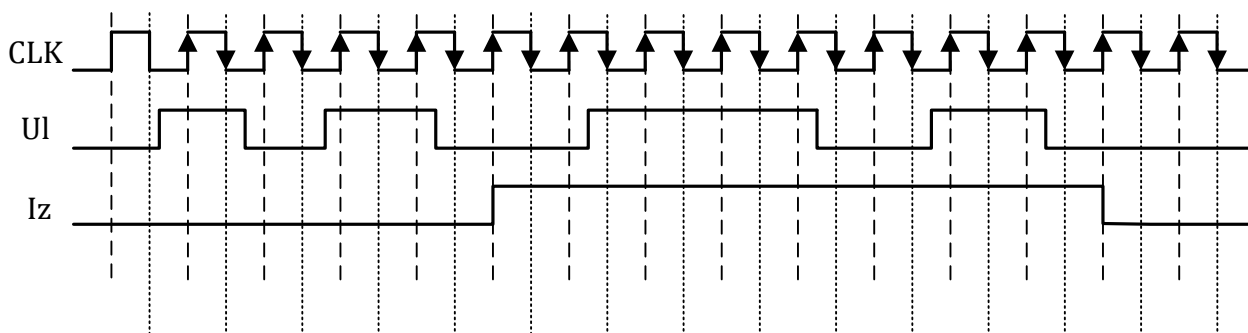
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

Zadatak 1 U1

(20 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Izlazni signal se postavlja na visok naponski nivo ako je ukupan broj uzlaznih i silaznih ivica prikazanih takta koje su se pojavile za vreme visoke vrednosti signala U1, od poslednjeg reseta sistema, neparan. U suprotnom izlazni signal je u stanju logičke nule. Izlazni signal menja vrednost na prvu uzlaznu ivicu signala takta nakon promene vrednosti ulaznog signala sa visokog na niski naponski nivo i to samo u slučaju da je ispunjen ranije naveden uslov promene. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih D flip-flova

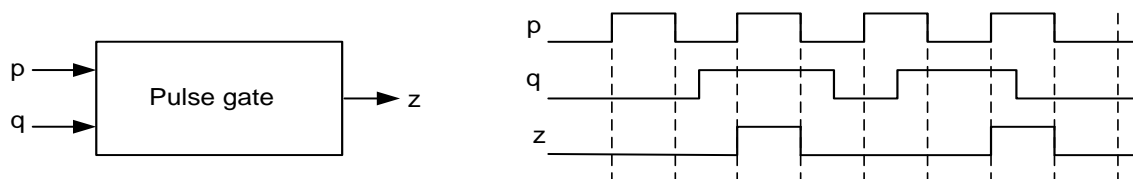


Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1

(20 poena)

Projektovati asinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznih signala p i q, i izlaznog signala z prikazani na Slici 2. Izlazni signal z je jednak ulaznom signalu p ako se promena signala p sa logičke nule na logičku jedinicu (uzlazna ivica) desila za vreme kada je signal q bio na visokom nivou. U ostalim slučajevima signal z je na logičkoj nuli. Promene signala p i q se ne dešavaju istovremeno.



Slika 3. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 3 U1

(10 poena)

- (a) Nacrtati logičku šemu NOR MOS ROM komponente veličine 1kx4. Detaljno nacrtati izgled memorijske ćelije i objasniti programiranje njenog sadržaja ako je EPROM tipa.
- (b) Korišćenjem komponenta iz tačke a realizovati ROM memoriju veličine 2kx8.

Zadatak 4 U2

(10 poena)

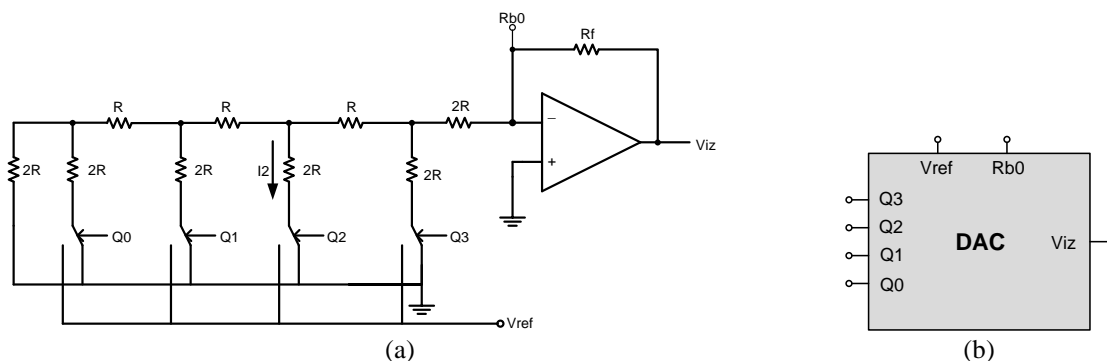
- (a) Nacrtati standardni 6T memorijski element SRAM komponente.
- (b) Objasniti postupke upisa i čitanja memorijskog elementa, i postaviti uslove za dimenzije tranzistora.
- (c) Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo? Navesti „principske“ razlike upotrebe (ne zašto, nego kako) senzorskih pojačavača kod SRAM memorija sa jedne strane i ROM, DRAM memorija sa druge strane.

Zadatak 5 U2**(5poena)**

- (a) Izvesti izraz za odnos signal šum u procesu kvantizacije odmeraka signala po amplitudi.
 (b) Izvesti izraz za ENOB (*Effective number of bits*) kod AD konverzije.

Zadatak 6 U2**(a-6, b-3, c-6 poena)**

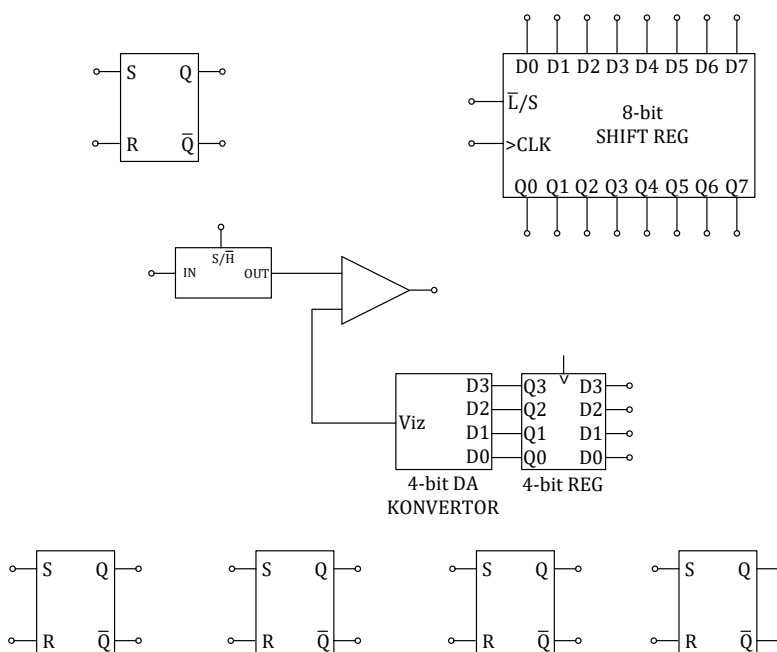
- (a) Odrediti vrednosti svih otpornika i polaritet referentnog napona $|V_{ref}| = 20V$, D/A konvertora sa slike 6, tako da bude zadovoljeno $V_{iz}(0000)=0V$ i $V_{iz}(1111)=7.5V$ ako je $R_f = 5 k\Omega$.
 (b) Izračunati struju I_2 ako je na ulazu konvertora $Q_3Q_2Q_1Q_0 = 0101$.
 (c) Koristeći konvertor iz tačke a) kao blok projektovati bipolarni 8 bitni DA konvertor koji binarni broj D zadat u drugom komplementu prevodi u analogni napon tako da važi $V_{iz}(D) = \frac{D}{20}[V]$.



Slika 6. D/A konvertor sa lestvičastom otpornom mrežom

Zadatak 7 U2**(a-5, b-2, c-8, d-5 poena)**

- (a) Dovršiti šemu 4-bitnog A/D konvertora sa sukcesivnim aproksimacijama sa slike 7 ako je opseg ulaznog napona od 0 do 3.2V. Početak konverzije se zadaje signalom *START* proizvoljne dužine trajanja. Kraj konverzije se označava signalom *EOC*. Odrediti opseg 4-bitnog D/A konvertora.
 (b) Odrediti vreme trajanja konverzije od zadavanja starta konverzije, signalom *START* (proizvoljne dužine trajanja), do završetka konverzije i generisanja signala *EOC* (trajanja $1T_{CLK}$).
 (c) Ako je vreme postavljanja izlaza D/A konvertora $t_{DAC}=50ns$, vreme propagacije signala kroz logička kola, *SR* leč kola, registar i komparator jednako i iznosi 10ns odrediti odnos impuls/perioda *CLK* tako da se postigne maksimalna učestanost signala takta. Koliko iznosi ta učestanost? Pri proračunu naznačiti koje kašnjenje potiče od koje komponente.
 (d) Nacrtati vremenski oblik napona na izlazu D/A konvertora, na izlazu komparatora *Vk*, promene vrednosti konvertovanog signala $Q_3Q_2Q_1Q_0$ ako se konvertuje ulazni napon $V_{ul}=1.3V$. Na dijagramu prikazati i ulazne signal *START* i *CLK*.



Slika 7. A/D konvertor sa sukcesivnim aproksimacijama