

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.

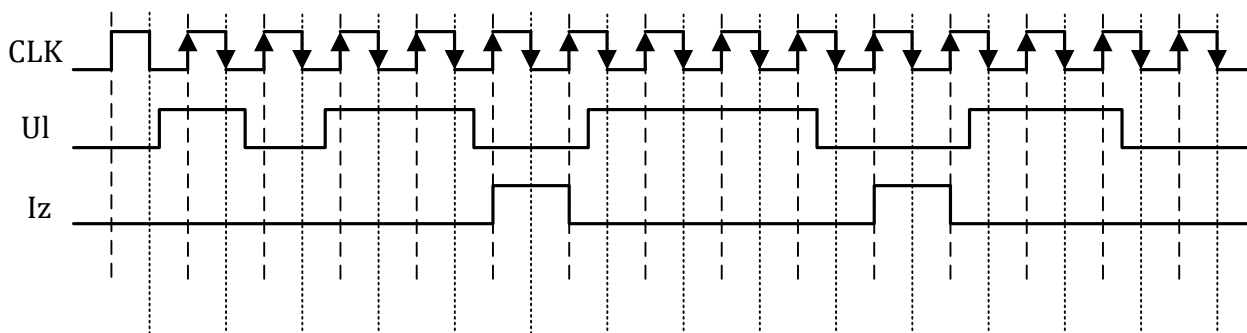
Zadatak 1 U1 (20 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk ako je ispunjen neki do dva uslova:

- 1) Prva ivica signala takta koja se pojavila od prelaska signala U1 sa niskog na visok naponski nivo je uzlazna i ukupan broj uzlaznih ivica koje su se pojavile tokom trajanja impulsa ulaznog signala je paran.
- 2) Prva ivica signala takta koja se pojavila od prelaska signala U1 sa niskog na visok naponski nivo je silazna i ukupan broj uzlaznih ivica koje su se pojavile tokom trajanja impulsa ulaznog signala je neparan.

Izlaz se generiše po završetku impulsa ulaznog signala na prvu sledeću uzlaznu ivicu. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih D flip-flova



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1 (20 poena)

Sintetizovati asinhronu mašinu stanja, korišćenjem osnovnih logičkih kola, koja ima tri ulaza A i B i C, i jedan izlaz Y. Ako je ulaz C na visokom nivou, aktivan, stanje izlaza Y je logička nula bez obzira na stanja i promene ulaza A i B. Posle deaktiviranja signala C stanje izlaza se postavlja saglasno ulazima A i B. Ako su ulazi B i C na niskom nivou, stanje ulaza A se preslikava na izlaz Y. Ako je ulaz C na niskom nivou i ulaz B promeni stanje sa niskog na visoki nivo na izlazu Y se nalazi zapamćeno stanje ulaza A koji je bio neporedno pre prelaska signala B sa niskog na visoki nivo.

Zadatak 3 U1 (10 poena)

- (a) Nacrtati jednu bitsku liniju sa 8 memorijskih lokacija NAND fleš memorije.
- (b) Ako se čita memorijska lokacija na adresi 0 iz bitske linije, koji su signali i naponi na gejtovim pojedinih tranzistora prilikom čitanja.

Zadatak 4 U2 (5 poena)

Objasniti razloge za uvođenje „Carry-Select” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.

Zadatak 5 U2 (10 poena)

- (a) Nacrtati standardni 6T memorijski element SRAM komponente.
- (b) Objasniti postupke upisa i čitanja memorijskog elementa. Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo?

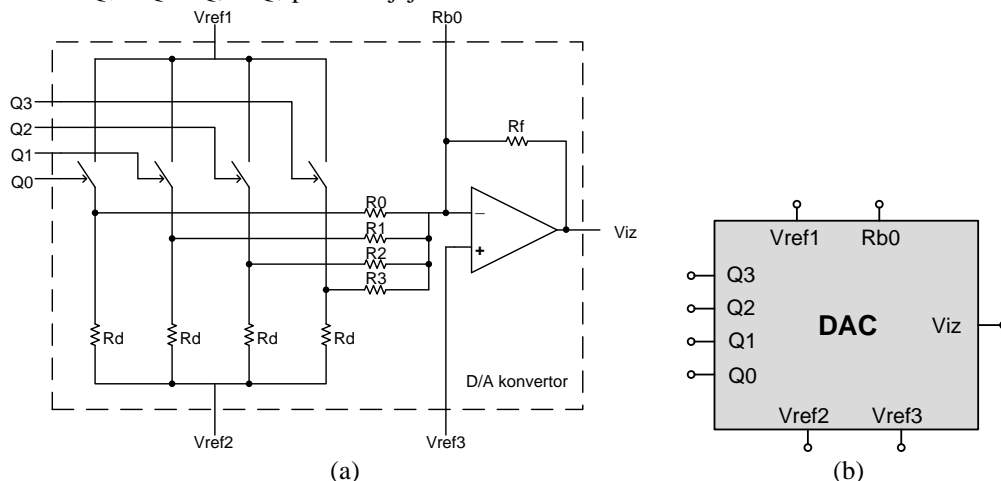
Zadatak 6 U2**(a-6, b-4, c-5 poena)**

(a) Na slici 6 data je blok šema D/A konvertora sa težinskom otpornom mrežom. Odrediti vrednosti težinskih otpornosti R_3, R_2, R_1, R_0 kao i vrednosti referentnih napona V_{ref1}, V_{ref2} i V_{ref3} tako da bude ispunjeno $V_{iz}(D) = -\frac{D}{5}[V]$, gde D

predstavlja vrednost ulaznog neoznačenog binarnog broja ($Q_3Q_2Q_1Q_0$). Poznato je $R_d=2k\Omega, R_f=5k\Omega$. Na raspolaganju su referentni naponi 0, 20V, -20V.

(b) Ako je otpornost otvorenih prekidača $R_{OFF}=1M\Omega$ odrediti najveću apsolutnu grešku ovog konvertora.

(c) Konvertor projektovan u tački a) je prikazan kao blok na slici 6 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati 8 bitni BCD D/A konvertor tako da važi $V_{iz}(0000\ 0000) = 0$ i $V_{iz}(1001\ 1001) = 9.9V$. Smatrati da biti $Q_7...Q_4$ i $Q_3...Q_0$ predstavljaju validne BCD cifre.



Slika 6. Blok šema D/A konvertora sa težinskom otpornom mrežom

Zadatak 7 U2**(a-5, b-4, c-3, d-4, e-4 poena)**

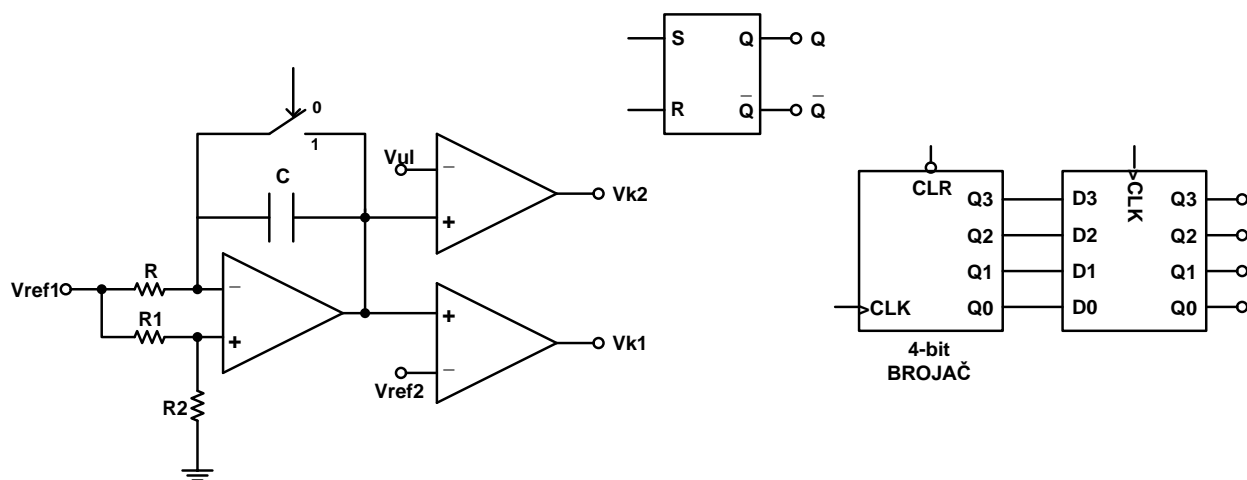
(a) Dovršiti šemu A/D konvertora sa jednostrukim nagibom sa slike 7. tako da se ulazni napon V_{ul} konvertuje u 4 bitni binarni broj. Početak konverzije se zadaje signalom START čije je trajanje najviše $1 T_{CLK}$.

(b) Odrediti polaritet referentnog napona $|V_{ref1}|=10V$, vrednost referentnog napona V_{ref2} , kao i vrednosti otpornika R_1 , ukoliko je opseg ulaznog napona konvertora $-8V \leq V_{ul} \leq 7V$. Prekidači se mogu smatrati idealnim dok je $R=1k\Omega$ i $R_2=1k\Omega$. Perioda takta iznosi $T_{CLK}=10\mu s$.

(c) Odrediti vremensku konstantu integratora A/D konvertora.

(d) Koliko iznosi vremenski interval od uzlazne ivice signala START do početka brojanja ako je kašnjenje kroz logička kola i SR leč zanemarljivo?

(e) Nacrtati vremenske dijagrame signala V_{int}, V_{k1}, V_{k2} , kao i signala Q izlaza SR leč kola sa slike 7, ako se konvertuje napon $V_{ul}=2V$.



Slika 7. A/D Konvertor sa jednostrukim nagibom

(dodatnih 5 poena) Kolika je maksimalna učestanost sinusoidalnog signala koji može da se odabira sa ovim konvertorom bez gubljenja informacije?