

1. Trajanje kolokvijuma 150 minuta.
2. Kolokvijum se radi u vežbanci.

Zadatak 1

(a-5, b-4; c-3; d-4; e-4 poena)

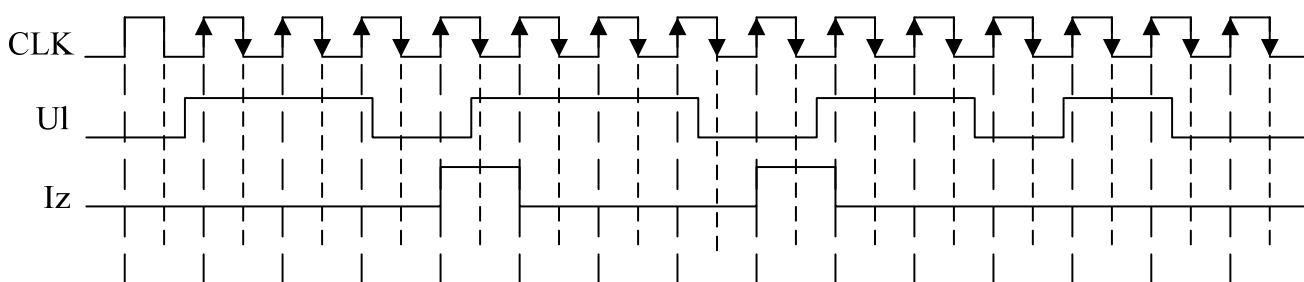
- (a) Realizovati sinhroni, potpuni binarni 4-bitni brojač. Na raspolaganju su ivični D flip flopovi sa asinhronim ulazima za direktan set S_d i reset R_d koji su sa aktivnom logičkom nulom.
- (b) Obezbediti mogućnost sinhronog paralelnog upisa. Upis podatka se kontroliše ulaznim signalom $LOAD$ aktivnim u logičkoj jedinici.
- (c) Obezbediti mogućnost asinhronog reseta. Brojač se resetuje ulaznim signalom CLR aktivnim u logičkoj nuli.
- (d) Ako se realizovani brojač koristi kao blok (nije dozvoljena modifikacija unutrašnje strukture), realizovati brojač koji broji sekvencu 4-5-6-10-11-12-0-1-2-4...
- (e) Ako je kašnjenje flip-flopora $t_{dff} = 10\text{ns}$, vreme postavljanja ulaza flip-flopora $t_{ds} = 4\text{ns}$ i kašnjenje kroz logička kola $t_{dlk} = 5\text{ns}$ odrediti maksimalnu učestanost rada i kašnjenje izlaza brojača realizovanog u tački d).

Zadatak 2

(a-20, b-2, c-3, d-10 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala UI i izlaznog signala Iz prikazani na Slici 2. Na izlazu se generiše impuls trajanja 1 T_{clk} ako su impulsom ulaznog signala obuhvaćene bar dve silazne ivice signala takta i poslednja obuhvaćena ivica je uzlazna. Izlazni signal se postavlja na prvu uzlaznu ivicu signala takta po deaktiviranju ulaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od T_{clk} . Odrediti:

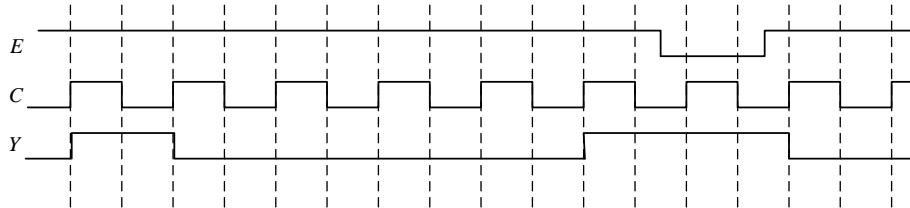
- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-flopora



Slika 2. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 3**(30 poena)**

Projektovati asinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznih signala E i C i izlaznog signala Y prikazani na Slici 3. Izlazni signal Y se generiše za vreme svake pete periode signala C pod uslovom da je signal E na visokom nivou. Ako je signal E na niskom nivou, signal Y zadržava svoje zatečeno stanje u trenutku prelaska signala E sa visokog na niski nivo. Promene signala C i E se ne dešavaju istovremeno.



Slika 3. Vremenski dijagrami signala sekvencijalne mreže

Da li relizovana mreža ima problem esencijalnog hazarda? Zašto?

Zadatak 4**(5 poena)**

Objasniti načine programiranja programabilnih ROM komponenti u MOS tehnologiji: MASK, OTPROM, EPROM, EEPROM.

Zadatak 5**(10 poena)**

- Nacrtati jednu bitsku liniju sa 8 memorijskih lokacija NAND fleš memorije.
 - Ako se čita memorijska lokacija na adresi 0 iz bitske linije, koji su signali i naponi na gejtovima pojedinih tranzistora prilikom čitanja.
-