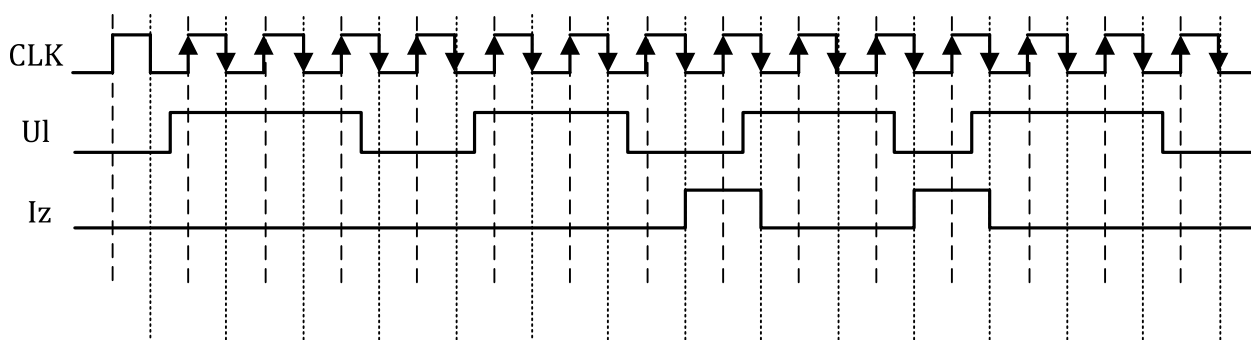


1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.

Zadatak 1**(20 poena)**

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala Ul i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk ako je trenutnim impulsom ulaznog signala broj obuhvaćenih uzlaznih ivica jednak broju obuhvaćenih silaznih ivica. Izlaz se generiše po završetku impulsa ulaznog signala na prvu sledeću silaznu ivicu. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih D flip-floпова



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2**(10 poena)**

- (a) Nacrtati strukturu GAL komponente koja ima 4 fiksna ulaza, 4 izlaza/ulaza i mogućnost sabiranja maksimalno do 4 proizvoda po izlazu. GAL komponenta je realizovana u CMOS EPROM tehnologiji.
- (b) Nacrtati logičku šemu komponente ako su 2 izlaza konfigurisana kao logički a 2 izlaza kao registarski. Kako i kada se definiše ovakva konfiguracija? Zašto se prilikom formiranja logičkih proizvoda koristi programabilno EXILI kolo na izlazu?
- (c) Objasniti načine programiranja komponenti, ASIC, MASK, OTPROM, EPROM, EEPROM i eventulanog brisanja.

Zadatak 3**(10 poena)**

Objasniti razloge za uvođenje „Carry-Select” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.

Zadatak 4**(15 poena)**

- (a) Nacrtati standardni 6T memorijski element SRAM komponente.
- (b) Objasniti postupke upisa i čitanja memorijskog elementa. Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo?
- (c) Nacrtati standardni 1T memorijski element DRAM komponente. Zašto je neophodan ciklus osvežavanja memorijskog sadržaja i kada i kako se on izvršava?
- (d) Navesti „principske“ razlike upotrebe (ne zašto, nego kako) senzorskih pojačavača kod SRAM memorija sa jedne strane i ROM, DRAM memorija sa druge strane.

Zadatak 5**(10 poena)**

- (a) Izvesti izraz za odnos signal šum u procesu kvantizacije odmeraka signala po amplitudi.
- (b) Izvesti izraz za ENOB (*Effective number of bits*) kod AD konverzije.

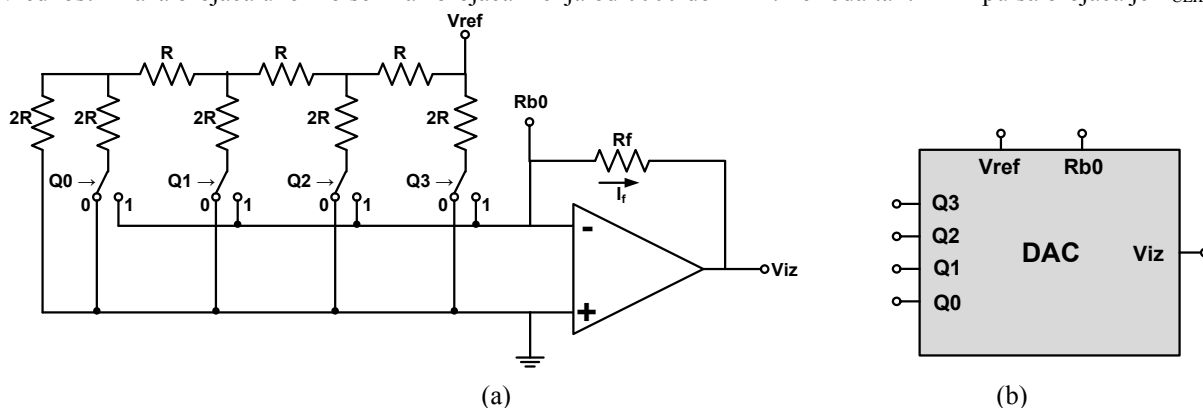
Zadatak 6**(15 poena)**

(a) Odrediti vrednosti svih otpornika i polaritet referentnog napona $|V_{ref}| = 20V$, D/A konvertora sa slike 6, tako da bude zadovoljeno $V_{iz}(0000) = 0V$ i $V_{iz}(1111) = 3.75V$ ako je $R_f = 5 k\Omega$.

(b) Konvertor projektovan u tački a) je prikazan kao blok na slici 6 b). Korišćenjem gotovih konvertora projektovati mrežu kojom se generiše izlazni analogni napon čija je vrednost $V_{iz}(X,Y) = \frac{XY}{16} [V]$, gde su X i Y dva 4-bitna neoznačena

broja. Na raspolaganju su otpornici proizvoljnih vrednosti i idealni operacioni pojačavači.

(c) Ako se konvertor projektovan u tački a), poveže na izlaz brojača i ako prekidači, kontrolisani signalima Q_1 i Q_3 , prilikom isključenja unose kašnjenje $t_d = 0.5T_{CLK}$, nacrtati dijagram zavisnosti izlaznog napona konvertora od vrednosti izlaza brojača ukoliko se izlaz brojača menja od 0000 do 1111. Perioda taktnih impulsa brojača je T_{CLK} .



Slika 6. Blok šema D/A konvertora sa brzim vremenom postavljanja

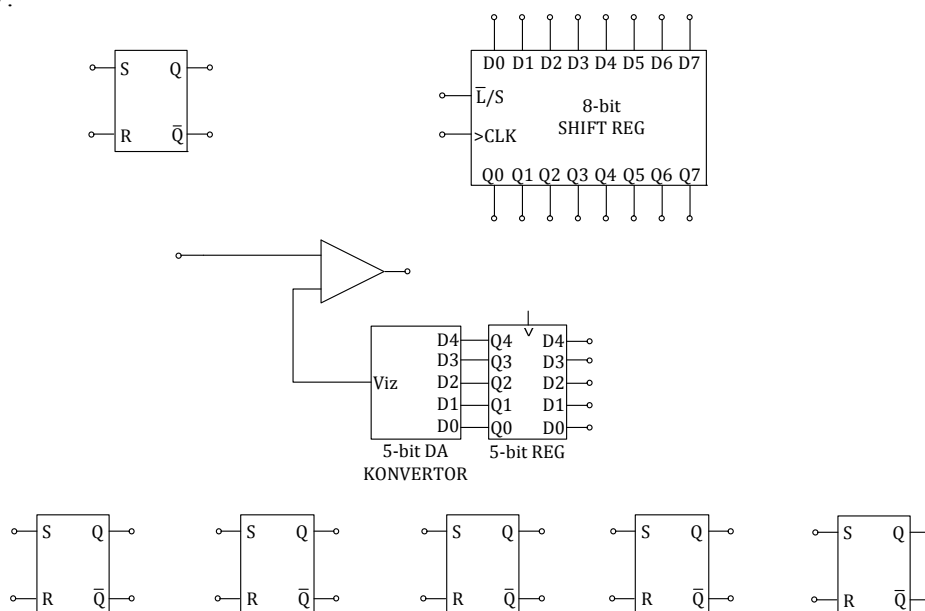
Zadatak 7**(20 poena)**

(a) Dopršiti šemu 5-bitnog A/D konvertora sa sukcesivnim aproksimacijama sa slike 7 ako je opseg ulaznog napona od 0 do 3.2V. Početak konverzije se zadaje signalom *START* proizvoljne dužine trajanja. Kraj konverzije se označava signalom *EOC*. 5-bitni DA konvertor je sa opsegom napona od 0 do 3.1V. Na raspolaganju su samo dodatna logička kola.

(b) Odrediti vreme trajanja konverzije od zadavanja starta konverzije, signalom *START* (proizvoljne dužine trajanja), do završetka konverzije i generisanja signala *EOC* (trajanja $1T_{CLK}$).

(c) Ako je odnos impuls/perioda CLK impulsa $1/4$ odrediti maksimalnu učestanost signala takta pod uslovom da je vreme postavljanja izlaza D/A konvertora $t_{DAC} = 100ns$, dok vreme propagacije signala kroz logička kola, SR leč kola, registar i komparator, iznosi 5ns.

(d) Nacrtati vremenski oblik napona na izlazu D/A konvertora i na izlazu komparatora V_k , ako se konvertuje ulazni napon $V_{ul} = 2.5V$.



Slika 7. A/D konvertor sa sukcesivnim aproksimacijama