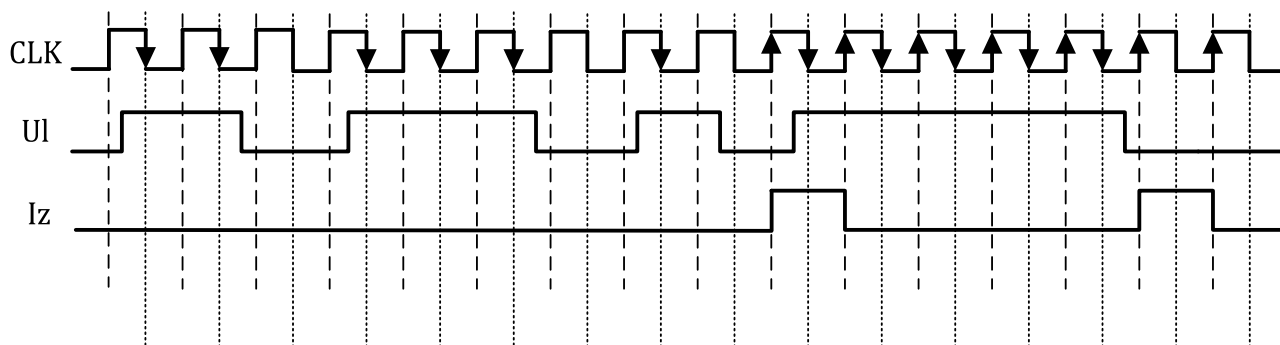


1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.

Zadatak 1**(20 poena)**

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala Ul i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk u slučaju da je u dva uzastopna impulsa ulaznog signala obuhvaćen neparan broj silaznih ivica. Izlazni impuls se generiše na prvu uzlaznu ivicu signala takta po završetku impulsa ulaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih D flip-floпова



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2**(10 poena)**

Objasniti razloge za uvođenje „Carry-Bypass” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.

Zadatak 3**(10 poena)**

- (a) Nacrtati standardni 1T memorijski element DDR2 SDRAM komponente. Zašto je neophodan ciklus osvežavanja memorijskog sadržaja i kada i kako se on izvršava?
- (b) Objasniti ulogu senzorskih pojačavača kod očitavanja sadržaja memorijskih elemenata; napraviti pregled i opisati najčešće korišćene arhitekture za DRAM memorije.

Zadatak 4**(15 poena)**

Projektovati kolo *Barrel* pomerača koji vrši aritmetičko ili logičko pomeranje, udesno ili ulevo ulaznog broja $A = a_3a_2a_1a_0$ za broj bita definisan kontrolnim ulazima c_1 i c_0 . Selekcija Aritmetičkog/Logičkog pomeranja, tj. pomeranja Levo/Desno vrše se pomoću kontrolnih ulaza A/L , tj. L/D . Na raspolaganju su isključivo multiplekseri 2/1.

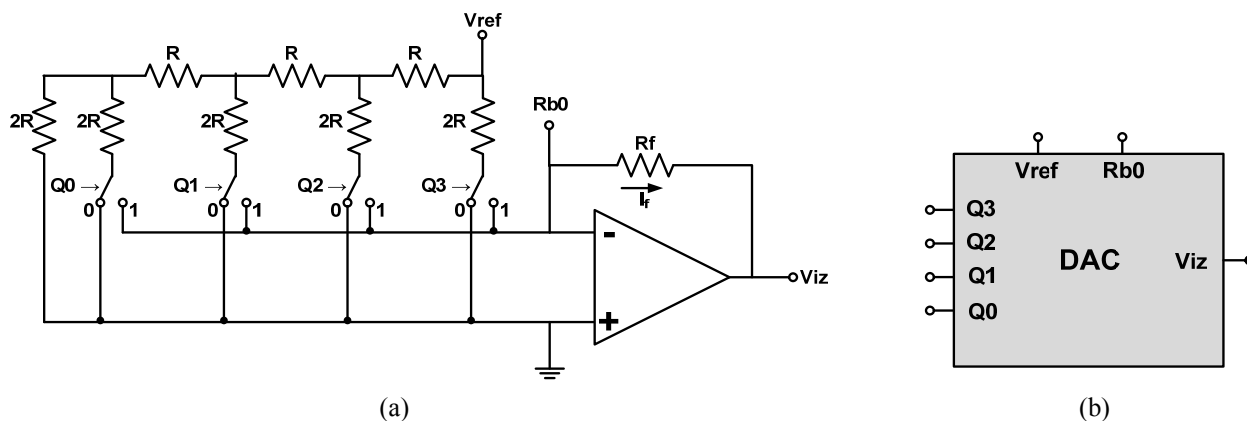
Zadatak 5**(10 poena)**

- (a) Izvesti izraz za odnos signal šum u procesu kvantizacije odmeraka signala po amplitudi.
- (b) Izvesti izraz za ENOB (*Effective number of bits*) kod AD konverzije.

Zadatak 6**(a-6, b-9 poena)**

(a) Odrediti vrednosti svih otpornika i polaritet referentnog napona $|V_{ref}| = 20V$, D/A konvertora sa slike 6, tako da bude zadovoljeno $V_{iz}(0000) = 0V$ i $V_{iz}(1111) = 5V$ ako je $R_f = 5 k\Omega$.

(b) Odbirci zvučnog signala predstavljaju 8-bitne digitalne podatke. Informacija o pojačanju se čuva kao 4-bitni digitalni podatak. Koristeći projektovane DA konvertore sa slike 6. b), otpornike proizvoljnih vrednosti i idealne operacione pojačavače realizovati kolo za pobuđivanje ulaznog filtra zvučnika koji na ulazu prihvata napone iz opsega 0-5V.



Slika 6. Blok šema D/A konvertora sa brzim vremenom postavljanja

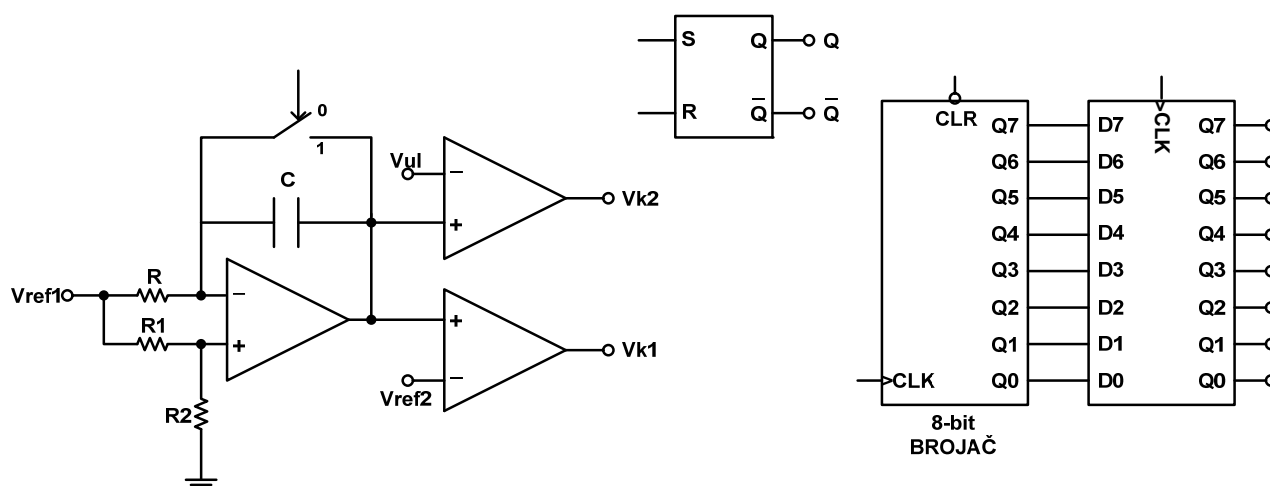
Zadatak 7**(a-5, b-7, c-5, d-3 poena)**

(a) Dovršiti šemu A/D konvertora sa jednostrukim nagibom sa slike 7. tako da se ulazni napon V_{ul} konvertuje u 8 bitni binarni broj. Početak konverzije se zadaje signalom START čije je trajanje najviše $1 T_{CLK}$. Na raspolaganju su **samo dodatna logička kola niskog stepena integracije**.

(b) Odrediti polaritet referentnog napona $|V_{ref1}| = 10V$, vrednost referentnog napona V_{ref2} , kapacitivnost kondenzatora C , kao i vrednosti otpornika R_1 , ukoliko je opseg ulaznog napona konvertora $-5V \leq V_{ul} \leq 5V$ a najveće dozvoljeno kašnjenje od pojave signala START do generisanja signala početka brojanja iznosi $20\mu s$. Prekidači se mogu smatrati idealnim dok je $R = 1k\Omega$ i $R_2 = 1k\Omega$. Perioda takta iznosi $T_{CLK} = 10\mu s$.

(c) Nacrtati vremenske dijagrame signala V_{int} , V_{k1} , V_{k2} , kao i signala Q izlaza SR leč kola sa slike 7, ako se konvertuje napon $V_{ul} = 2V$.

(d) Temperaturni senzor na svom izlazu daje signal u opsegu 0-5V. Koristeći projektovani AD konvertor izvršiti konverziju analognog napona sa senzora u 5-bitni digitalni podatak D. **Nije dozvoljeno menjati unutrašnju strukturu konvertora.**



Slika 7. A/D Konvertor sa jednostrukim nagibom