

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.

Zadatak 1**(20 poena)**

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala UI i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk u slučaju da su ispunjeni svi navedeni uslovi:

- 1) Ukupan broj uzlaznih ivica signala takta koje su se pojavile za vreme kada god je ulazni signal UI aktivan, odnosno na nivou logičke jedinice, računajući od trenutka reseta (uspostave napajanja) je paran
- 2) Prva ivica signala takta od početka trenutnog impulsa ulaznog signala je uzlazna.

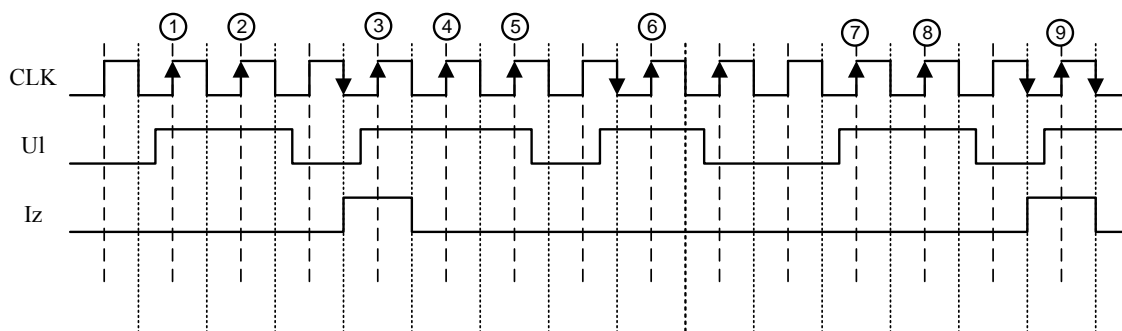
Izlazni signal se postavlja na prvu silaznu ivicu signala CLK po deaktiviranju ulaznog signala UI. Vreme za koje je ulazni signal UI na stabilnom logičkom nivou je sigurno veće od Tclk. Odrediti:

(a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi.

(b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.

(c) Nacrtati dijagram stanja ove sekvencijalne mreže

(d) Realizovati mrežu korišćenjem ivičnih D flip-flova



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2**(10 poena)**

Objasniti razloge za uvođenje „Carry Bypass” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača realizovanog u ovoj arhitekturi.

Zadatak 3**(10 poena)**

(a) Nacrtati strukturu GAL komponente koja ima 4 fiksna ulaza, 4 izlaza/ulaza i mogućnost sabiranja maksimalno do 4 proizvoda po izlazu. GAL komponenta je realizovana u CMOS EPROM tehnologiji.

(b) Nacrtati logičku šemu komponente ako su 2 izlaza konfigurisana kao logički a 2 izlaza kao registarski. Kako i kada se definiše ovakva konfiguracija? Zašto se prilikom formiranja logičkih proizvoda koristi programabilno EXILI kolo na izlazu?

Zadatak 4**(15 poena)**

(a) Nacrtati standardni 6T memorijski element SRAM komponente.

(b) Objasniti postupke upisa i čitanja memorijskog elementa. Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo?

Zadatak 5**(10 poena)**

(a) Nacrtati šemu unipolarnog fleš AD konvertora i objasniti princip rada.

(b) Objasniti kako može da se eliminiše ofset koji se pojavljuje kod komparatora.

(c) Objasniti razloge za uvođenje i princip realizacije kaskadnih fleš AD konvertora.

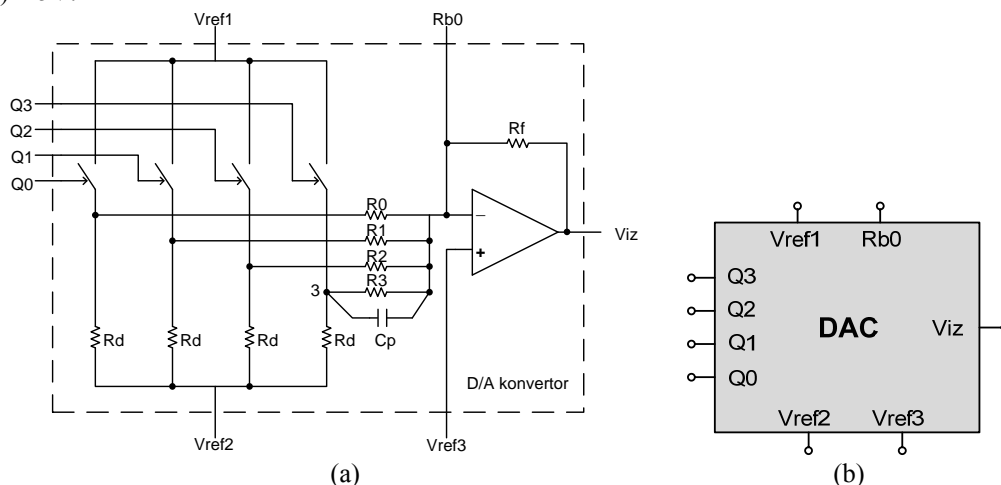
Zadatak 6**(a-6, b-5, c-6 poena)**

(a) Na slici 6 data je blok šema D/A konvertora sa težinskom otpornom mrežom. Odrediti vrednosti težinskih otpornosti R_3, R_2, R_1, R_0 kao i vrednosti referentnih napona V_{ref1}, V_{ref2} i V_{ref3} tako da bude ispunjeno $V_z(D) = \frac{D}{3}[V]$, gde D

predstavlja vrednost ulaznog neoznačenog binarnog broja ($Q_3 Q_2 Q_1 Q_0$). Poznato je $R_d = 2k\Omega, R_f = 5k\Omega$. Na raspolaganju su referentni naponi 0, 20V, -20V.

(b) Ako ekvivalentna paralelna parazitna kapacitivnost otpornika R_3 ima vrednost $10pF$, odrediti izraz za oblik izlaznog napona konvertora, pri promeni ulaznog koda sa vrednosti $Q_3 Q_2 Q_1 Q_0 = 1100$ na vrednost 0000.

(c) Konvertor projektovan u tački a) je prikazan kao blok na slici 6 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati bipolarni 8 bitni DA konvertor tako da važi $V_z(00000000) = -2.5V$ i $V_z(11111111) = 5V$.



Slika 6. Blok šema D/A konvertora sa težinskom otpornom mrežom

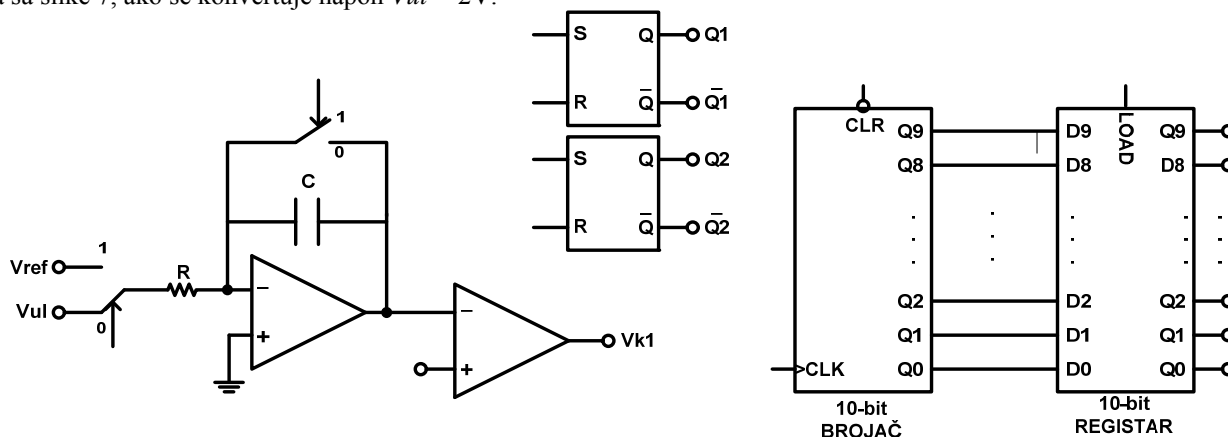
Zadatak 7**(a-8, b-2, c-3, d-5 poena)**

(a) Dopršiti šemu A/D konvertora sa dvojn timer nagibom sa slike 7. tako da se ulazni napon V_{ul} iz opsega $[-5V, 5V]$ konvertuje u 10 bitni binarni broj. Početak konverzije se zadaje signalom START proizvoljno dugog vremena trajanja. Obezbediti detekciju kraja konverzije pomoću signala EOC. Otpornost uključenog prekidača je $r_{on} = 10\Omega$ a $R = 100k\Omega$. Kapacitivnost kondenzatora je $C = 10 nF$. Operacioni pojačavači su „rail to rail“ i napajanje im je $\pm 20V$. Na raspolaganju su otpornici proizvoljnih vrednosti, idealni operacioni pojačavači i izvori konstantnog napona $+20V$ i $-20V$.

(b) Odrediti polaritet i vrednost referentnog napona V_{ref} .

(c) Ako se na ulaz konvertora dovede napon od 8V kolika će biti konvertovana vrednost pod uslovom da je učestanost takta dovoljno niska da operacioni pojačavači ne ulaze u zasićenje? Kojoj vrednosti analognog napona odgovara ova digitalna vrednost u slučaju regularnog rada konvertora.

(d) Nacrtati vremenske dijagrame signala V_{int} (na izlazu integratora), V_{k1} , EOC kao i signala $Q1$ i $Q2$ izlaza SR leč kola sa slike 7, ako se konvertuje napon $V_{ul} = -2V$.



Slika 7. A/D Konvertor sa dvojn timer nagibom