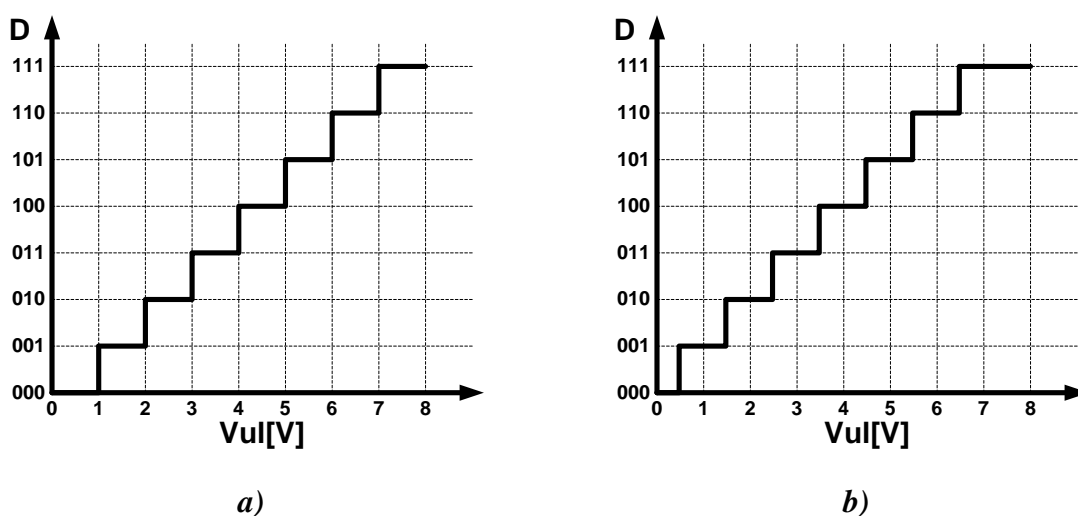


Zadatak 11.1.

a) Projektovati kolo A/D konvertora sa paralelnim komparatorima koji ulazni napon u opsegu 0 – 8V kovertuje u 3 – bitni binarni broj prema karakteristici sa Slike 11.1.1. a). U slučaju kada je na ulazu napon veći od 8V generisati signal prekoračenja OF. Na raspolaganju su diferencijalni komparatori, otpornici, prioritetni koder 8/3 čiji su izlazi aktivni u logičkoj '1' i ima ulaz dozvole EN aktivan u logičkoj '0'.

b) Projektovati A/D konvertor sa parametrima iz tačke a) ako je potrebno realizovati karakteristiku sa Slike 11.1.1. b).

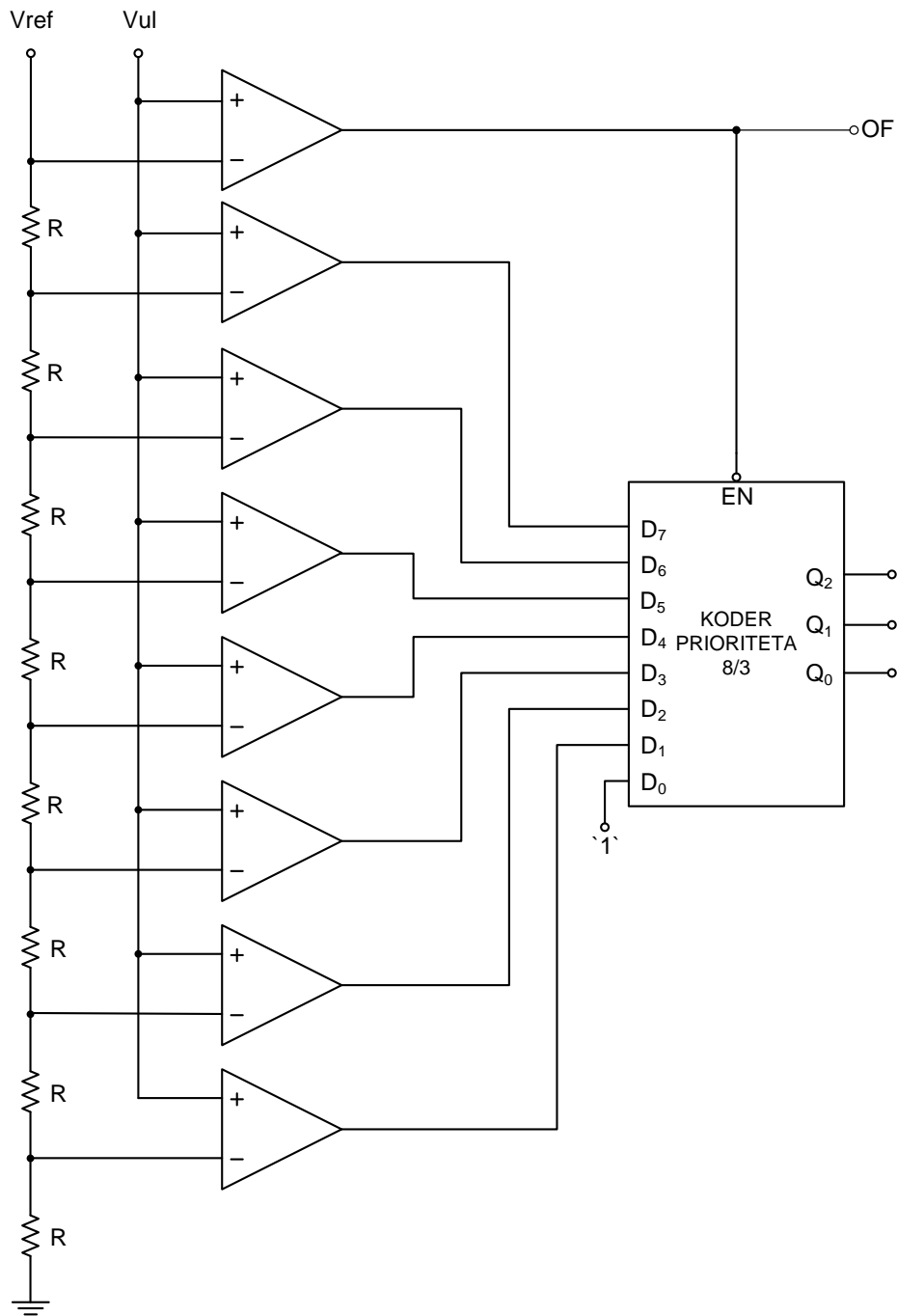
c) Ako su za kolo iz tačke a) umesto prioritelnog kodera na raspolaganju EKSILI kola, diode i otpornici projektovati A/D konvertor tako da je izlazni binarni broj u Gray-ovom kodu.



Slika 11.1.1. Prenosna karakteristika A/D konvertora

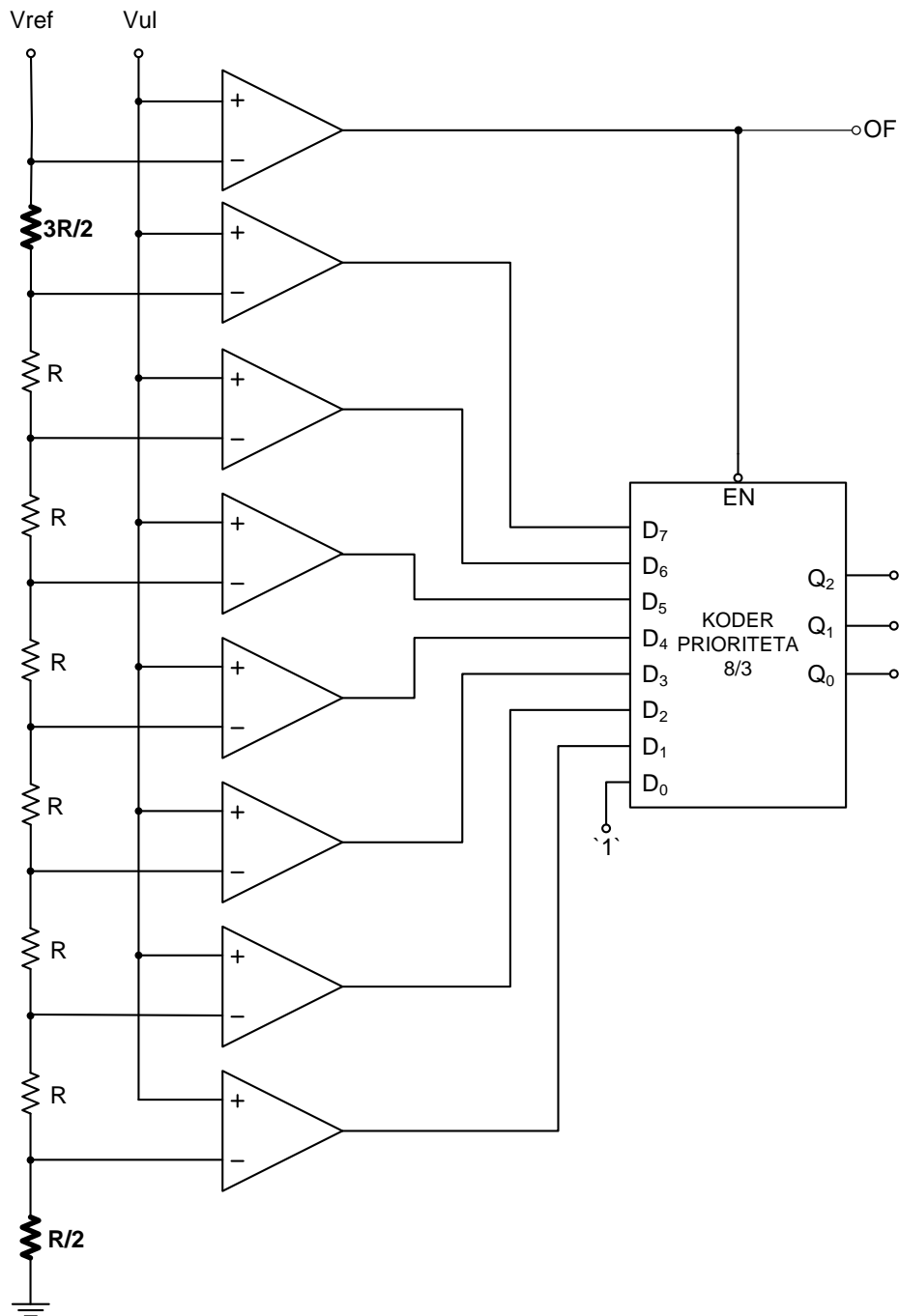
REŠENJE:

a) Osnovna ideja kod konvertora sa paralelnim komparatorima je da se ulazni napon poredi sa generisanim pragovima i da se na osnovu njih generiše izlazni digitalni podatak. Pragovi A/D konvertora definisani su njegovom karakteristikom prenosa. Sa Slike 11.1.1. a) se vidi da traženi A/D konvertor ima pragove na 1V, 2V .. 7V. Ovi pragovi se mogu generisati otpornom razdelnom mrežom prikazanom na Slici 11.1.2. Referentni napon u ovom slučaju jednak je naponu pune skale i iznosi 8V. Svaki od komparatora će generisati visok napon na izlazu u slučaju da je ulazni napon veći od napona praga na koji su povezani. Potrebno je voditi računa da ukoliko komparator koji je vezan na prag 5V generiše na izlazu logičku jedinicu da će u tom slučaju i svi komparatori koji su vezani na pragove nižeg napona generisati na izlazu logičku jedinicu. Zbog toga je neophodno koristiti koder prioriteta. Kako je ulazni napon uvek veći ili jednak 0 onda je u slučaju da nijedan komparator nema logičku jedinicu na izlazu ($0 \leq V_{ul} < 1V$) potrebno generisati sve nule na izlazu A/D konvertora što se obezbeđuje dovođenjem logičke jedinice na ulaz D_0 kodera prioriteta. U slučaju da je ulazni napon veći od 8V (u našem slučaju $V_{ul} > V_{ref}$) poslednji komparator će na svom izlazu generisati OF signal. Pri pojavi OF signala se zabranjuje izlaz kodera prioriteta koji više ne sadrži validnu vrednost.



Slika 11.1.2. Realizacija A/D konvertora sa karakteristikom prenosa sa Slike 11.1.1. a)

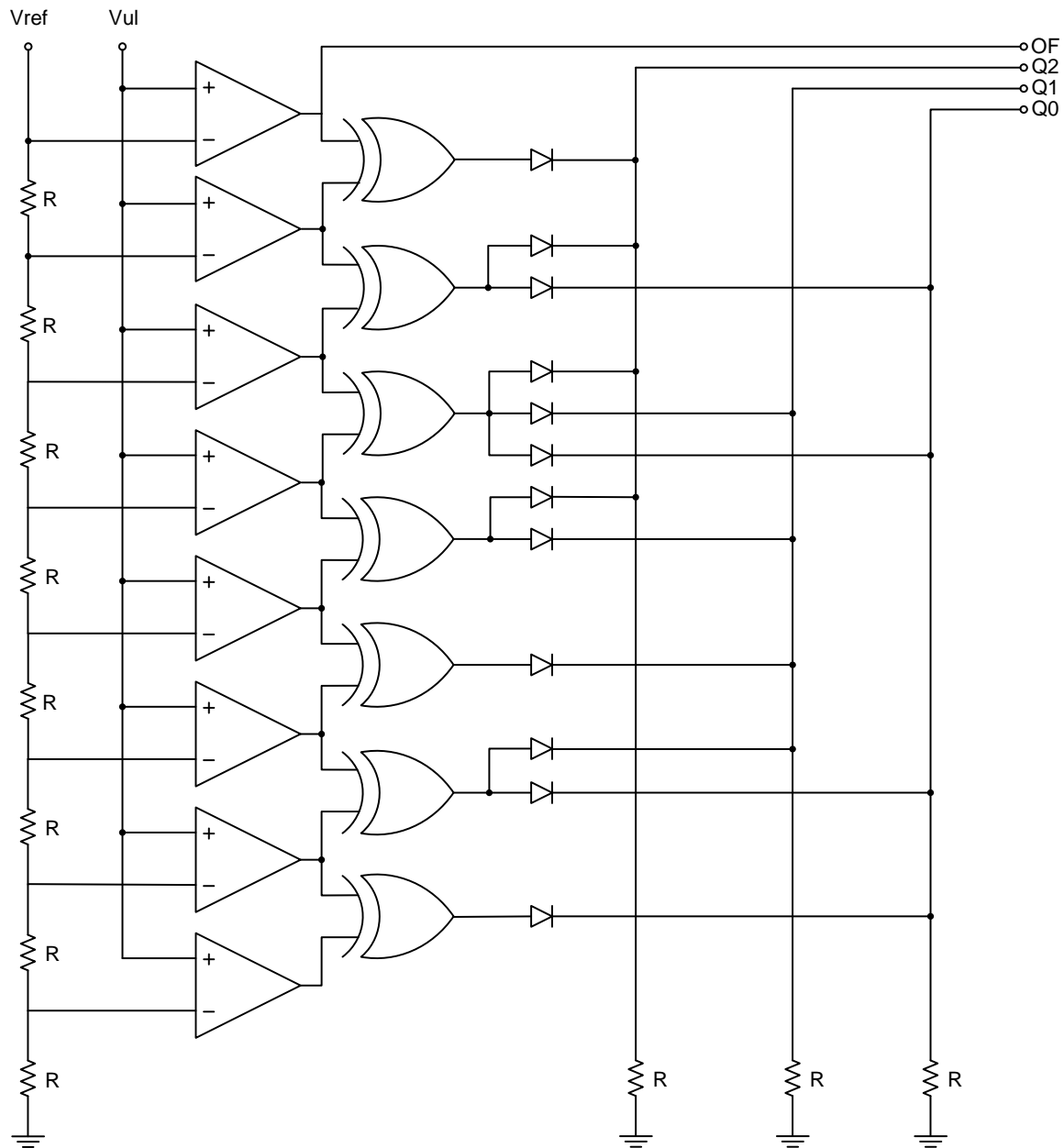
b) Konvertor sa karakteristikom sa Slike 11.1.1. b) ima prvi prag pomenen na 0.5V dok je razmak između pragova isti kao u prethodnoj tački i iznosi 1V. Dakle potrebno je prilagoditi otpnu razdelnu mrežu novim vrednostima pragova kao što je prikazano na Slici 11.1.3. Otpornik koji generiše vrednost prvog praga je promenjen na $R/2$. Kako bi se zadržao ukupan zbir od $8R$ u naponskom razdelniku poslednji otpornik je povećan na $3R/2$. Signal prekoračenja se i u ovom slučaju generiše kada je ulazni napon veći od 8V.



Slika 11.1.3. Realizacija A/D konvertora sa karakteristikom prenosa sa Slike 11.1.1. b)

c) Ukoliko nije na raspolaganju prioritetni koder ili je potrebna veća fleksibilnost u kodu koji se generiše na izlazu (koji ne mora nužno biti težinski) kolo prioritetnog kodera je moguće zameniti EKSILI kolima sa trostatičkim izlazima (otvoreni kolektor) kako bi se sprečile posledice kratkog spajanja izlaza dva logička kola koja generišu izlaze suprotnog polariteta. Ukoliko nisu na raspolaganju kola sa otvorenim kolektorom zaštita od kratkog spajanja se može postići dodavanjem dioda kao što je prikazano na Slici 11.1.4. Mreža EKSILI kola u suštini predstavlja deo za prioritiranje odnosno u svakom trenutku će tačno jedno EKSILI kolo na svom izlazu imati logičku jedinicu dok će sva ostala kola imati logičku nulu. Ovo ne važi jedino slučaju kada je ulazni napon ispod vrednosti prvog praga ($0 \leq V_{ul} < 1V$) i tada sva EKSILI kola na svom izlazu imaju logičku nulu. Povezivanjem izlaza EKSILI kola na izlazne

linije može se generisati proizvoljan digitalni kod na izlazu. *Pull-down* otpornicima je obezbeđeno da se u slučaju kada su svi izlazi povezani na odgovarajuću liniju na niskom potencijalu (odgovarajuće diode su zakočene) ta linija nađe u stanju logičke nule umesto u stanju visoke impedanse. U slučaju da je bilo koji od izlaza povezan na odgovarajuću liniju u stanju logičke jedinice odgovarajuća dioda vodi i ta linija se nalazi takođe u stanju logičke jedinice. Primer generisanja *Gray*-ovog koda na izlazu A/D konvertora je prikazan na Slici 11.1.4.



Slika 11.1.4. Realizacija A/D konvertora koji generiše izlazni podatak u Gray-ovom kodu

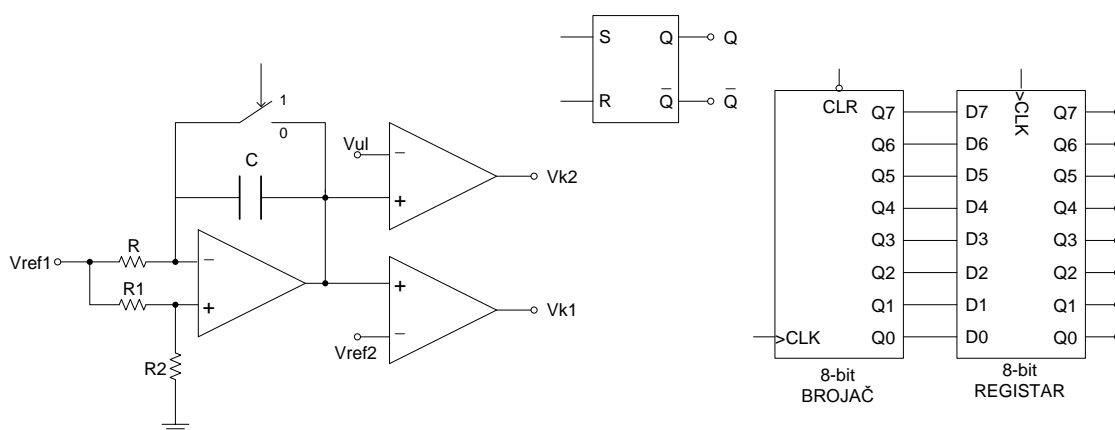
Zadatak 11.2.

a) Dovršiti šemu A/D konvertora sa jednostrukim nagibom sa Slike 11.2.1. tako da se ulazni napon V_{ul} konvertuje u 8 bitni binarni broj. Početak konverzije se zadaje signalom $START$ proizvoljno dugog vremena trajanja.

b) Odrediti polaritet i vrednost referentnog napona V_{ref1} i V_{ref2} , kao i vrednosti otpornika R_1 i R_2 , ukoliko je opseg ulaznog napona konvertora $-5V \leq V_{ul} \leq 5V$. Otpornost uključenog prekidača je $r_{on} = 100\Omega$ i poznato je $R = 1k\Omega$.

c) Odrediti vremensku konstantu integratora A/D konvertora ako je perioda taktnih impulsa $T_{CLK} = 10\mu s$.

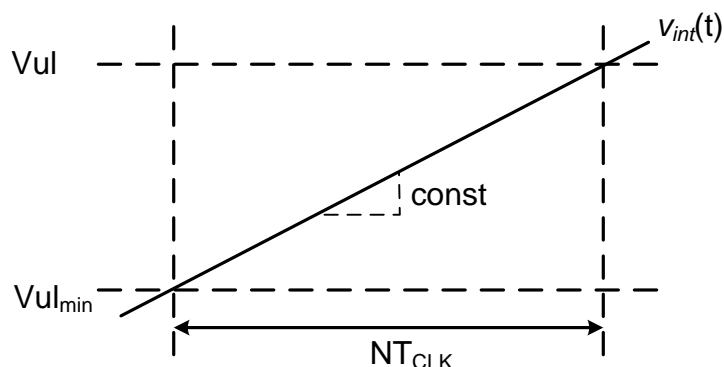
d) Nacrtati vremenske dijagrame signala V_{int} , V_k , V_{k2} kao i signala Q (izlaz SR leč kola) ako se konvertuje ulazni napon $0V$.



Slika 11.2.1. A/D konvertor sa jednostrukim nagibom

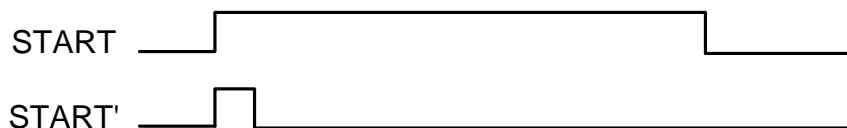
REŠENJE:

a) Osnovni deo konvertora sa jednostrukim nagibom je kolo integratora koji se puni konstantnom strujom i generiše signal rampe, odnosno predstavlja generator linearne vremenske baze. Napon integratora bi u suštini trebalo da prolazi kroz sve moguće vrednosti ulaznog opsega A/D konvertora. Ideja je da se izmeri vreme između trenutka u kome napon na integratoru dostigne vrednost minimalnog mogućeg ulaznog napona V_{ulmin} i trenutka kada se vrednost napona na izlazu integratora poklopi sa trenutnom vrednošću ulaznog napona V_{ul} . Sa Slike 11.2.2. se vidi da je vreme koje je potrebno integratoru da dostigne vrednost drugog praga (V_{ul}) proporcionalno razlici $V_{ul} - V_{ulmin}$. Ovo vreme se može pretovriti u digitalni podatak korišćenjem brojača (brojanjem koliko se taktnih perioda sadrži u okviru posmatranog vremenskog intervala). Takt brojača je potrebno podesiti tako da u slučaju maksimalnog ulaznog npona, odnosno za vrednost razlike $V_{ulmax} - V_{ulmin}$ izborji maksimalnu vrednost odnosno da na izlazu ima sve jedinice. Na osnovu ovog uslova se može odrediti potreban odnos između takta brojača i vremenske konstante integratora. Ako je ovo ispunjeno, zbog proporcionalnost vremena punjenja integratora i ulaznog napona, za bilo koji ulazni signal iz intervala $[V_{ulmin}, V_{ulmax}]$ na izlazu brojača na kraju konverzije će se nalaziti digitalna vrednost ulaznog analognog signala.



Slika 11.2.2. Princip rada konvertora sa jednostrukim nagibom, napon na izlazu integratora u zavisnosti od vremena

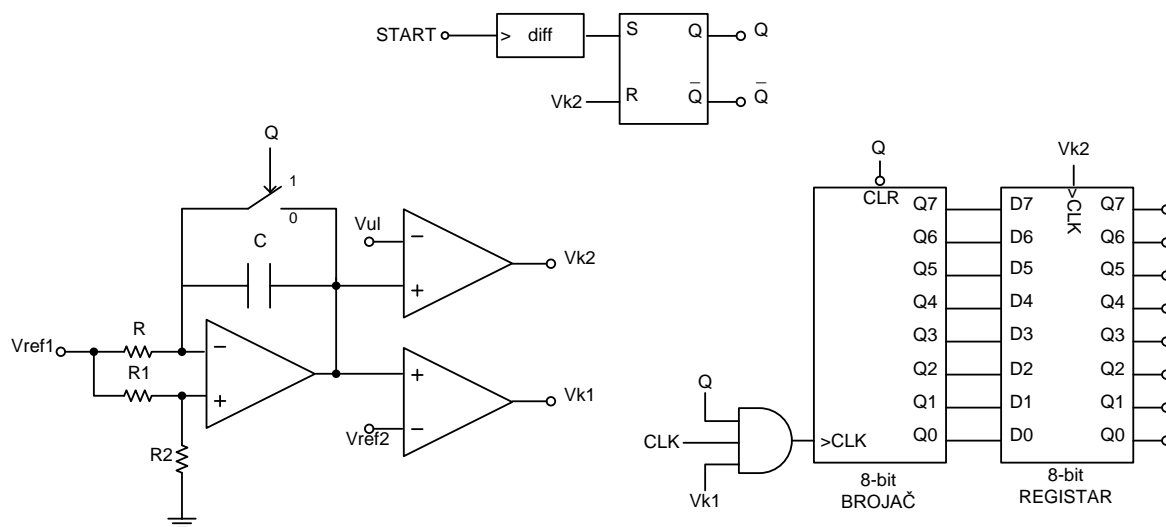
Na osnovu opisa rada konvertora može se dovršiti šema sa Slike 11.2.1. U početnom trenutku prekidač integratora je u položaju 0 i na izlazu integratora se nalazi napon definisan vrednošću referentnog napona V_{ref} i otpornika R , R_1 i R_2 . Za ispravan rad konvertora njihove vrednosti je potrebno podesiti tako da u početnom trenutku napon na izlazu integratora bude manji od minimalnog ulaznog napona $V_{ul_{min}}$. Ako se usvoji da se SR leč setuje na početku konverzije onda se prekidač kontroliše bitom Q . Početak konverzije se određuje signalom $START$. Njima se setuje SR leč odnosno bit Q se postavlja na '1' i integrator počinje da se puni. Potrebno je voditi računa da signal $START$ bude na neaktivnoj vrednosti na kraju konverzije kako bi se SR leč uspešno resetovao. Kako je u tekstu zadatka rečeno da signal $START$ može biti proizvoljnog vremena trajanja neophodno je pre njegovog dovođenja na ulaz S SR leča izvršiti diferenciranje uzlazne ivice signala kao što je prikazano na Slici 11.2.3.



Slika 11.2.3. Diferenciranje uzlazne ivice signala START

U trenutku kada napon na izlazu integratora pređe vrednost prvog praga V_{ref2} generiše se signal $Vk1$. Signal $Vk1$ označava početak rada brojača, odnosno na taktni ulaz brojača se dovodi I funkcija signala takta CLK , signala Q koji označava da je u toku konverzija i signala $Vk1$ koji označava da je vrednost izlaznog napona integratora nalazi u opsegu ulaznih napona A/D konvertora. U trenutku kada napon na izlazu integratora dostigne vrednost ulaznog napona A/D konvertora generiše se signal $Vk2$. Ovaj signal označava da je proces konverzije završen i da se na izlazu brojača nalazi konvertovana digitalna vrednost. Uzlaznom ivicom signala $Vk2$ se digitalni podatak upisuje u izlazni registar gde ostaje sačuvan sve do završetka sledećeg ciklusa konverzije. Signalom $Vk2$ se takođe resetuje kontrolni SR leč, čime se signal Q postavlja na '0' i napon na integratoru vraća na početnu vrednost. Potrebno je obratiti pažnju kojim signalom se resetuje brojač. Važno je da ovaj signal bude zakašnjen u odnosu na signal kojim se upisuje u izlazni registar (u opisanom rešenju $Vk2$). U suprotnom se može desiti da dođe do trke odnosno da se izlaz brojača obriše pre upisa u izlazni registar. Kako je promena signala Q uslovljena promenom signala $Vk2$ (sigurno se dešava posle) to je signal Q iskorišćen za resetovanje brojača. Još sigurnije rešenje bi bilo da se brojač resetuje signalom

V_{k1} jer se on još kasnije postavlja na '0'. Kompletna šema A/D konvertora sa jednostrukim nagibom data je na Slici 11.2.4.



Slika 11.2.4. A/D konvertor sa jednostrukim nagibom – kompletna šema

b) Na osnovu opisa rada iz prethodne tačke mogu se odrediti vrednosti parametara A/D konvertora. U početnom trenutku je potrebno obezbediti da napon na izlazu integratora bude manji od minimalne vrednosti ulaznog napona A/D konvertora.

$$V_{\text{int}}(0^-) < V_{ul \text{ min}} \quad (11.2.1.)$$

Kako je u početnom trenutku prekidač zatvoren to je napon na integratoru jednak:

$$V_{\text{int}}(0^-) = \frac{R_2}{R_1 + R_2} V_{\text{ref1}} - [V_{\text{ref1}} - \frac{R_2}{R_1 + R_2} V_{\text{ref1}}] \frac{r_{on}}{R} \quad (11.2.2.)$$

Polaritet referentnog napona V_{ref1} se određuje tako da struja integratora dovodi do porasta napona na izlazu. Napon na integratoru u toku rada iznosi:

$$v_{\text{int}}(t) = V_{\text{int}}(0^+) - \frac{V_{\text{ref1}} - \frac{R_2}{R_1 + R_2} V_{\text{ref1}}}{R} \frac{t}{C} \quad (11.2.3.)$$

Na osnovu jednačine 11.2.3. se zaključuje da je referentni napon V_{ref1} negativnog znaka.

Ako se usvoji da je $V_{\text{ref1}} = -10\text{V}$ kao i da je napon na integratoru u početnom trenutku jednak $V_{\text{int}}(0^-) = -5.1\text{V} < V_{ul \text{ min}}$ zamenom ovih vrednosti u izraz 11.2.2. dobija se:

$$\frac{R_2}{R_1} = 1.25$$

Ako se usvoji da je $R_2 = 5\text{k}\Omega$ onda je $R_1 = 4\text{k}\Omega$. Zamenom ovih vrednosti u izraz 11.2.2. dobija se:

$$V_{\text{int}}(0^-) = -5.11\text{V}$$

Kako brojač započinje rad u trenutku kada napon integratora dostigne vrednost minimalnog ulaznog napona to je referentni napon $V_{\text{ref}2}$ potrebno postaviti upravo na ovu vrednost odnosno:

$$V_{\text{ref}2} = V_{\text{ul min}} = -5\text{V}$$

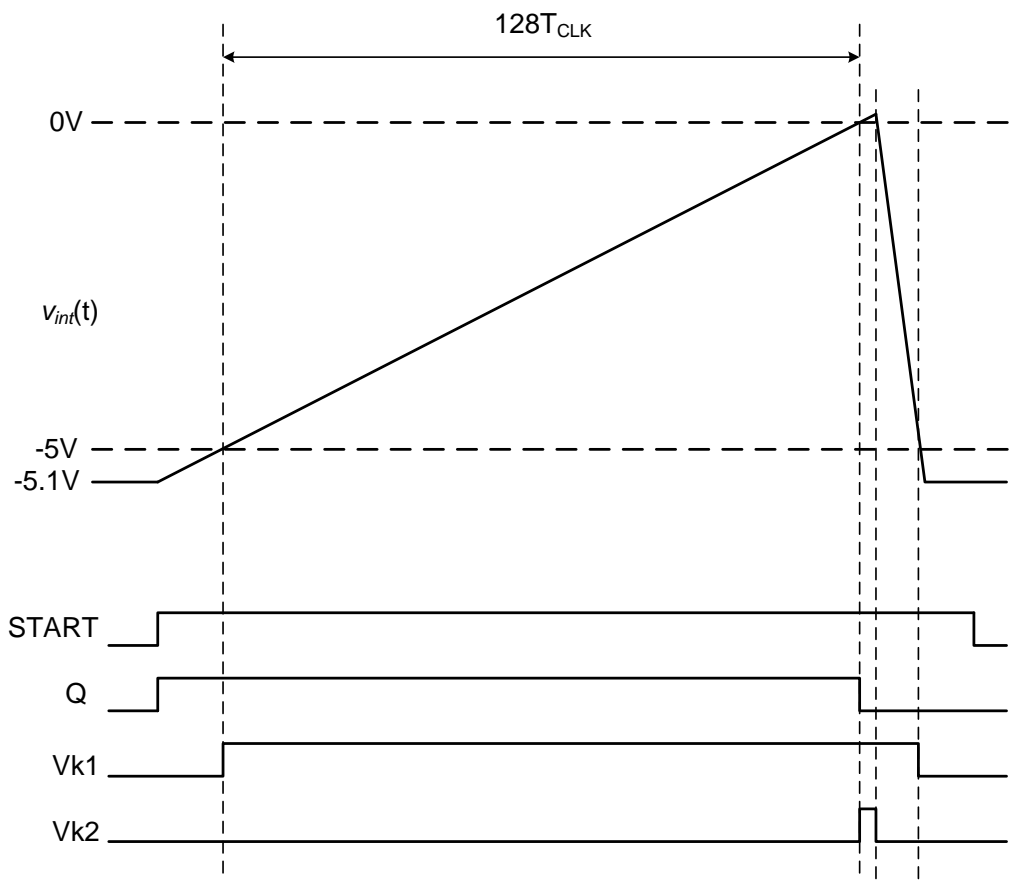
c) Vremensku konstantu integratora A/D konvertora je potrebno podesiti tako da brojač izbroji punu skalu od 00000000 do 11111111 za vreme koje je potrebno integratoru da promeni napon na izlazu sa $V_{\text{ul min}}$ na $V_{\text{ul max}}$. Odnosno potrebno je da bude ispunjeno $v_{\text{int}}(2^8 T_{\text{CLK}}) = V_{\text{ul max}}$. Zamenom ovog uslova u izraz 11.2.3. dobija se:

$$V_{\text{ul max}} = V_{\text{ul min}} - V_{\text{ref}1} \frac{R_1}{R_1 + R_2} \frac{2^8 T_{\text{CLK}}}{RC}$$

Odnosno:

$$RC = - \frac{V_{\text{ref}1}}{V_{\text{ul max}} - V_{\text{ul min}}} \frac{R_1}{R_1 + R_2} 2^8 T_{\text{CLK}} = 1.137\text{ms}$$

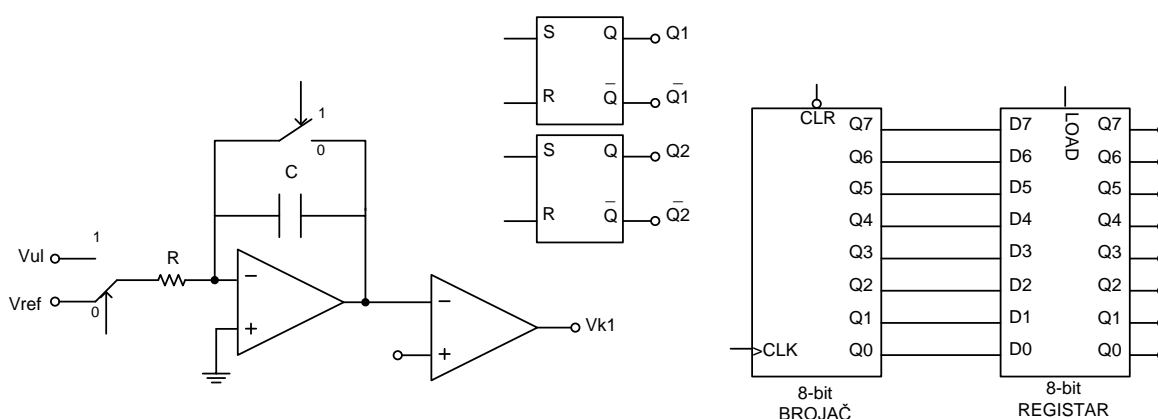
d) Vremenski dijagrami traženih signala su prikazani na Slici 11.2.5.



Slika 11.2.5. Relevantni signali A/D konvertora u slučaju konverzije ulaznog napona od 0V

Zadatak 11.3.

- a) Dovršiti šemu A/D konvertora sa dvojnim nagibom sa Slike 11.3.1. tako da se ulazni napon V_{ul} konvertuje u 8 bitni binarni broj. Početak konverzije se zadaje signalom $START$ proizvoljno dugog vremena trajanja. Obezbediti detekciju kraja konverzije pomoću signala EOC .
- b) Odrediti polaritet i vrednost referentnog napona V_{ref} , ukoliko je opseg ulaznog napona konvertora $0V \leq V_{ul} \leq 5V$. Otpornost uključenog prekidača je $r_{on} = 200\Omega$. Poznato je još i $R = 1k\Omega$, $C = 100nF$, a operacioni pojačavači rade u linearnom režimu u opsegu napona $\pm 10V$.
- c) Odrediti minimalnu učestanost signala takta f_{CLK} tako da konvertor radi ispravno.
- d) Nacrtati vremenske dijagrame signala V_{int} , V_k , EOC , kao i signala $Q1$ i $Q2$ izlaza SR leč kola konvertora iz tačke a), ako se konvertuje ulazni napon $V_{ul} = 2V$.
- e) Realizovati A/D konvertor sa dvojnim nagibom koji konvertuje ulazni napon iz opsega $[-2.5V, 2.5V]$ u 8-bitni binarni označen broj u drugom komplementu.
- f) Realizovati A/D konvertor sa dvojnim nagibom koji konvertuje ulazni napon iz opsega $[-5V, 5V]$ u 9-bitni binarni označen broj u predstavi znak plus apsolutna vrednost tako da u slučaju konverzije negativnog ulaznog napona ima dvojni nagib u oblasti pozitivnih vrednosti napona a u slučaju konverzije pozitivnog ulaznog napona ima dvojni nagib u oblasti negativnih vrednosti napona.
- g) Ako je $f_{CLK} = f_{CLK \min}$ određeno u tački c) a kapacitivnost kondenzatora C se poveća 2 puta kolika će biti konvertovana vrednost napona $V_{ul} = 2V$ za konvertor iz tačke a)? Da li konvertor i dalje radi ispravno?

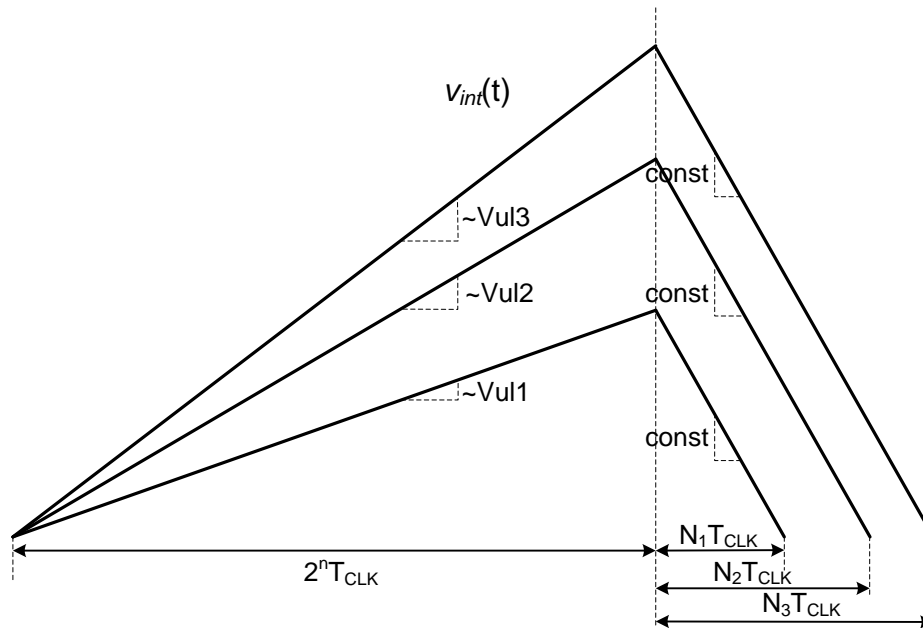


Slika 11.3.1. A/D konvertor sa dvojnim nagibom

REŠENJE:

- a) Osnovni motiv za uvođenje konvertora sa dvojnim nagibom je da se ukine zavisnost rezultata A/D konverzije od RC konstante integratora koja može varirati u zavisnosti od

tolerancije upotrebljenih komponenti. Ovo je postignuto podelom procesa konverzije na dve faze. U prvoj fazi kondenzator integratora se puni konstantan period vremena (vreme potrebno da brojač izbroji od 00000000 do 11111111) strujom koja zavisi od vrednosti ulaznog napona. U drugoj fazi se naelektrisanje akumulirano u prvoj fazi prazni konstantnom strujom (zavisi od referentnog napona). Vreme trajanja druge faze je proporcionalano količini naelektrisanja nakupljenoj u prvoj fazi odnosno vrednosti ulaznog napona. Merenjem trajanja druge faze (korišćenjem brojača) dobija se izlazni digitalni podatak. Napon integratora za različite vrednosti ulaznog napona je prikazan na Slici 11.3.2.



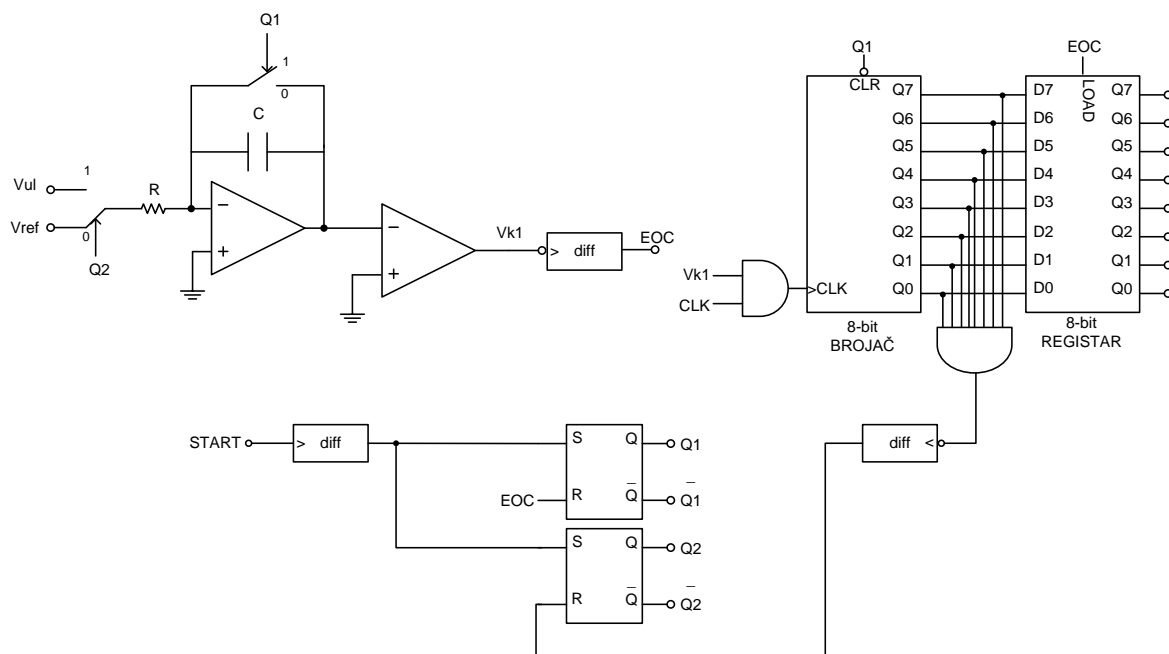
Slika 11.3.2. Princip rada konvertora sa jednostrukim nagibom, napon na izlazu integratora u zavisnosti od vremena za 3 različite vrednosti ulaznog napona

Na osnovu opisa rada konvertora može se dovršiti šema sa Slike 11.3.1. U početnom trenutku prekidač na ulazu je u položaju 0 (na ulazu je referentni napon). Prekidač integratora je u početnom položaju takođe 0 i na izlazu integratora se nalazi napon definisan vrednošću referentnog napona V_{ref} i otpornika R . Za ispravan rad konvertora njihove vrednosti je potrebno podesiti tako da napon na izlazu integratora generiše kontrolni signal V_{kl} jednak nuli. Ako se usvoji da se SR leč kola setuju na početku konverzije onda se prekidač integratora kontroliše bitom Q_1 dok je prekidač na ulazu kontrolisan bitom Q_2 . Početak konverzije se određuje signalom $START$. Njime se setuju SR leč kola. Kondenzator integratora počinje da se puni strujom koja zavisi od vrednosti ulaznog napona. Punjenje kondenzatora traje 2^n taktnih intervala gde je n rezolucija A/D konvertora. Druga faza počinje u trenutku kada brojač započinje novi ciklus brojanja odnosno potrebno je detektovati trenutak prelaska sa 11111111 na 00000000. Ovaj događaj se detektuje diferenciranjem silazne ivice signala koji predstavlja I funkciju svih bita brojača i tim signalom se resetuje SR leč 2. Resetovanjem bita Q_2 ulazni prekidač se prebacuje u položaj 0, odnosno na referentni napon, i započinje pražnjenje kondenzatora. Odavde se vidi da polariteti referentnog i ulaznog napona moraju biti različiti. U trenutku kada napon na izlazu integratora poraste preko vrednosti praga signal V_{kl} pada na 0. Ukidanjem signala V_{kl} označen je kraj konverzije i brojač prestaje da broji. Diferenciranjem silazne ivice signala V_{kl} dobija se signal EOC (end of conversion) koji označava kraj konverzije. S obzirom da je napon na izlazu integratora isti na početku prve i na kraju druge faze dobija se da važi:

$$\frac{V_{ul}}{R+r_{on}} \cdot \frac{2^8 T_{CLK}}{C} + \frac{V_{ref}}{R+r_{on}} \cdot \frac{NT_{CLK}}{C} = 0 \quad (11.3.1.)$$

$$N = \left\lceil \frac{V_{ul}}{-V_{ref}} 2^8 \right\rceil \quad (11.3.2.)$$

Izraz 11.3.2. jasno pokazuje da rezultat konverzije kod konvertora sa dvojnim nagibom ne zavisi od RC konstante integratora već samo od vrednosti ulaznog i referentnog napona. Rezultat konverzije se upisuje u izlazni registar dovođenjem signala *EOC* na ulaz *LOAD* izlaznog registra. Takođe po pojavi signala *EOC* prekidač integratora se vraća u početni položaj čime se prazni naelektrisanje kondenzatora. Potrebno je voditi računa da se brojač resetuje nekim od signala koji se javljaju kasnije od signala *EOC* kako se ne bi desilo da se sadržaj brojača obriše pre upisivanja u izlazni registar. Kako se bit Q_1 resetuje signalom *EOC* to je moguće njega iskoristiti za resetovanje brojača. Kompletna šema A/D konvertora sa dvojnim nagibom data je na Slici 11.3.3.



Slika 11.3.3. A/D konvertor sa jednostrukim nagibom – kompletna šema

b) Na osnovu razmatranja rada konvertora sa dvojnim nagibom iz prethodne tačke zaključuje se da polariteti referentnog i ulaznog napona moraju biti različiti. Što se tiče apsolutne vrednosti referentnog napona potrebno je obezbediti da struja pražnjenja kondenzatora bude jednaka struji punjenja pri maksimalnom ulaznom naponu. Odnosno potrebno je da bude ispunjeno:

$$|V_{ref}| = |V_{ul \max}|$$

Dakle za vrednost referentnog napona se dobija $V_{ref} = -5V$.

c) Iako krajnji rezultat konverzije ne zavisi od RC konstante integratora vrednost napona na izlazu integratora zavisi od ovog parametra. Sve dok integrator radi u linearnom režimu za sve vrednosti ulaznih napona konvertor radi ispravno na način koji je opisan u tački a). Dakle za ispravan rad konvertora potrebno je obezbediti da je napon na izlazu integratora u granicama linearnog rada za sve vrednosti ulaznih napona. Najkritičniji slučaj je kada je na ulazu maksimalan ulazni napon. Kako se kondenzator puni $2^8 T_{CLK}$ od trenutka aktiviranja signala V_{kl} (trenutak prolaska signala V_{int} kroz nulu i početak brojanja) to će na kraju prve faze napon na kondenzatoru biti minimalan. Potrebno je obezbediti da ovaj napon bude iznad minimalne dozvoljene vrednosti na izlazu integratora za koju radi u linearnom režimu odnosno:

$$V_{int \min} \geq V_{op \min}$$

$$-V_{ul \max} \frac{2^8 T_{CLK}}{(R + r_{on})C} \geq V_{op \min} \Rightarrow f_{CLK} \geq -\frac{V_{ul \max}}{(R + r_{on})C V_{op \min}} 2^8$$

Dakle da integrator ne bi odlazio u zasićenje potrebno je obezbediti minimalnu učestanost rada brojača $f_{CLK \min} = 1.07 \text{MHz}$.

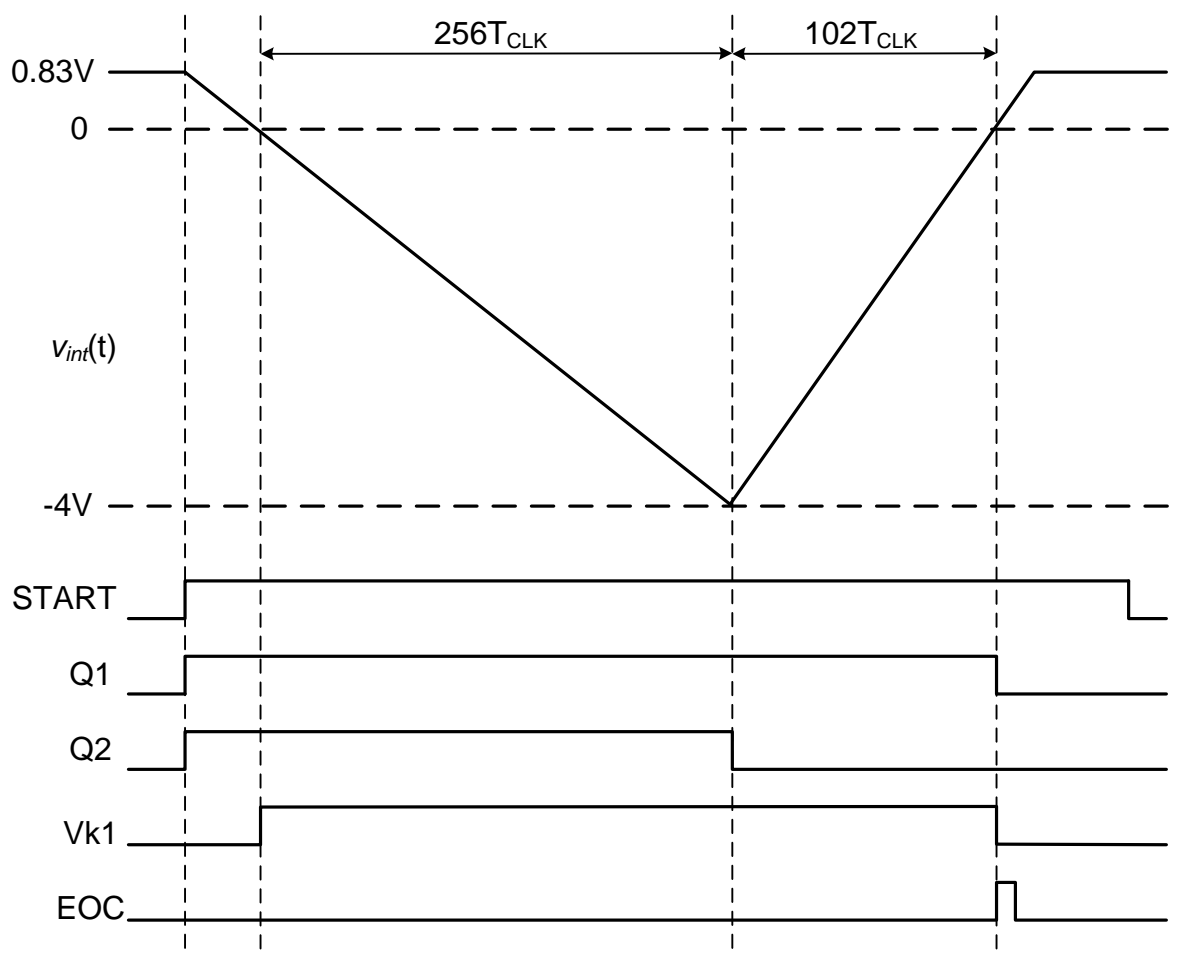
d) Vremenski dijagrami traženih signala su prikazani na Slici 11.3.4. Napon integratora u početnom trenutku određen je sa:

$$V_{int}(0) = -\frac{r_{on}}{R + r_{on}} V_{ref} = 0.83 \text{V}$$

Signalom START postavljaju se biti Q_1 i Q_2 na nivo logičke jedinice i otpočinje proces konverzije. Napon na integratoru počinje da opada sa nagibom koji je proporcionalan veličini ulaznog napona. U trenutku kada napon na izlazu integratora padne ispod vrednosti praga od 0V signal V_{kl} postaje logička jedinica i otpočinje rad brojača. Nakon 2^8 taktih intervala resetuje se bit Q_2 i ulazni prekidač se prebacuje na referentni napon V_{ref} . U tom trenutku napon na integratoru je minimalan i iznosi:

$$V_{int}(2^8 T_{CLK}) = -V_{ul} \frac{2^8 T_{CLK}}{(R + r_{on})C} = -4 \text{V}$$

Napon na integratoru dalje raste sa nagibom koji je proporcionalan referentnom naponu i posle 102 taktih intervala (što se dobija iz izraza 11.3.2.) postaje veći od napona praga 0V. U tom trenutku signal V_{kl} se postavlja na logičku nulu i generiše se signal EOC koji označava kraj konverzije. Signalom EOC se resetuje bit Q_1 prvog SR leča i time se napon na integratoru vraća u početno stanje.

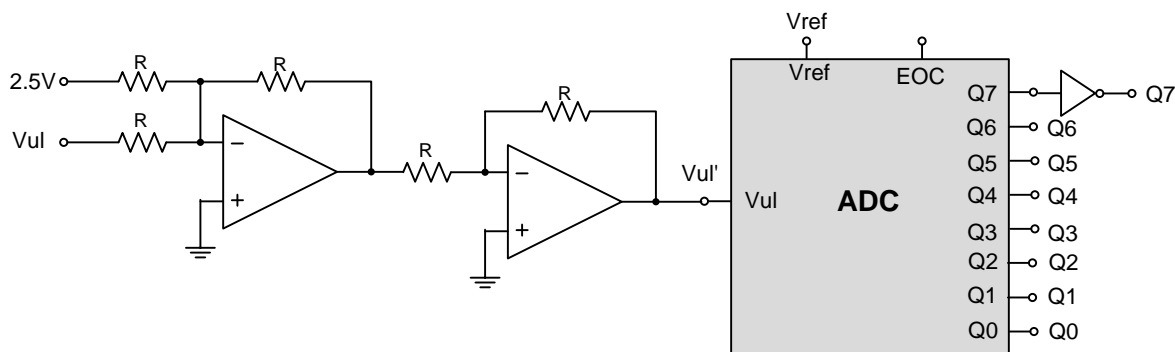


Slika 11.3.4. Relevantni signali A/D konvertora u slučaju konverzije ulaznog napona od 2V.

e) Na Slici 11.3.5. je prikazana realizacija traženog bipolarnog konvertora. Kako je za ispravan rad konvertora sa dvojnim nagibom projektovanog u tački a) potrebno da na ulazu bude napon iz opsega [0,5V] to je ulazni napon najpre transliran u ovaj opseg pomoću kola analognog sabirača:

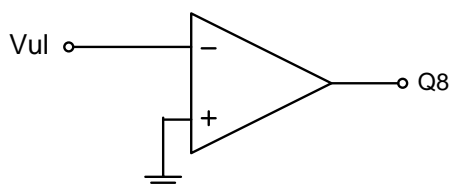
$$V_{ul}' = V_{ul} + 2.5V$$

Konvertovana vrednost na izlazu A/D konvertora predstavlja označeni binarni broj zadan u binarnom ofsetu. Da bi se izlazni kod konvertovao u binarnu vrednost zadanu u drugom komplementu potrebno je invertovati bit najviše težine kao što je to učinjeno na Slici 11.3.5.



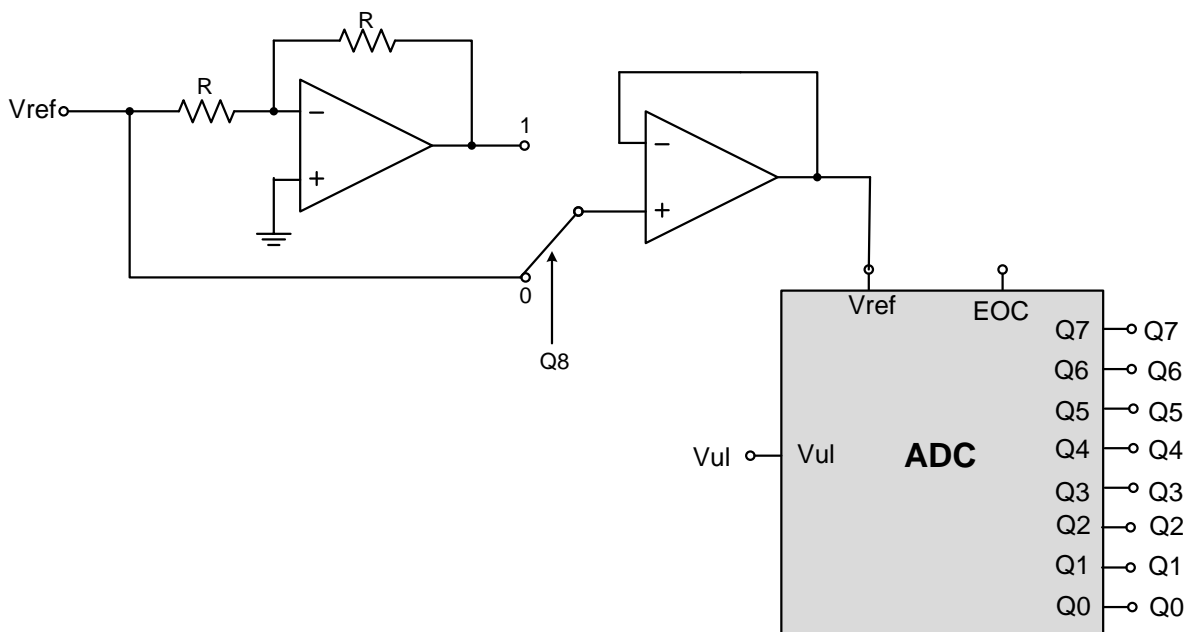
Slika 11.3.5. Realizacija bipolarnog A/D konvertora sa dvojnim nagibom koji konvertuje ulazni napon u označeni binarni broj u drugom komplementu.

f) Bit najviše težine odnosno znak označenog broja u predstavi znak plus apsolutna vrednost može se dobiti jednostavno poređenjem vrednosti ulaznog napona sa srednjom vrednošću napona iz opsega ulaznih napona (u zatom slučaju ta vrednost je 0V) kao što je prikazano na Slici 11.3.6.

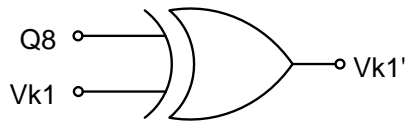


Slika 11.3.6. Određivanje bita znaka.

Za pozitivne ulazne napone iz opsega $[0, 5V]$ A/D konvertor će raditi ispravno i imaće dvojni nagib u oblasti negativnih vrednosti napona kao što je zahtevano tekstom zadatka. Međutim ako se na ulaz A/D konvertora dovede negativan napon iz opsega, A/D konvertor neće raditi ispravno s obzirom da su u tom slučaju referentni i ulazni napon istog znaka. Dakle potrebno je obezbediti promenu polariteta referentnog napona u zavisnosti od znaka ulaznog napona A/D konvertora. Ova modifikacija je prikazana na Slici 11.3.7. Bafer na izlazu prekidača je postavljen kako bi se obezbedila jednaka izlazna otpornost za oba polariteta referentnog napona. Potrebno je izvršiti još jednu modifikaciju konvertora projektovanog u tački a) kako bi bipolarni konvertor prikazan na Slici 11.3.7. bio funkcionalno ispravan. Naime ako se konvertuje negativan ulazni napon onda A/D konvertor ima dvojni nagib u oblasti pozitivnih vrednosti napona. Tada je vrednost signala V_{k1} je invertovana u odnosu na slučaj kada se konvertuju pozitivni ulazni naponi pa je potrebno izvršiti inverziju signala V_{k1} na način prikazan na Slici 11.3.8.



Slika 11.3.7. Realizacija bipolarnog A/D konvertora zahtevana u tački f).



Slika 11.3.8. Inverzija signala $Vk1$ u slučaju konverzije negativnih ulaznih napona.

g) Kao što je pokazano u tački a) izlaz konvertora sa dvojnim nagibom ne zavisi od RC konstante integratora i može se izračunati pomoću izraza 11.3.2. Dobijena vrednost je ista kao u tački d) odnosno za ulazni napon od 2V iznosi $102_{10} = 01100110_2$. Ova relacija međutim jedino važi u slučaju da je napon na izlazu integratora i dalje u opsegu vrednosti napona za koje operacioni pojačavač radi u linearnom režimu. Potrebno je proveriti da li je i dalje ispunjeno da za sve vrednosti ulaznog napona izlaz integratora u dozvoljenim granicama.

$$V_{\text{int min}} = -V_{ul \text{ max}} \frac{2^8 T_{CLK}}{(R + r_{on})2C} = \frac{V_{op \text{ min}}}{2} > V_{op \text{ min}}$$

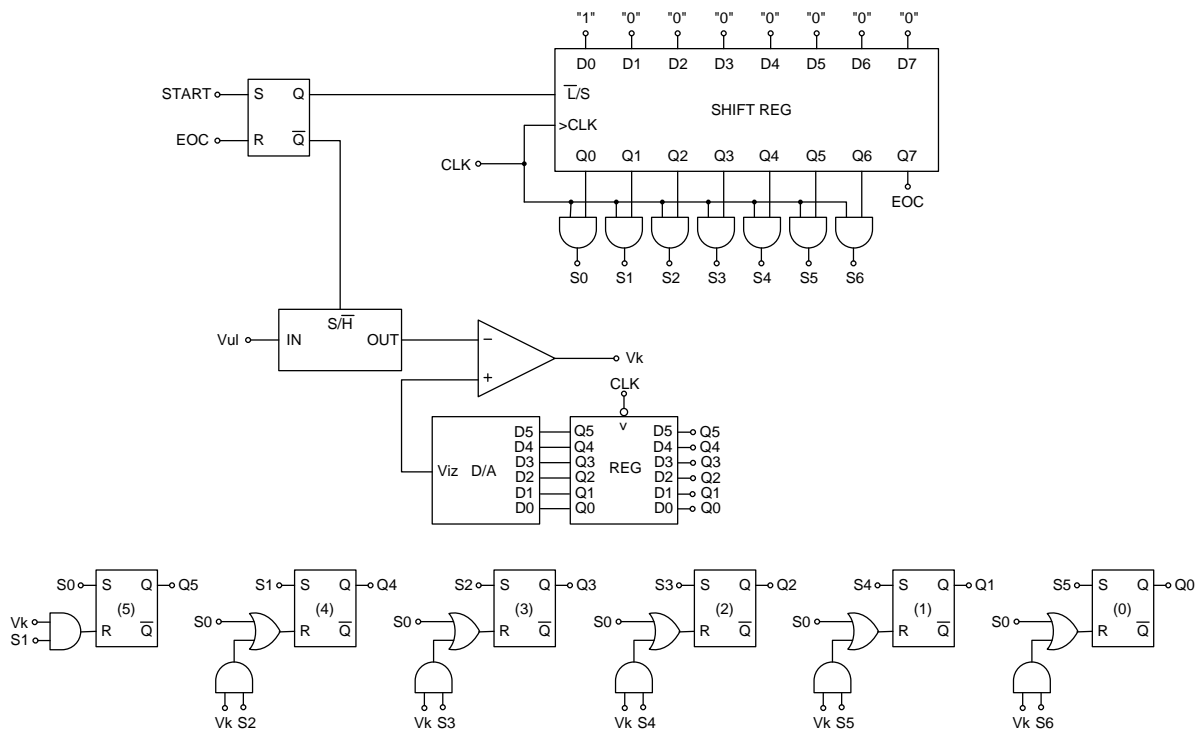
Dakle na osnovu prethodnog izraza se zaključuje da povećanjem kapacitivnosti kondenzatora konvertor i dalje radi ispravno u celom opsegu ulaznih napona.

Zadatak 11.4.

a) Za kolo A/D konvertora sa sukcesivnim aproksimacijama sa Slike 11.4.1. odrediti vreme konverzije od zadavanja starta konverzije (signalom *START*) do završetka konverzije (generisanje signala *EOC*). Odrediti opseg ulaznog napona A/D konvertora. Učestanost taktnih impulsa je 100kHz a opseg izlaznog napona D/A konvertora od 0 do 6.3V.

b) Ako je odnos impuls/perioda taktnih impulsa 1/10 odrediti maksimalno vreme koje je na raspolaganju za postavljanje izlaza D/A konvertora t_{DAC} ako su sve ostale komponente idealne i ne unose kašnjenje.

c) Nacrtati vremesni oblik napona na izlazu D/A konvertora signala V_k kao i izlaza A/D konvertora $Q_5 \dots Q_0$ ako se konvertuje ulazni napon $V_{ul} = 2.95V$.



Slika 11.4.1. A/D konvertor sa sukcesivnim aproksimacijama.

REŠENJE:

Pre početka konverzije ulazni SR leč je resetovan odnosno $Q = 0$. Pomerački registar je u stanju učitavanja ($LOAD$, $\bar{L}/S = 0$), odnosno $Q_0 = 1, Q_1 \dots Q_7 = 0$. Za vreme dok je signal takta u stanju logičke jedinice $S_0 = 1$. Izlazni SR leč 5 je postavljen u stanje logičke jedinice ($Q_5 = 1$) dok su ostali SR lečevi resetovani. Dakle pre početka konverzije na izlazu A/D konvertora se nalazi podatak $Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = 100000$. Na silaznu ivicu signala takta ovaj podatak se upisuje u ulazni registar D/A konvertora. Kako je opseg ulaznog napona D/A konvertora od 0 do 6.3V to se za ovaj digitalni podatak na ulazu na izlazu D/A konvertora pojavljuje napon $\frac{6.3V}{2^6 - 1} \cdot 2^5 = 3.2V$. Ako je ulazni napon V_{ul} manji od ovog napona aktiviraće se signal V_k u suprotnom V_k ostaje na nuli.

U trenutku pojave signala $START = 1$ (početak konverzije) prati-pamti kolo na ulazu prelazi u stanje pamćenja (*hold* stanje) i time drži stabilnu vrednost ulaznog napona tokom celog trajanja konverzije. Pomerački registar ulazi u režim pomeranja. Na prvu uzlaznu ivicu signala takta obavlja se pomeranje sadržaja registra i na njegovim izlazima se pojavljuje podatak $Q_0 Q_1 Q_2 Q_3 Q_4 Q_5 Q_6 Q_7 = 01000000$. Sada je za vreme dok je signal takta na nivou logičke jedinice signal $S_1 = 1$ dok su svi ostali signali $S_i = 0, i \neq 1$. U slučaju da je ulazni signal manji od napona na izlazu D/A konvertora, kontrolni signal postaje $V_k = 1$ i njime se

resetuje SR leč 5. Aktivna vrednost signala S_1 označava da je dozvoljeno resetovati SR leč 5, ukoliko za tim ima potrebe. Resetovanje će se obaviti jedino u slučaju ako je aktivan signal V_k kojim se označava da je trenutna vrednost na izlazu D/A konvertora veća od vrednosti ulaznog napona, što označava da je trenutna aproksimacija digitalne vrednosti ulaznog napona premašila stvarnu vrednost ulaza. Resetovanjem odgovarajućeg izlaznog bita A/D konvertora se obezbeđuje da izlaz D/A konvertora uvek bude manji od vrednosti ulaznog napona. Istim signalom S_1 se obavlja postavljanje bita niže težine Q_4 . Na taj način se sa svakim taktom postiže sve preciznija aproksimacija ulaznog napona. Obratiti pažnju da se resetovanje obavlja tek posle naredne uzlazne ivice signala takta pošto su za vreme dok je signal takta u stanju logičke nule svi kontrolni signali resetovani $S_i = 0$. Dakle u narednom taktu aktivira se signal S_2 i na osnovu vrednosti signala V_k se određuje se da li će se zadržati ili resetovati izlazni bit Q_4 . Postupak se nastavlja dok se ne izvrši aproksimacija i bita najmanje težine Q_0 . Postavljanjem bita Q_7 pomeračkog registra generiše se signal EOC koji označava kraj konverzije.

Na osnovu prethodnog opisa rada A/D konvertora određuje se vreme potrebno za ceo proces konverzije. Kod A/D konvertora sa sukcesivnim aproksimacijama ovo vreme ne zavisi od konvertovane vrednosti već jedino od broj izlaznih bita (preciznosti) A/D konvertora.

$$t_{konv} = \Delta t + 6T_{CLK} + T_{EOC} \leq 8T_{CLK} = 80 \quad (11.4.1.)$$

Prvi član u izrazu 11.4.1. predstavlja vreme koje protekne od generisanja signala START do prve ulazne ivice signala takta, koje se nalazi u intervalu $[0, T_{CLK}]$. Potom je potrebno da prođe 6 taktih intervala do generisanja signala EOC. Poslednji član u izrazu označava vreme aktivne vrednosti signala EOC i iznosi jednu periodu takta.

Kako se analogni ekvivalent izlaza A/D konvertora određuje pomoću D/A konvertora to njihove rezolucije moraju biti jednake, odnosno važi:

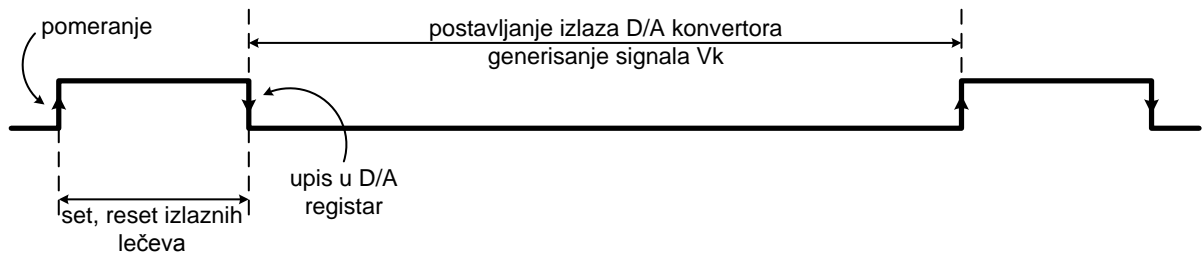
$$LSB_{A/D} = LSB_{D/A} = LSB$$

Maksimalni izlazni napon D/A konvertora je $V_{D/A \max} = (2^6 - 1)LSB_{D/A}$ dok je maksimalni ulazni napon A/D konvertora određen sa $V_{A/D \max} = 2^6 LSB_{A/D}$. Na osnovu ovoga može se odrediti opseg ulaznog napona A/D konvertora koji iznosi:

$$V_{A/D \max} = \frac{2^6}{2^6 - 1} V_{D/A \max} = 6.4V$$

Kako je D/A konvertor unipolaran to je i A/D konvertor unipolaran i opseg ulaznih napona je $[0, 6.4V]$.

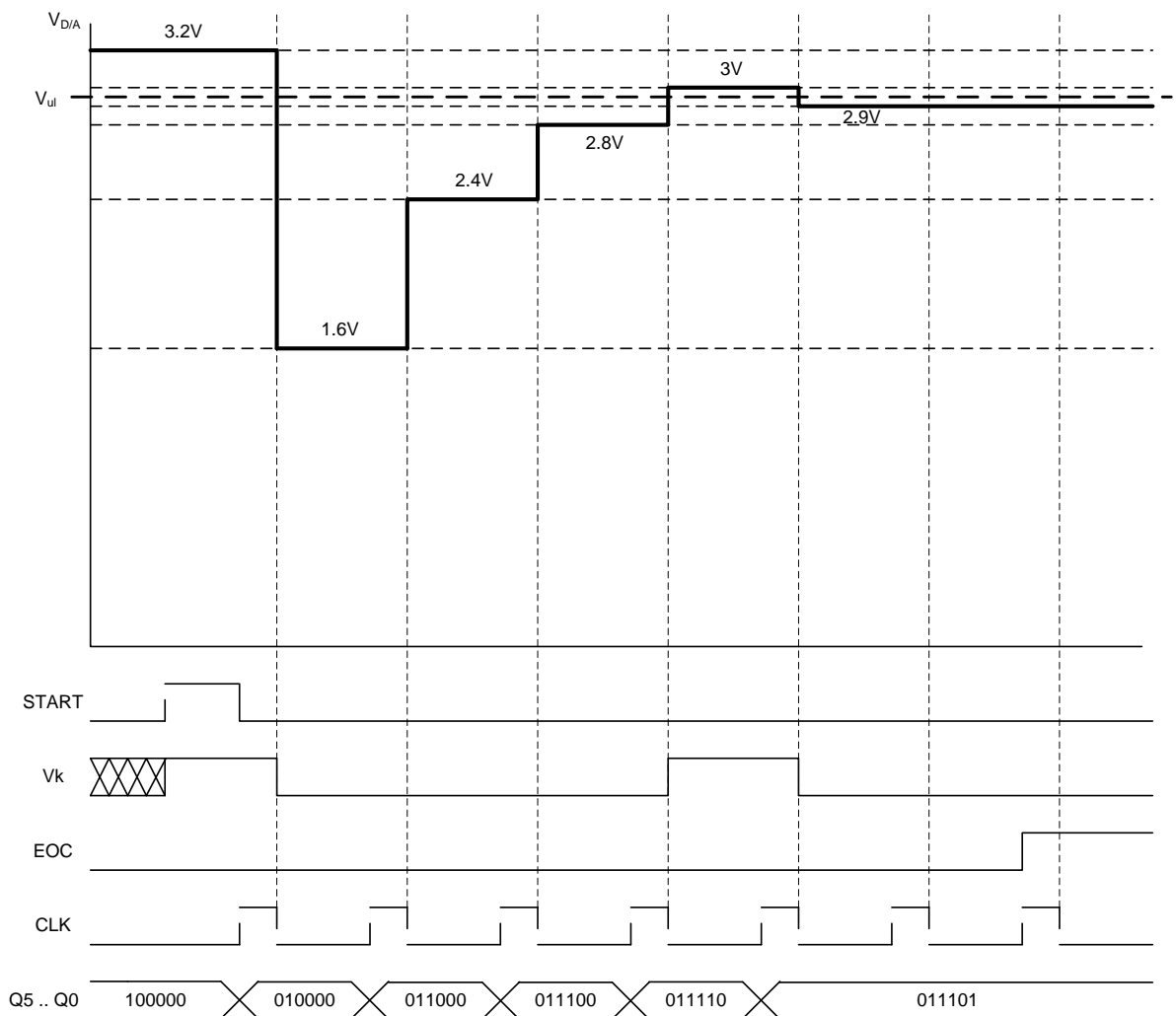
b) Na Slici 11.4.2. je prikazan signal takta sa naznačenim fazama u toku konverzije odakle se vidi da je vreme za koje je takt na nivou logičke nule na rasplaganju D/A konvertoru za postavljanje izlaza.



Slika 11.4.2. Signal takta sa naznačenim fazama konverzije.

Ako je odnos impuls/perioda taktnog signala 1/10 onda je $t_{DAC} \leq \frac{9}{10} T_{CLK} = 9\mu s$

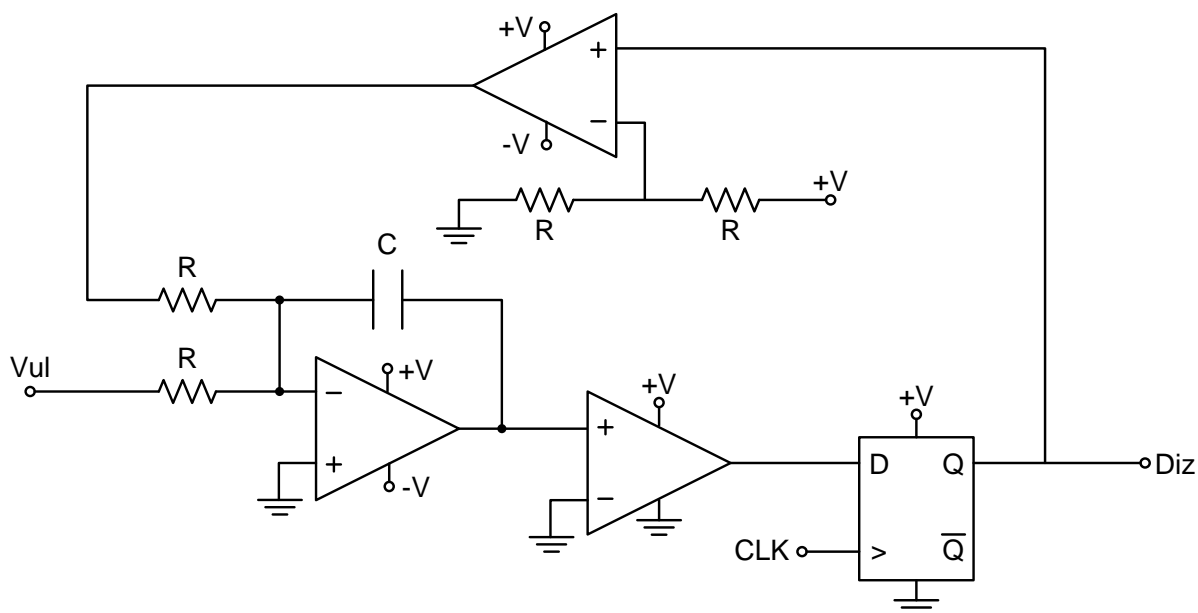
c) Na Slici 11.4.3. je prikazan dijagram relevantnih signala A/D konvertora u slučaju konverzije ulaznog napona $V_{ul} = 2.95V$.



Slika 11.4.3. Dijagram relevantnih signala A/D konvertora u slučaju konverzije ulaznog napona $V_{ul}=2.95V$.

Zadatak 11.5.

- a) Za ulazni deo $\Sigma-\Delta$ konvertora prikazan na Slici 11.5.1. odrediti oblik signala na izlazu integratora i D flip-flopa ukoliko je vrednost ulaznog napona $V_{ul} = \frac{V}{2}$. Maksimalna učestanost u spektru ulaznog signala je $f_m = 22kHz$. Uzeti da je napon integratora u početnom trenutku $V_{int}(0^+) < 0$.
- b) Odrediti učestanost taktnih impulsa f_{CLK} ako je potrebno obezbediti da se na izlazu konvertora generiše 10-bitna digitalna vrednost kao rezultat konverzije. Predložiti realizaciju kola koje konvertuje povorku izlaznih impulsa D_{iz} u 10-bitni binarni broj. Na raspolaganju su 10-bitni binarni brojači i potrebna logička kola. Početak konverzije se zadaje signalom START.
- c) Odrediti minimalnu vrednost RC konstante za koju konvertor iz tačke b) radi ispravno.



Slika 11.5.1. Ulazni deo $\Sigma-\Delta$ A/D konvertora.

REŠENJE:

- a) Osnovna ideja kod $\Sigma-\Delta$ A/D konvertora je da se ulazni napon konvertuje u povorku pravougaonih impulsa čija srednja vrednost (razlika vremena za koje je izlazni signal u stanju logičke nule i vremena za koje je izlazni signal u stanju logičke jedinice) proporcionalna vrednosti ulaznog napona. Pod pretpostavkom da je uvek zadovoljeno $|V_{ul}| < |V|$ napon na integratoru ili raste ili pada u zavisnosti od izlaza D flip flopa:

$$V_{\text{int}}(t+T_{\text{CLK}}) = V_{\text{int}}(t) - \frac{V+V_{\text{ul}}}{RC} T_{\text{CLK}}, \text{ za } Q=1 \quad (11.5.1.)$$

$$V_{\text{int}}(t+T_{\text{CLK}}) = V_{\text{int}}(t) - \frac{V_{\text{ul}}-V}{RC} T_{\text{CLK}}, \text{ za } Q=0 \quad (11.5.2.)$$

Ulazni deo A/D konvertora prikazan na Slici 11.5.1. zapravo predstavlja $\Sigma-\Delta$ modulator. Zbog povratne sprege ostvarene preko D flip flopa i jednobitnog D/A konverotra (gornji komparator) srednja vrednost napona na izlazu integratora posle dovoljno dugo vremena će biti 0. Dakle ako je posle dovoljno dugo vremena D flip flop N_1 taktnih intervala bio u stanju logičke jedinice a N_2 taktnih intervala u stanju logičke nule onda je srednja vrednost napona na integratoru:

$$V_{\text{int}}((N_1+N_2)T_{\text{CLK}}) = -\frac{V+V_{\text{ul}}}{RC} N_1 T_{\text{CLK}} + \frac{V-V_{\text{ul}}}{RC} N_2 T_{\text{CLK}} = 0$$

$$\frac{V+V_{\text{ul}}}{RC} N_1 T_{\text{CLK}} = \frac{V-V_{\text{ul}}}{RC} N_2 T_{\text{CLK}} \Rightarrow V_{\text{ul}} = \frac{N_2-N_1}{N_2+N_1} V \quad (11.5.3.)$$

Ako je na ulazu konvertora napon $V_{\text{ul}} = \frac{V}{2}$ i ako je u početnom trenutku $V_{\text{int}}(0^+) < 0$ dobija se:

$$V_{\text{int}}(0^+) < 0 \Rightarrow V_{k1} = 0 \Rightarrow Q = 0 \Rightarrow V_{k2} = -V \quad (11.5.4.)$$

$$V_{\text{int}}(t) = V_{\text{int}}(0^+) - \frac{-V + \frac{V}{2}}{RC} t \Rightarrow V_{\text{int}}(t) = V_{\text{int}}(0^+) + \frac{1}{2} \frac{V}{RC} t \quad (11.5.5.)$$

$$V_{\text{int}}(T_{\text{CLK}}) = V_{\text{int}}(0^+) + \frac{1}{2} \frac{V}{RC} T_{\text{CLK}}$$

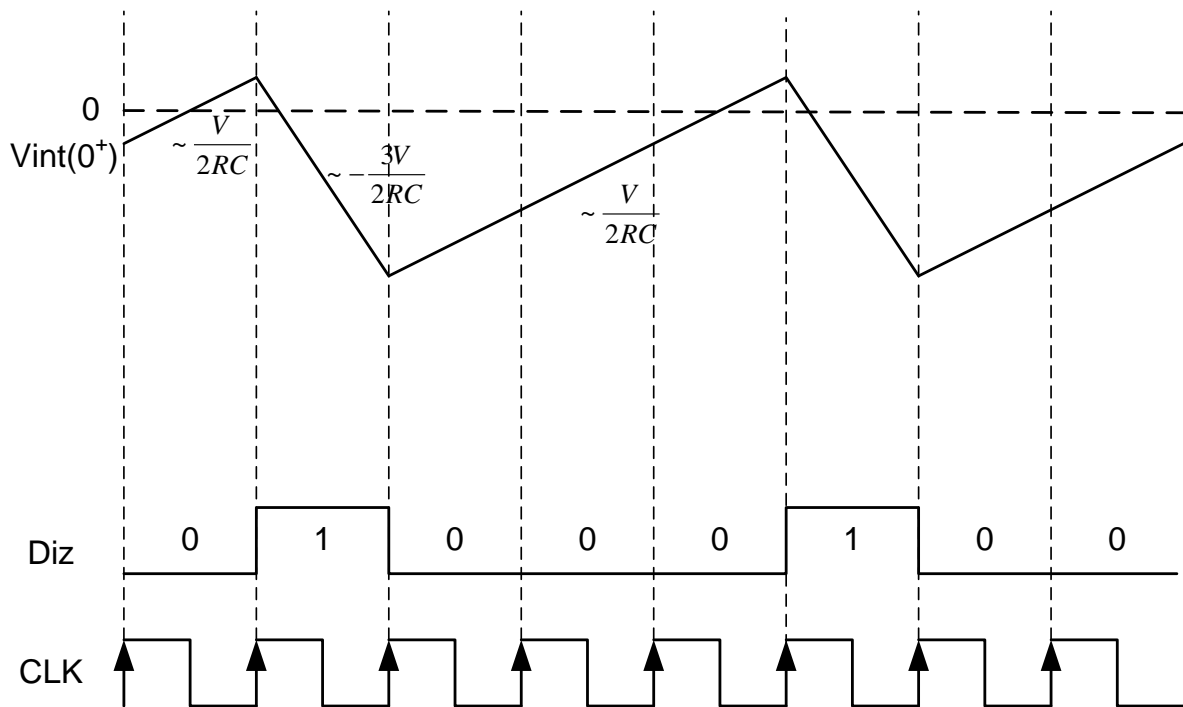
Izraz 11.5.5. za napon na izlazu integratora važi dok god je $Q=0$. Pretpostavimo da je po dolasku naredne uzlazne ivice signala takta napon na integratoru pozitivan odnosno da važi $V_{\text{int}}(T_{\text{CLK}}) > 0$. U tom slučaju je za $t = T_{\text{CLK}}$ ispunjeno:

$$V_{k1} = V \Rightarrow Q = 1 \Rightarrow V_{k2}(T_{\text{CLK}}) = V \quad (11.5.6.)$$

$$V_{\text{int}}(t) = V_{\text{int}}(T_{\text{CLK}}) - \frac{3}{2} \frac{V}{RC} (t - T_{\text{CLK}}) \quad (11.5.7.)$$

$$V_{\text{int}}(2T_{\text{CLK}}) = V_{\text{int}}(T_{\text{CLK}}) - \frac{3}{2} \frac{V}{RC} T_{\text{CLK}} = V_{\text{int}}(0^+) - \frac{V}{RC} T_{\text{CLK}} < 0 \quad (11.5.8.)$$

Iz izraza 11.5.8. se vidi da je u trenutku dolaska naredne uzlazne ivice signala takta napon na integratoru negativan tako da ponovo važe izrazi 11.5.4. i napon na integratoru počinje da raste. Kako je nagib porasta napona na integratoru 3 puta manji od nagiba pada napona potrebno je da prođu bar 3 periode takta dok napon integratora opet ne pređe 0. Dijagram promene napona integratora i vrednosti izlaza D flip-flopa prikazan je na Slici 11.5.2.



Slika 11.5.2. Dijagram signala na izlazu integratora i D flip flopa u slučaju konverzije napona $V_{ul}=V/2$.

Da bi modulator radio ispravno potrebno je obezbediti da integrator stalno radi u linearnom režimu odnosno da ne dolazi do zasićenja. Kako je napajanje integratora simetrično kao i izlaz 1-bitnog DA konvertora isti uslovi će važiti za pozitivno i negativno zasićenje. U slučaju pozitivnog zasićenja najgori slučaj je kada se konvertuje minimalni ulazni napon $V_{ul} = -V$ i početni napon na integratoru je jako blizak nuli $V_{int}(0^+) \approx 0^-$. U tom slučaju važi izraz 11.5.4. pa se napon integratoru menja kao:

$$V_{int}(t) = V_{int}(0^+) - \frac{-V - V}{RC}t \Rightarrow V_{int}(t) = V_{int}(0^+) + \frac{2V}{RC}t$$

Napon na integratoru će rasti sve do sledeće uzlazne ivice signala takta odnosno:

$$V_{int}(T_{CLK}) = \frac{2V}{RC}T_{CLK} \quad (11.5.9.)$$

Da bi integrator stalno radio u linearnom režimu potrebno je da bude ispunjeno:

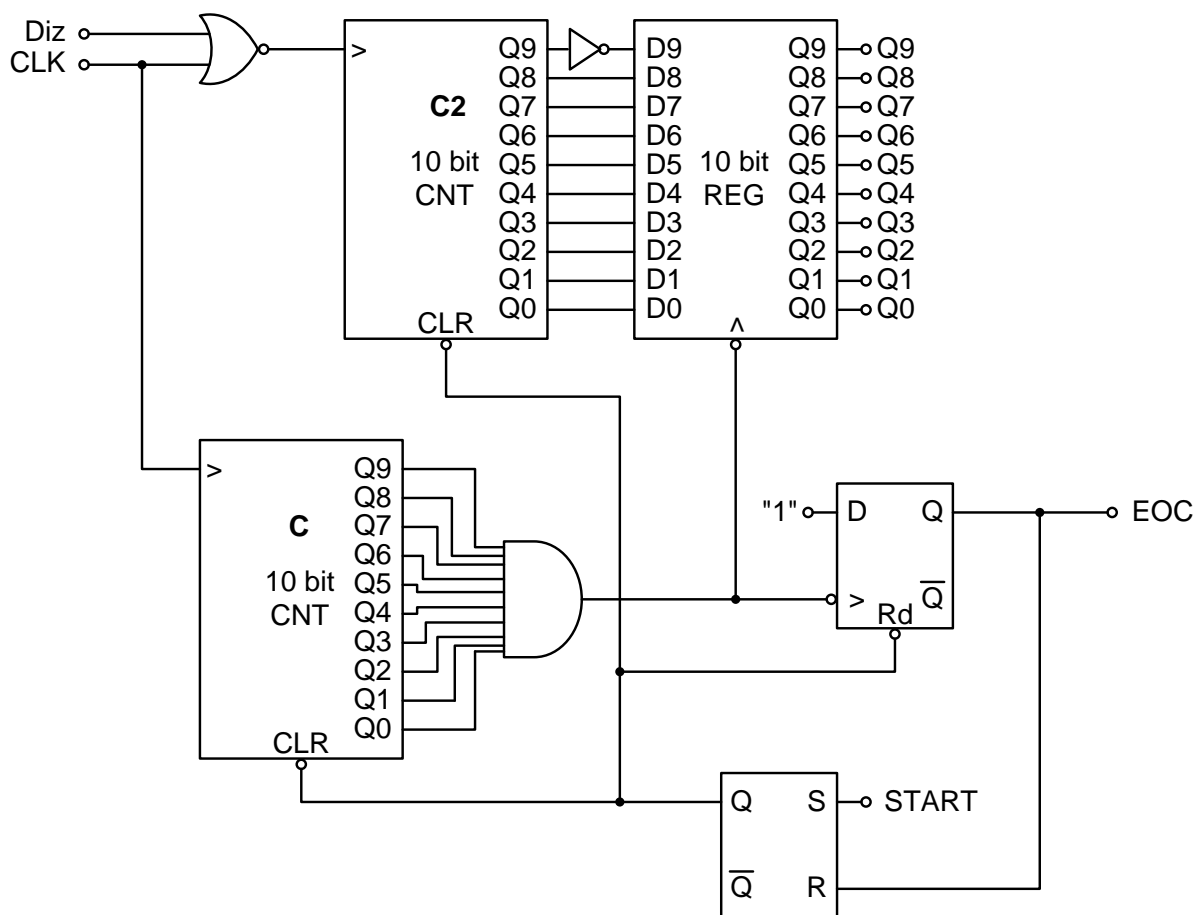
$$V_{int} < V \Rightarrow RC > 2T_{CLK}$$

b) Iz izraza 11.5.3. se vidi da je u cilju dobijanja digitalne vrednosti ulaznog analognog napona potrebno prebrojati taktne intervale za vreme kojih je izlaz modulatora Diz na visokom odnosno niskom naponskom nivou. Ovu ulogu obavlja kolo digitalnog filtra prikazano na Slici 11.5.3. koje se sastoji iz dva brojača i izlaznog registra. Brojač C je slobodni (*free running*) brojač koji broji ukupan broj taktnih intervala za vreme trajanja konverzije $N = N_1 + N_2$. Brojač C2 broji samo one taktne intervale za vreme kojih je signal

Diz na niskom naponskom nivou tako da njegov izlaz predstavlja broj N_2 . Zamenom ovih izraza u izraz 11.5.3. dobija se:

$$V_{ul} = \frac{2N_2 - N}{N} V = \left(N_2 - \frac{N}{2}\right) \cdot \left(\frac{2V}{N}\right) = \left(N_2 - \frac{N}{2}\right) \cdot LSB \quad (11.5.10.)$$

Ako je digitalnu vrednost ulaznog podatka potrebno odrediti sa preciznošću od 10 bita onda je potrebno pratiti izlaz modulatora u 2^{10} taktnih intervala odnosno $N = 2^{10}$. Iz izraza 11.5.10. se vidi da se konala digitalna vrednost ulaznog napona zadata u komplementu do 2 dobija kada se od izlaza brojača C2 oduzme broj 2^9 što se može postići komplementiranjem bita najveće težine podatka N_2 . Kako bi se obezbedilo da konvertor isprati punih 2^{10} taktnih intervala detektovana je silazna ivica izlaza I kola odnosno trenutak kada se izlaz brojača C menja sa 1111111111 u 0000000000. U tom trenutku se generiše signal EOC koji označava kraj konverzije.



Slika 11.5.3. Digitalni filter kojim se povorka izlaznih impulsa konvertuje u 10-bitni digitalni podatak u drugom komplementu.