

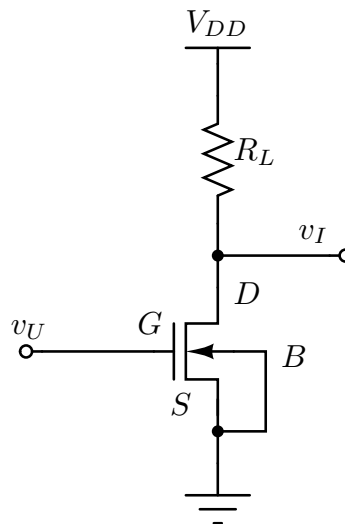
ANALIZA LOGIČKIH KOLA SA MOS TRANZISTORIMA

Zadatak 1

- Za slučaj *NMOS* invertora sa kratkim kanalom i pasivnim opterećenjem, odrediti izraze za izračunavanje naponskih nivoa V_{OH} , V_{OL} , V_{IH} , V_{IL} i V_S .
- Izračunati margine šuma kola iz tačke **a**, za slučaj višestrukog izvora šuma, ako je poznato: $\mu_n C_{ox} = 430 \mu\text{A}/\text{V}^2$, $V_T = 0.4\text{V}$, $W/L = 2$, $V_{DD} = 1.2\text{V}$ i $R_L = 20\text{k}\Omega$.

REŠENJE:

- Na slici 1.1 prikazana je šema *NMOS* invertora sa pasivnim opterećenjem.



Slika 1.1: *NMOS* invertor sa pasivnim opterećenjem

Za vrednosti ulaznog napona ispod napona praga V_T , *NMOS* tranzistor je zakočen i izlazni napon iznosi V_{DD} obzirom da nema struje kroz otpornik R_L . Dakle vrednost napon V_{OH} određena je sa:

$$V_{OH} = V_{DD}$$

Kada se na ulazu kola nalazi logička jedinica, odnosno naponski nivo V_{OH} , na izlazu kola će biti logička nula, odnosno naponski nivo V_{OL} . U ovom slučaju će *NMOS* tranzistor raditi u linearnom režimu rada, tj. u omskoj oblasti.

Vrednost izlaznog napona V_{OL} određujemo na osnovu jednačine:

$$I_{RL} = I_D$$

Odnosno:

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{W}{L} \frac{\mu_n C_{ox}}{\left(1 + \frac{V_{OL}}{E_C L}\right)} \left[(V_{OH} - V_T) \cdot V_{OL} - \frac{V_{OL}^2}{2} \right] \quad (1.1)$$

Obzirom malu vrednost napona V_{OL} , član $\frac{V_{OL}}{E_C L}$ možemo zanemariti.

Sređivanjem jednačine 1.1 dobija se kvadratna jednačina po vrednosti napona V_{OL} :

$$V_{OL}^2 - 2 \left(\frac{1}{B_n R_L} + V_{DD} - V_T \right) V_{OL} + \frac{2V_{DD}}{B_n R_L} = 0$$

gde je $B_n = \frac{W}{L} \mu_n C_{ox}$.

Kao rešenje treba uzeti samo pozitivni koren kvadratne jednačine. Međutim, moguće je uvesti aproksimaciju, tj. zanemariti član V_{OL}^2 , obzirom na malu vrednost napona V_{OL} , tako da će izraz za vrednost napona V_{OL} , imati izgled:

$$V_{OL} \approx \frac{V_{DD}}{1 + B_n R_L (V_{DD} - V_T)}$$

Nakon što smo odredili vrednosti V_{OH} i V_{OL} , odredićemo vrednosti napona V_{IL} i V_{IH} . Ovi naponi su definisani tačkom na karakteristici prenosa, obzirom da se radi o invertoru, za koju važi:

$$\frac{\partial v_i}{\partial v_u} = -1$$

Za vrednost ulaznog napona V_{IL} , izlazni napon biće blizak naponu V_{OH} , odnosno tranzistor će raditi u zasićenju. Na osnovu jednačine $I_{RL} = I_D$, dobijamo:

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{1}{2} \frac{W}{L} \frac{\mu_n C_{ox}}{\left(1 + \frac{(v_u - V_T)}{E_C L}\right)} (v_u - V_T)^2 \quad (1.2)$$

Jednačina 1.2 se može napisati i u obliku:

$$\frac{V_{DD} - v_i}{R_L} = \frac{W v_{sat} C_{ox} (v_u - V_T)^2}{(v_u - V_T) + E_C L}$$

obzirom da je $v_{sat} = \frac{1}{2} \mu_n E_C$.

Kako je vrednost ulaznog napona, kada računamo V_{IL} , obično blizak vrednosti prekidnog napona V_T , izraz $\frac{(v_u - V_T)}{E_C L}$ u jednačini 1.2 možemo zanemariti, čime se dobija:

$$\frac{V_{DD} - V_{OL}}{R_L} = \frac{W \mu_n C_{ox}}{2L} (v_u - V_T)^2 \quad (1.3)$$

Diferenciranjem izraza 1.3, po v_u dobijamo:

$$-\frac{1}{R_L} \frac{\partial v_i}{\partial v_u} = B_n (v_u - V_T) \quad (1.4)$$

Kako za $v_u = V_{IL}$ važi $\frac{\partial v_i}{\partial v_u} = -1$, zamenom u jednačinu 1.4 dobijamo izraz za V_{IL} :

$$V_{IL} = V_T + \frac{1}{B_n R_L}$$

Na sličan način određujemo i vrednost napona V_{IH} . Obzirom da je za vrednost ulaznog napona V_{IH} , izlazni napon približan naponu V_{OL} , tj. vrednosti 0V, tranzistor će raditi u linearnom režimu. Oblik napona na izlazu će biti određen jednačinom:

$$\frac{V_{DD} - v_i}{R_L} = \frac{W}{L} \frac{\mu_n C_{ox}}{\left(1 + \frac{v_i}{E_C L}\right)} \left[(v_u - V_T) v_i - \frac{v_i^2}{2} \right] \quad (1.5)$$

Član $\frac{v_i}{E_{CL}}$ u izrazu 1.5 može se zanemariti obzirom na malu vrednost izlaznog napona, tako da se iz jednačine 1.5 dobija izraz:

$$\frac{V_{DD} - v_i}{R_L} = B_n \left[(v_u - V_T)v_i - \frac{v_i^2}{2} \right] \quad (1.6)$$

Diferenciranjem izraza 1.6 po v_u , dobijamo:

$$-\frac{1}{R_L} \frac{\partial v_i}{\partial v_u} = B_n \left[(v_u - V_T) \frac{\partial v_i}{\partial v_u} + v_i - v_i \frac{\partial v_i}{\partial v_u} \right]$$

Za $v_u = V_{IH}$ imamo da je $\frac{\partial v_i}{\partial v_u} = -1$, tako da se dobija:

$$\frac{1}{R_L} = B_n [(V_T - V_{IH}) + 2v_i] \quad (1.7)$$

Zamenom izraza 1.7 u jednačinu 1.6 i rešavanjem kvadratne jednačine dobija se:

$$V_{IH} = V_T - \frac{1}{B_n R_L} + \sqrt{\frac{8V_{DD}}{3B_n R_L}}$$

Konačno određujemo vrednost napon prebacivanja V_S , za koji važi $v_u = v_i$. Pri naponu V_S tranzistor radi u zasićenju, obzirom da je napon $V_{DG} = 0V$. Vrednost napona prebacivanja V_S određujemo na osnovu jednačine:

$$\frac{V_{DD} - V_S}{R_L} = \frac{1}{2} \frac{W}{L} \frac{\mu_n C_{ox}}{\left(1 + \frac{(V_S - V_T)}{E_{CL}}\right)} (V_S - V_T)^2 \quad (1.8)$$

Jednačinu 1.8 moguće je rešiti i iterativnim postupkom, ako uzmemo da je vrednost napona prebacivanja V_S približno jednaka $\frac{V_{DD}}{2}$.

b) Zamenom vrednosti datih u postavci zadatka, dobijamo:

$$V_{OH} = 1.2V$$

$$V_{OL} \approx \frac{V_{DD}}{1 + B_n R_L (V_{DD} - V_T)} = 0.08V$$

$$V_{IL} = V_T + \frac{1}{B_n R_L} = 0.46V$$

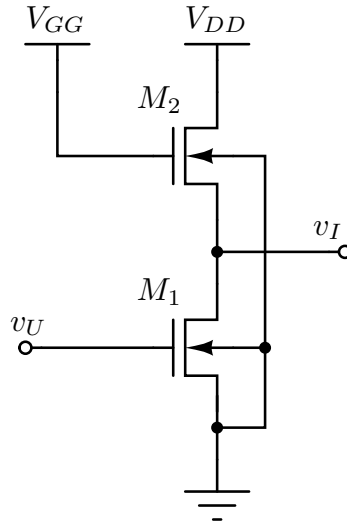
$$V_{IH} = V_T - \frac{1}{B_n R_L} + \sqrt{\frac{8V_{DD}}{3B_n R_L}} = 0.77V$$

Za margine šuma kola, u slučaju višestrukog izvora šuma, dobijaju se vrednosti:

$$NM_0 = 0.38V$$

$$NM_1 = 0.43V$$

- a) U slučaju *NMOS* invertora sa kratkim kanalom i aktivnim opterećenjem u vidu *NMOS* tranzistora sa indukovanim kanalom sa slike 2.1, odrediti vrednosti V_{OH} , geometrijski faktor invertora K_R , ako je poznato: $2|\phi_F| = 0.88\text{V}$, $V_{T0} = 0.4\text{V}$, $V_{DD} = 1.2\text{V}$, $\gamma = 0.2\text{V}^{1/2}$, $\mu_n = 270\text{cm}^2/\text{Vs}$, $C_{ox} = 1.6\mu\text{F}/\text{cm}^2$, $v_{sat} = 8.0 \cdot 10^6\text{cm/s}$, $E_{CL} = 0.6\text{V}$, $V_{OL} = 0.1\text{V}$, $L_1 = L_2 = 100\text{nm}$, $V_{GG} = V_{DD}$.
- b) Odrediti minimalnu vrednost napona V_{GG} za koju opteretni tranzistor uvek radi u omskoj oblasti. Za tako izračunatu vrednost napona V_{GG} odrediti vrednost napona V_{OH} .



Slika 2.1: *NMOS* invertor sa aktivnim opterećenjem u vidu *NMOS* tranzistora sa indukovanim kanalom

REŠENJE:

- a) Kako su za slučaj $V_{GG} = V_{DD}$, drejn i gejst opteretnog tranzistora na istom potencijalu, ovaj tranzistor, kada vodi, može raditi samo u zasićenju. Prilikom porasta izlaznog napona, opteretni tranzistor, će u slučaju kada izlazni napon dostigne vrednost napona $V_I = V_{DD} - V_{T2}$, prestati da provodi struju. Zbog toga je vrednost napona V_{OH} data izrazom:

$$V_{OH} = V_{DD} - V_{T2}$$

Međutim, usled efekta podloge, prekidni napon V_{T2} će se menjati sa promenom napona između sorsa (izlaza kola) i podloge. Prekidni napon opteretnog tranzistora dat je izrazom:

$$V_{T2}(V_I) = V_{T0} + \gamma \left(\sqrt{V_I + 2|\phi_F|} - \sqrt{2|\phi_F|} \right)$$

Kao rezultat imamo smanjenje nivoa napona logičke jedinice na izlazu kola.

Napon V_{OH} određen je jednačinom:

$$V_{OH} = V_{DD} - V_{T0} - \gamma \left(\sqrt{V_{OH} + 2|\phi_F|} - \sqrt{2|\phi_F|} \right) \quad (2.1)$$

Zamenom brojnih vrednosti, datih u postavci zadatka, u jednačinu 2.1 dobijamo:

$$V_{OH} = 0.99 - 0.2 \left(\sqrt{V_{OH} + 0.88} \right)$$

Iterativnim postupkom određujemo vrednost napona V_{OH} uzimajući za početnu vrednost npr. $V_{OH} = V_{DD} - V_{T0}$. U par koraka dobija se vrednost $V_{OH} = 0.73V$.

Kako je data vrednost napona V_{OL} , vrednost faktora K_R , odredićemo na osnovu izraza za napon V_{OL} . Kada je na izlazu napon blizak vrednosti V_{OL} , ulazni napon je blizak vrednosti V_{OH} , tako da će inertorski tranzistor raditi u linearnom režimu rada, dok je opteretni tranzistor u zasićenju.

Dakle imamo:

$$\frac{W_1}{L_1} \frac{\mu_n C_{ox}}{\left(1 + \frac{V_I}{E_C L}\right)} \left[(V_U - V_{T1}) V_I - \frac{V_I^2}{2} \right] = \frac{W_2 v_{sat} C_{ox} (V_{DD} - V_I - V_{T2})^2}{(V_{DD} - V_I - V_{T2}) + E_C L_2} \quad (2.2)$$

Gde je $V_{T1} = V_{T0}$, dok je vrednost $V_{T2} = V_{T2}(V_{OL}) = V_{T0} + \gamma \left(\sqrt{V_{OL} + 2|\phi_F|} - \sqrt{2|\phi_F|} \right) = 0.41V$.

Vidimo da za male vrednosti napona sors-osnova, efekat podloge nije izražen.

Na osnovu jednačine 2.2, zamenom $V_U = V_{OH}$, $V_I = V_{OL}$, dobijamo:

$$K_R = \frac{W_1 L_2}{W_2 L_1} = 1.7$$

- b) Da bi opteretni tranzistor radio u linearnom režimu potrebno je da bude zadovoljen uslov:

$$V_{DS2} < V_{GS2} - V_{T2}$$

Ovaj uslov mora biti zadovoljen u celom opsegu promene izlaznog napona, tj:

$$V_{G2min} > V_{D2max} + V_{T2} \quad (2.3)$$

Obzirom da uslov zadatka postizemo povećavanjem napona V_{G2min} , uporedo će se povećavati i vrednost nivoa logičke jedinice na izlazu kola. Dakle vrednost $V_{D2max} = V_{DD} = V_{OH}$. Sa druge strane usled efekta podloge, napon praga opteretnog tranzistora je funkcija napona sors-osnova, tj. izlaznog napona, tako da će jednačina 2.3 će imati oblik:

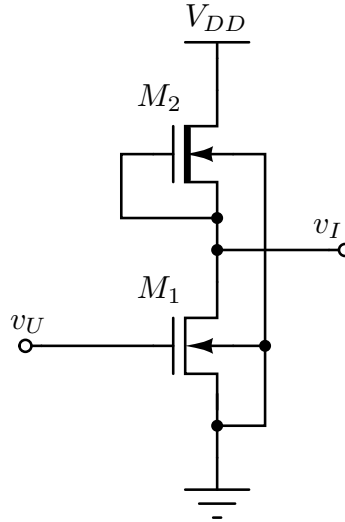
$$V_{GG} > V_{DD} + V_{T2}(V_{DD})$$

Vrednost napona $V_{T2}(V_{DD})$ data je izrazom:

$$V_{T2}(V_{DD}) = V_{T0} + \gamma \left(\sqrt{V_{DD} + 2|\phi_F|} - \sqrt{2|\phi_F|} \right)$$

Zadatak 3

Za slučaj *NMOS* invertora sa kratkim kanalom sa aktivnim opterećenjem izvedenim u vidu *NMOS* tranzistora sa ugrađenim kanalom, sa slike 3.1, odrediti margine šuma kola u slučaju višestrukog izvora šuma.



Slika 3.1: *NMOS* invertor sa aktivnim opterećenjem u vidu *NMOS* tranzistora sa ugrađenim kanalom

REŠENJE:

Kod *NMOS* tranzistora sa ugrađenim kanalom prekidni napon V_T ima negativnu vrednost, tako da kanal postoji i kada je napon $V_{GS} = 0V$. Ovakav tranzistor će raditi u zasićenju ako je:

$$V_{DS} > V_{GS} - V_T$$

U slučaju kola sa slike 3.1, aktivno opterećenje je izvedeno u vidu *NMOS* tranzistora sa ugrađenim kanalom, kod koga su gejti i sors tranzistora kratko spojeni, tako da će opteretni tranzistor raditi u zasićenju ukoliko je ispunjeno:

$$V_{DS} > -V_T = |V_T|$$

Treba obratiti pažnju da se kod opteretnog tranzistora javlja efekat podloge, obzirom da je napon između sorsa i podloge različit od nule, pa će se napon praga određivati na osnovu jednačine:

$$V_T(V_{SB}) = V_{T02} + \gamma \left(\sqrt{V_{SB} + 2|\phi_F} - \sqrt{2\phi_F} \right)$$

gde je vrednost napona $V_{T02} < 0V$.

Za malu vrednost ulaznog napona, invertorski tranzistor će biti zakočen, dok će opteretni tranzistor raditi u omskoj oblasti, tako da će izlazni napon biti visok i iznosiće:

$$V_{OH} = 5V$$

Povećavanjem ulaznog napona na vrednost veću od praga provođenja invertorskog tranzistora, on će početi da vodi u zasićenju, obzirom da opteretni tranzistor radi u omskoj oblasti, dok je izlazni napon i dalje visok.

Vrednost napona V_{IL} određujemo na osnovu jednačine:

$$\frac{W_1 v_{sat} C_{ox} (V_{GS1} - V_{T1})^2}{(V_{GS1} - V_{T1}) + E_C L_1} = \frac{W_2}{L_2} \frac{\mu_n C_{ox}}{\left(1 + \frac{V_{DS2}}{E_C L_2}\right)} \left[(V_{GS2} - |V_{T2}|) V_{DS2} - \frac{V_{DS2}^2}{2} \right] \quad (3.1)$$

Kako je za $V_U \approx V_I$, napon V_{GS1} približan naponu V_{T1} i $V_{DS2} \approx 0V$, obzirom da je izlazni napon visok, zamenom vrednosti $V_{GS1} = V_U$, $V_{GS2} = 0V$ i $V_{DS2} = V_{DD} - V_I$ u jednačinu 3.1 dobijamo:

$$\frac{W_1 v_{sat} C_{ox} (V_U - V_{T1})^2}{E_C L_1} = \frac{W_2 \mu_n C_{ox}}{L_2} \left[-|V_{T2}| \cdot (V_{DD} - V_I) - \frac{(V_{DD} - V_I)^2}{2} \right] \quad (3.2)$$

Nakon zamene $v_{sat} = \frac{1}{2} \mu_n E_C$, u jednačinu 3.2, i skraćivanja, dobija se jednačina:

$$K_R (V_U - V_{T1})^2 = \left[-2|V_{T2}| \cdot (V_{DD} - V_I) - (V_{DD} - V_I)^2 \right] \quad (3.3)$$

U izrazu 3.3, K_R predstavlja geometrijski odnos invertora dat izrazom:

$$K_R = \frac{W_1 L_2}{W_2 L_1}$$

Diferenciranjem izraza 3.3, $\frac{\partial}{\partial V_U}$, i nakon zamene $V_U = V_I L$, $\frac{\partial V_I}{\partial V_U} = -1$ dobija se jednačina:

$$V_I = K_R (V_I L - V_{T1}) + |V_{T2}| + V_{DD} \quad (3.4)$$

Jednačine 3.4 i 3.3 predstavljaju sistem jednačina čije rešavanje daje vrednost napona V_{IL} . Kako je V_{T2} funkcija izlaznog napona, a u cilju pojednostavljenja postupka, može se uzeti za vrednost prekidnog napona opterećenog tranzistora vrednost data izrazom:

$$V_{T2} = V_{T2}(V_{DD})$$

Vrednost napona V_{IH} određuje se iz uslova $I_{D1} = I_{D2}$, gde tranzistor M_1 radi u omskoj oblasti, dok je tranzistor M_2 u zasićenju i ponaša se kao strujni izvor. Vrednost struje tranzistora M_2 zavisi od vrednosti izlaznog napona (prekidni napon je funkcija izlaznog napona).

$$\frac{W_1}{L_1} \frac{\mu_n C_{ox}}{\left(1 + \frac{V_I}{E_C L_1}\right)} \left[(V_U - V_{T1}) V_I - \frac{V_I^2}{2} \right] = \frac{W_2 v_{sat} C_{ox} (-|V_{T2}|)^2}{(-|V_{T2}|) + E_C L_2} \quad (3.5)$$

Možemo uzeti da je član $\left(1 + \frac{V_I}{E_C L_1}\right) \approx 1$, obzirom da je $V_I \approx 0V$, pa jednačina 3.5 dobija oblik:

$$K_R \left[2(V_U - V_{T1}) V_I - V_I^2 \right] = \frac{V_{T2}^2}{1 - \frac{V_{T2}}{E_C L_2}} \quad (3.6)$$

Diferenciranjem izraza 3.6, $\frac{\partial}{\partial V_U}$, i nakon zamene $V_U = V_I H$, $\frac{\partial V_I}{\partial V_U} = -1$ dobija se jednačina:

$$V_{IH} - V_{T1} = 2V_I \quad (3.7)$$

Zamenom izraza 3.7 u jednačinu 3.6 dobija se vrednost napona V_{IH} . Za vrednost prekidnog napona V_{T2} može se uzeti vrednost V_{T02} .

Vrednost napona V_{OL} određujemo na osnovu jednačine 3.6, obzirom da će za vrednost napona na ulazu V_{OH} , tranzistor M_1 će raditi u omskoj oblasti, dok će tranzistor M_2 raditi u zasićenju.

Jednačina 3.6 će imati oblik:

$$K_R \left[2(V_{OH} - V_{T1}) V_{OL} - V_{OL}^2 \right] = \frac{V_{T2}^2}{1 - \frac{V_{T2}}{E_C L_2}} \quad (3.8)$$

Za određivanje vrednosti V_{OL} možemo zanemariti član V_{OL2} obzirom da je vrednost napona logičke nule na izlazu kola mala.

Margine šuma kola, u slučaju višestrukog izvora šuma, imaće vrednosti:

$$NM_0 = V_{IL} - V_{OL}$$

$$NM_1 = V_{OH} - V_{IH}$$

Zadatak 4

a) Za CMOS⁶ inverter u $V_I(V_U)$ ravni odrediti oblasti koje definišu režime rada NMOS i PMOS tranzistora.

b) Izračunati vrednost napona prebacivanja V_S za vrednosti širine kanala PMOS tranzistora $W_{p1} = 400\text{nm}$ i $W_{p2} = 100\text{nm}$. Širina kanala NMOS tranzistora je $W_n = 100\text{nm}$. Dužina kanala svih tranzistora je $L = 100\text{nm}$. Kako vrednost W_p utiče na vrednost napona prebacivanja V_S ?

Poznato je: $V_{DD} = 1.2\text{V}$, $V_{TN} = |V_{TP}| = 0.4\text{V}$, $E_{CP} = 24\text{V}/\mu\text{m} = 4E_{CN}$.

REŠENJE:

a) Da bi NMOS odnosno PMOS tranzistori uopšte vodili potrebno je da budu zadovoljeni uslovi:

$$V_{GS1} > V_{TN}$$

$$V_{SG2} > V_{TP}$$

Na osnovu datih nejednačina, možemo odrediti režime rada tranzistora.

NMOS tranzistor će raditi u zasićenju za vrednosti napona:

$$V_{DS1} > V_{GS1} - V_{TN} \quad (4.1)$$

Kako je $V_{DS1} = V_I$ i $V_{GS1} = V_U$ nejednačina 4.1 će imati oblik (vrednost prekidnog napona NMOS tranzistora $V_{TN} > 0\text{V}$):

$$V_I > V_U - V_{TN}$$

Za PMOS tranzistor jednačina koja definiše rad tranzistora u zasićenju imaće oblik:

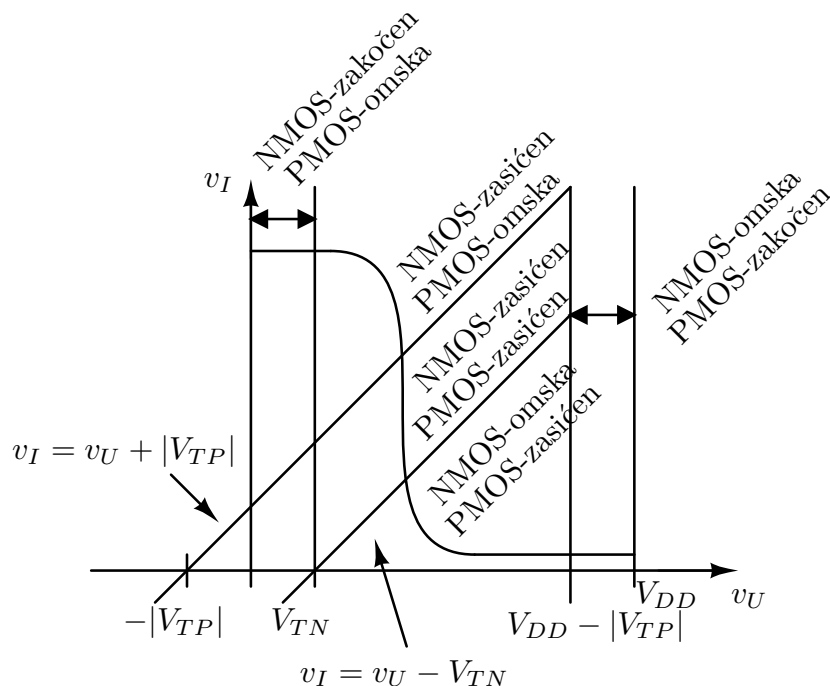
$$V_{SD2} > V_{SG2} - V_{TP}$$

Prekidni napona PMOS tranzistora je $V_{TP} < 0\text{V}$. Nakon zamene $V_{SD2} = V_I - V_{DD}$ i $V_{SG2} = V_U - V_{DD}$ dobijamo nejednačinu koja definiše rad tranzistora M_2 u zasićenju:

$$V_I < V_U + V_{TP}$$

Na slici 4.1 prikazane su oblasti koje definišu režime rada NMOS i PMOS tranzistora.

⁶CMOS - Complementary MOS



Slika 4.1: Oblasti koje definišu režime rada tranzistora kod *CMOS* invertora

Prilikom određivanja vrednosti napona prebacivanja V_S , nalazimo se praktično na vertikalnom delu karakteristike prenosa *CMOS* invertora, obzirom da oba tranzistora rade u zasićenju.

- b) Prema grafiku sa slike 4.1, zaključujemo da za $V_U = V_I = V_S$ i *NMOS* i *PMOS* tranzistor rade u zasićenju. Kako su struje oba tranzistora jednake, vrednost napona prebacivanja odredićemo na osnovu jednačine:

$$\frac{W_n v_{sat} C_{ox} (V_S - V_{TN})^2}{(V_S - V_{TN}) + E_{CN} L_N} = \frac{W_p v_{sat} C_{ox} (V_{DD} - V_S - |V_{TP}|)^2}{(V_{DD} - V_S - |V_{TP}|) + E_{CP} L_P}$$

Kako je $E_{CP} L_P \gg (V_{DD} - V_S - |V_{TP}|)$, zanemarićemo član $(V_{DD} - V_S - |V_{TP}|)$ u izrazu. Takođe vrednost $E_{CN} L_N$ je 0.4V, dok je vrednost napona prebacivanja približno jednaka $\frac{V_{DD}}{2}$, tj. 0.6V, tako da je vrednost člana $(V_S - V_{TN}) + E_{CN} L_N \approx 0.6V$.

Za datu vrednost $W_p = 400nm$, dobijamo vrednost napona prebacivanja $V_S = 0.61V$ čime su sva zanemarivanja opravdana. U slučaju $W_p = 100nm$ dobijamo vrednost $V_S = 0.53V$, na osnovu čega zaključujemo da sa povećanjem odnosa W/L *PMOS* tranzistora, vrednost napona prebacivanja *CMOS* invertora raste.

Zadatak 5

- a) Projektovati jednostepeno statičko *CMOS* kolo koje realizuje funkciju $Y = (A+B)(C+D)$, ako su na ulazu kola mogu pojaviti negacije ulaznih promenljivih A , B , C i D .
- b) Realizovati kolo sa minimalnim brojem *MOS* tranzistora ako na ulazu kola nisu raspoložive negacije ulaznih promenljivih.

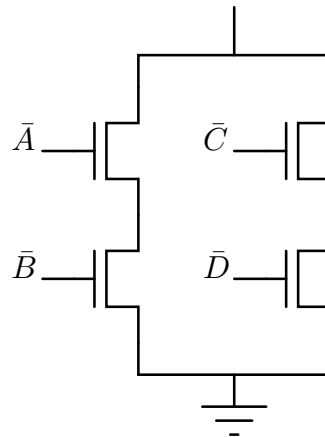
REŠENJE:

a) Da bi realizovali funkciju Y , najpre moramo izvršiti transformaciju polazne funkcije:

$$Y = (A + B)(C + D) = \overline{\overline{(A + B)(C + D)}} = \overline{\bar{A}\bar{B} + \bar{C}\bar{D}}$$

Sada PDN (*Pull Down Network*), realizujemo kao funkciju $\bar{Y} = \bar{A}\bar{B} + \bar{C}\bar{D}$, gde logički proizvod predstavlja rednu vezu $NMOS$ tranzistora, dok logički zbir predstavlja paralelnu vezu $NMOS$ tranzistora. Za određenu kombinaciju ulaza, PDN će provoditi i na izlazu statičkog $CMOS$ kola će biti logička nula.

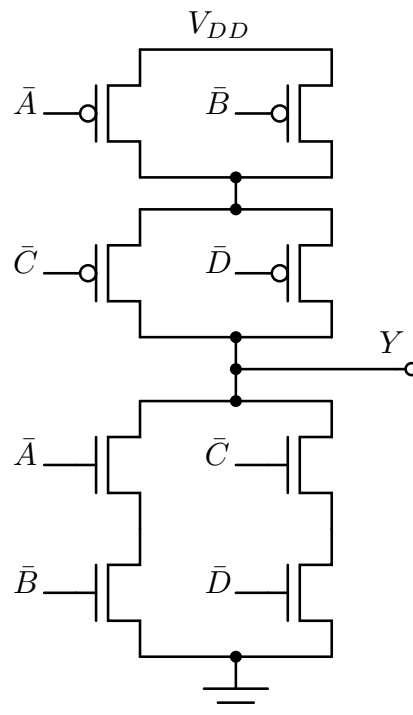
Kao rezultat dobijamo PDN u obliku prikazanom na slici 5.1.



Slika 5.1: PDN statičkog $CMOS$ kola koja realizuje funkciju $\bar{Y} = \bar{A}\bar{B} + \bar{C}\bar{D}$

PUN (*Pull Up Network*) realizujemo prema slici 5.1, pri čemu se redna veza $NMOS$ tranzistora sa slike 5.1 zamenjuje paralelnom vezom $PMOS$ tranzistora, dok se paralelna veza $NMOS$ tranzistora menja sa rednom vezom $PMOS$ tranzistora.

Konačan izgled statičkog $CMOS$ kola dat je na slici 5.2.



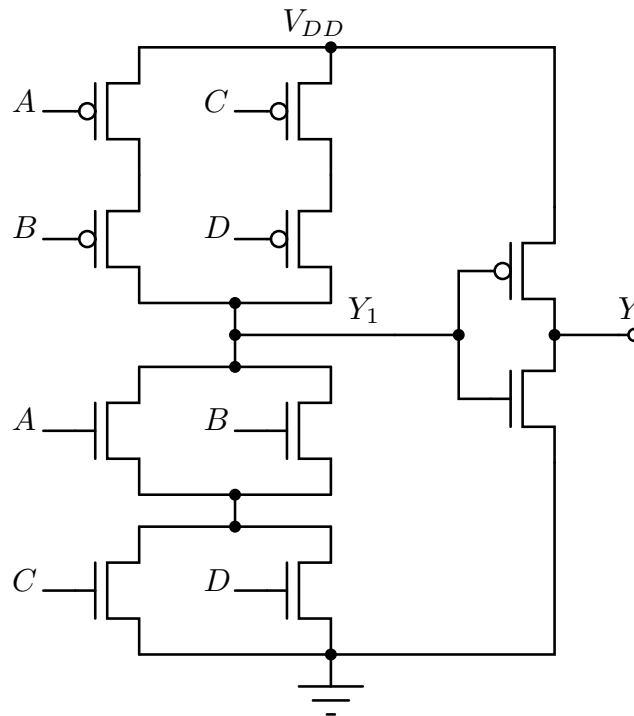
Slika 5.2: Statičko $CMOS$ kolo

- b) Ako na ulazu nisu raspoložive negacije ulaznih promenljivih, onda umesto da vršimo negaciju potrebnih ulaza (u slučaju funkcije $Y = (A + B)(C + D)$ svih ulaza), realizovaćemo funkciju:

$$Y_1 = \bar{Y} = \overline{(A + B)(C + D)}$$

Kako je funkcija Y_1 predstavljena u obliku koji je pogodan za direktnu realizaciju *PDN* mreže.

Izgled traženog statičkog *CMOS* kola dat je na slici 5.3.

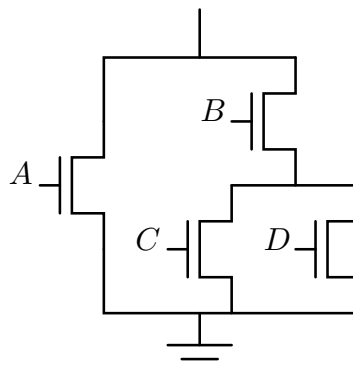


Slika 5.3: Statičko *CMOS* kolo

Dakle na izlazu kola je stavljen *CMOS* invertor kako bi se realizovala tražena funkcija sa minimalnim brojem tranzistora u obliku višestepenog statičkog *CMOS* kola.

Zadatak 6

- a) Za statičko *CMOS* kolo čija je *PDN* data na slici 6.1 odrediti logičku funkciju kola.
 b) Nacrtati statičko *CMOS* kolo čija je *PDN* data na slici 6.1.



Slika 6.1: *PDN* mreža statičkog *CMOS* logičkog kola

REŠENJE:

a) Logičku funkciju statičkog *CMOS* kola određujemo preko funkcije date *PDN* mreže:

$$\bar{Y} = A + B(C + D)$$

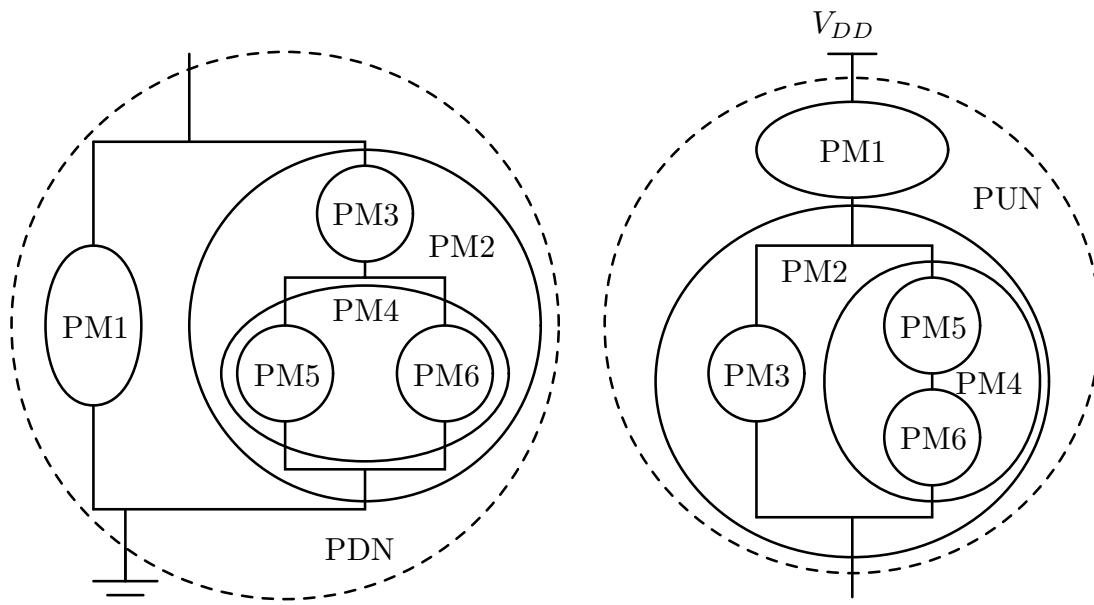
ili,

$$Y = \overline{A + B(C + D)} = \bar{A}\bar{B} + \bar{A}\bar{C}\bar{D}$$

b) U slučaju realizacije kompleksnog statičkog *CMOS* kola, najjednostavniji način da se na osnovu *PDN* mreže, odredi *PUN* mreža, jeste da se indentifikuju podmreže u okviru *PDN* mreže, koje mogu biti ili redno ili paralelno vezane sa drugim podmrežama.

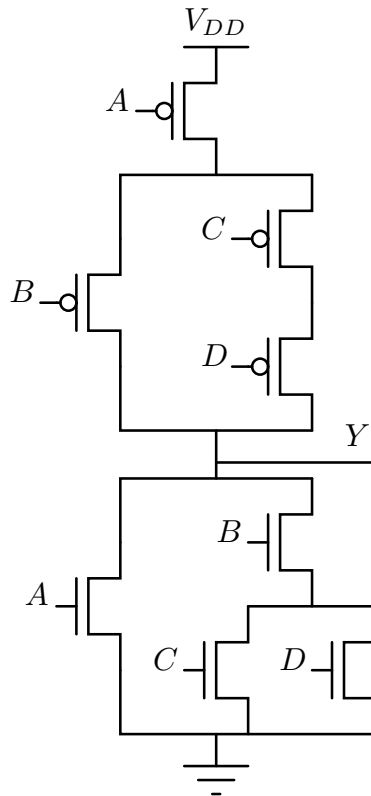
Recimo neka podmrežu PM_1 čini tranzistor kontrolisan ulazom A , dok drugu podmrežu PM_2 čine preostali tranzistori kontrolisani ulazima B , C i D . Ove dve podmreže su paralelno vezane tako da će se u ekvivalentnoj realizaciji *PUN* mreže, naći u rednoj vezi. Na sličan način u okviru PM_2 identifikujemo podmreže PM_3 i PM_4 koje sadrže tranzistore kontrolisane ulazom B , za PM_3 , odnosno za mrežu PM_4 , ulazima C i D . Podmreže PM_3 i PM_4 čine podmrežu PM_2 i u okviru nje su paralelno vezane, ako posmatramo realizaciju *PUN* mreže. Slično, podmreža PM_4 je sastavljena od dve podmreže PM_5 i PM_6 koju sačinjavaju paralelno vezani tranzistori kontrolisani ulazima C i D .

Na slici 6.2, dat je grafički prikaz realizacije *PUN* mreže na osnovu date *PDN* mreže.



Slika 6.2: Konfiguracija *PDN* i njoj odgovarajuće *PUN* mreže

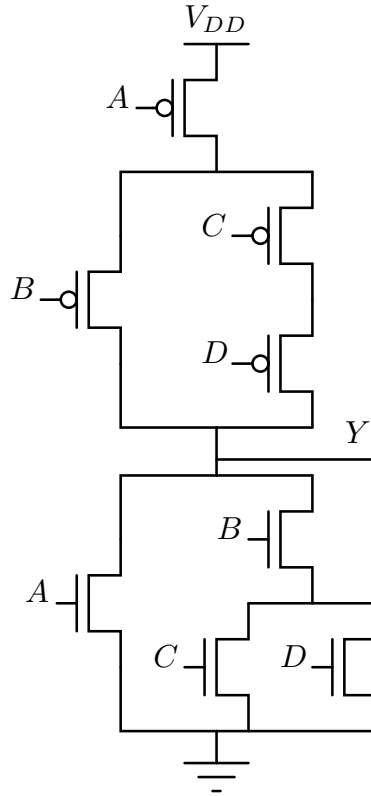
Realizacija statičkog *CMOS* kola prikazana je na slici 6.3. Tranzistori su obeleženi prema oznaci ulaznog signala koji kontroliše gejt tranzistora.



Slika 6.3: Realizacija mreže statičkog *CMOS* kola

Zadatak 7

Za statičko *CMOS* kolo, dato na slici 7.1, odrediti odnose W/L svih tranzistora. Kapacitivnosti svih čvorova kola, osim izlaznog se mogu zanemariti. Poznato je: $\mu_n = 2\mu_p$.



Slika 7.1: Statičko CMOS logičko kolo

REŠENJE:

Ukupnu ekvivalentnu širinu *power-down* mreže ćemo izjednačiti sa širinom NMOS tranzistora kod referentnog invertora ($W_{PDN} = 1$), dok ćemo ekvivalentnu širinu *power-down* mreže izjednačiti sa širinom PMOS tranzistora kod referentnog, invertora ($W_{PUN} = 2$). Kako je u opštem slučaju $R_e \sim \frac{1}{W}$, to je otpornost redne veze dva tranzistora

$$\frac{1}{W_S} = R_S = R_1 + R_2 \sim \frac{1}{W_1} + \frac{1}{W_2}$$

, odakle je ekvivalentna širina (slika 7.2)

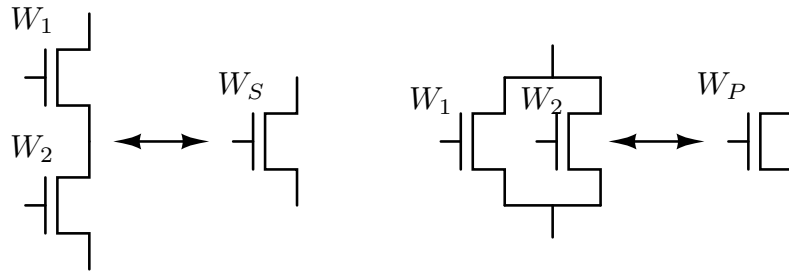
$$W_S = \frac{W_1 W_2}{W_1 + W_2}$$

Ekvivalentna otpornost kod paralelne veze je

$$R_P = R_1 \parallel R_2 \sim \frac{1}{W_1 + W_2}$$

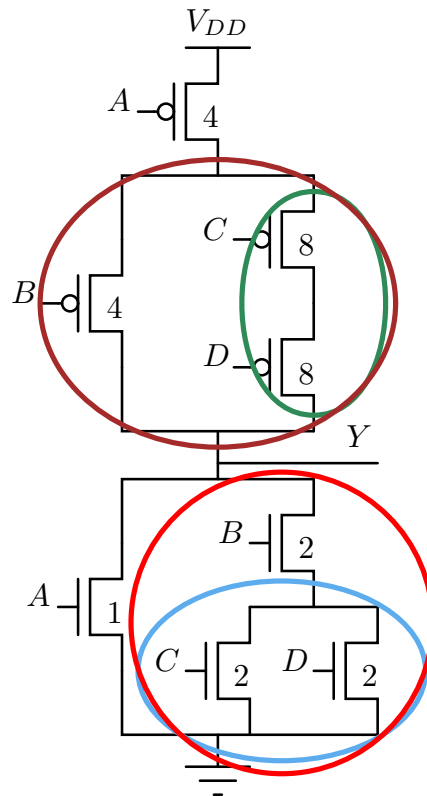
, ali samo u slučaju da su oba tranzistora u paralelnoj vezi uključena. Gori slučaj je da je samo jedan od njih uključen, pa je ekvivalentna širina paralelne veze

$$W_P = \min\{R_1, R_2\}$$



Slika 7.2: Ekvivalentiranje redne i paralelne veze

Zbog izjednačavanja kašnjenja po različitim putanjama najčešće se uzima $W_1 = W_2$.



Slika 7.3: Statičko CMOS kolo sa određenim odnosima širina tranzistora

Kako ekvivalentna širina *PDN* mreže treba da bude 1, to ekvivalentne širine obe paralelne celine u *PDN* treba da budu po 1 (tranzistor *A* i celina koju čine tranzistori *B*, *C* i *D*). Celina koju čine tranzistori *B*, *C* i *D* je sačinjena od dve podceline vezane redno (tranzistor *B* i celina *C* i *D*), čija ekvivalentna širina u rednoj vezi treba da bude 1, pa je širina tranzistora *B* tada 2, a ekvivalentna širina koju čine tranzistori *C* i *D* takođe 2. To znači da svaki od tranzistora *C* i *D* treba da ima širinu po 2.

Kako ekvivalentna širina *PUN* mreže treba da bude 2, to ekvivalentne širine obe redne celine u *PDN* treba da budu po 4 (tranzistor *A* i celina koju čine tranzistori *B*, *C* i *D*). Celina koju čine tranzistori *B*, *C* i *D* je sačinjena od dve podceline vezane paralelno (tranzistor *B* i celina *C* i *D*), čija ekvivalentna širina u paralelnoj vezi treba da bude 4, pa je širina tranzistora *B* tada 4, a ekvivalentna širina koju čine tranzistori *C* i *D* takođe 4. To znači da svaki od tranzistora *C* i *D* treba da ima širinu po 8 kako bi u rednoj vezi imali ekvivalentnu širinu 4.

Zadatak 8

- a) Projektovati jednostepeno dinamičko *CMOS* logičko kolo koje realizuje logičku funkciju datu izrazom:

$$Y = \overline{AB} \cdot (\overline{C + \overline{AD} + C(A + D)} + \overline{CD})$$

- b) Realizovati logičku funkciju $Z = \overline{Y}$, gde je Y logička funkcija data izrazom iz tačke **a**, u domino logici, ako su na raspolaganju dinamička *CMOS I* i *ILI* kola sa proizvoljnim brojem ulaza.

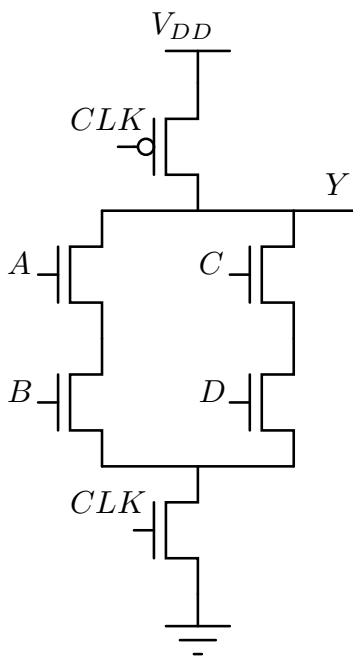
Napomena: Na ulazima logičkih kola mogu se naći ili ulazni signali ili njihove negacije.

REŠENJE:

- a) Najpre ćemo transformisati funkciju tako da ju je moguće realizovati u formi dinamičkog *CMOS* kola. Obzirom da se dinamičko kolo realizuje na osnovu *PDN* mreže koja odgovara datoj logičkoj funkciji, datu logičku funkciju ćemo transformisati u pogodan oblik dat izrazom 8.1.

$$\begin{aligned} Y &= \overline{AB} \cdot (\overline{C + \overline{AD} + C(A + D)} + \overline{CD}) = \overline{(\overline{C + \overline{AD} + C(A + D)}) \cdot CD + AB} = \\ &= \overline{CD + AB} \end{aligned} \quad (8.1)$$

Topologija jednostepenog dinamičkog *CMOS* kola iz tačke **a** data je na slici 8.1.



Slika 8.1: Dinamičko *CMOS* logičko kolo

- b) Izvršićemo transformaciju logičke funkcije kola u oblik pogodan za realizaciju u domino logici:

$$Z = \overline{\overline{CD + AB}} = CD + AB \quad (8.2)$$

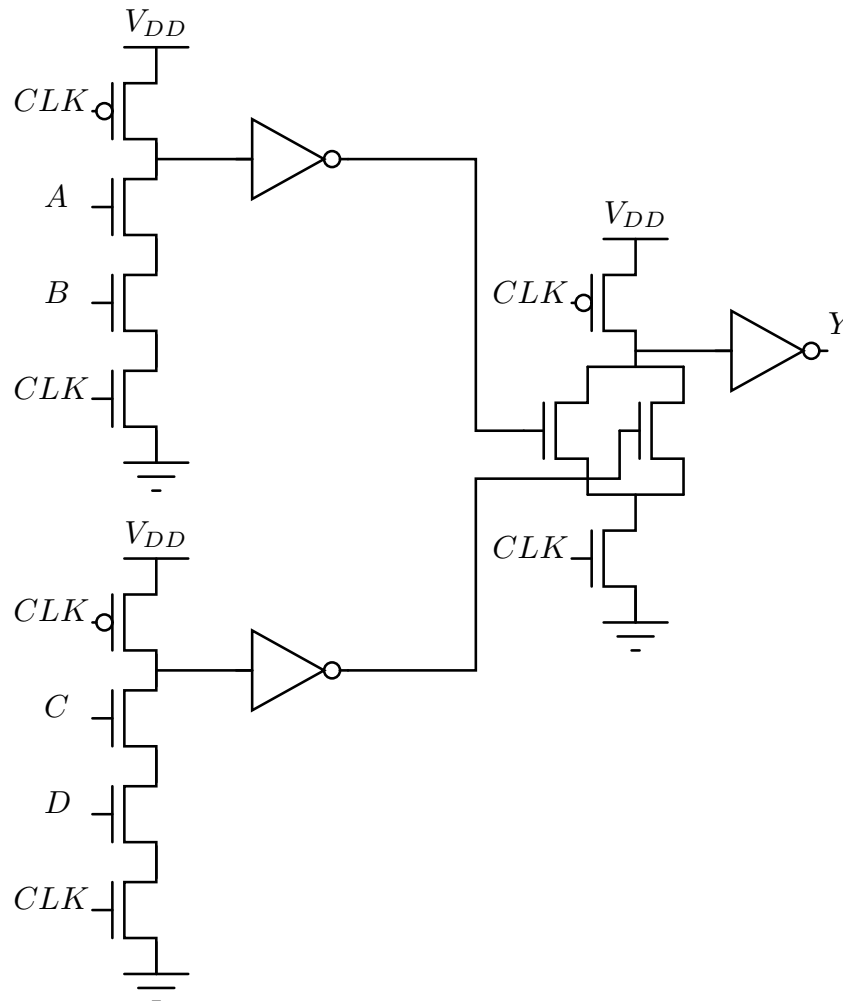
Oblik dat izrazom 8.2, je pogodan za realizaciju u domino logici, obzirom da se na izlazu svakog jednostepenog dinamičkog *CMOS* kola, prema domino logici, nalazi inverter. Zbog toga oblik u kome se realizuje *PDN* mreža odgovara izrazu za logičku funkciju,

a ne njenoj negaciji (kako je slučaj kod projektovanja statičkog i dinamičkog *CMOS* kola). Dakle, izraz koji opisuje logičku funkciju izlaza kola, pogodan za realizaciju u domino logici, ne treba da sadrži ni jedan član u obliku zajedničke negacije više ulaznih signala. Dakle, treba izvršiti transformaciju svih članova u logičkoj funkciji prema izrazima:

$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

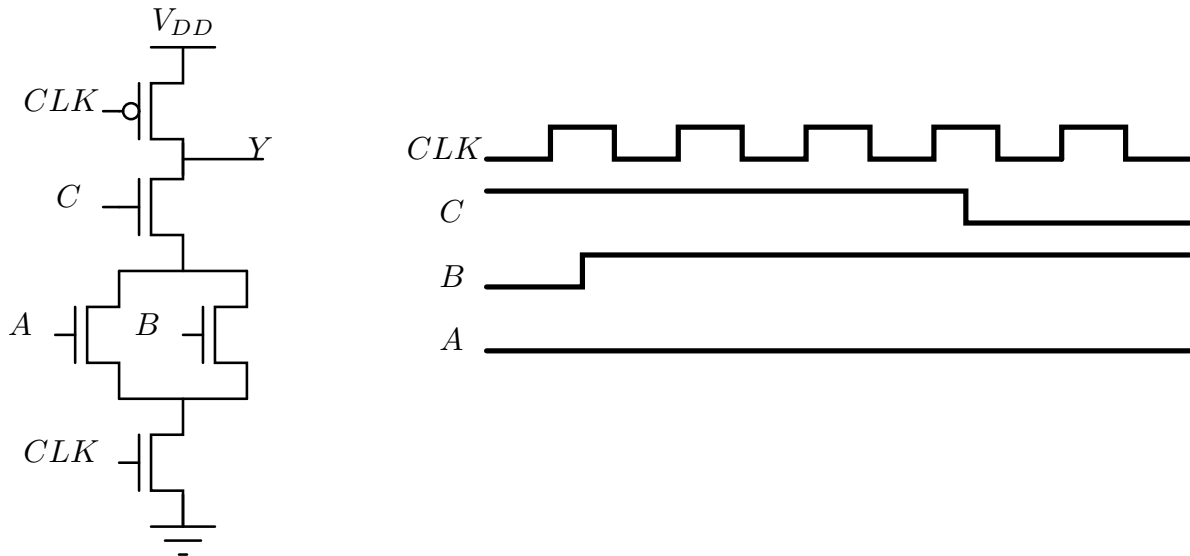
Na slici 8.2, data je realizacija logičke funkcije iz tačke **b** u domino logici.



Slika 8.2: Realizacija logičke funkcije iz tačke **b** u domino logici

Zadatak 9

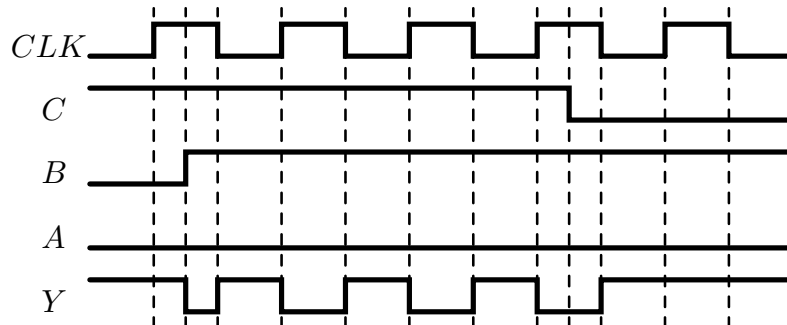
Za dinamičko kolo dato na slici 9.1 nacrtati zavisnost logičke vrednosti izlaza od vremena za zadate ulazne signale.



Slika 9.1: Dinamičko CMOS kolo i vremenski oblik ulaznih signala

REŠENJE:

Kolo obavlja funkciju $Y = \overline{(A + B)C}$. Za vreme dok je $CLK = 0$, kolo je u fazi *precharge*-a i na izlazu je $Y = 1$. Dok je $CLK = 1$, moguće je spustiti vrednost Y na 0 ukoliko se uspostavi putanja prema masi.

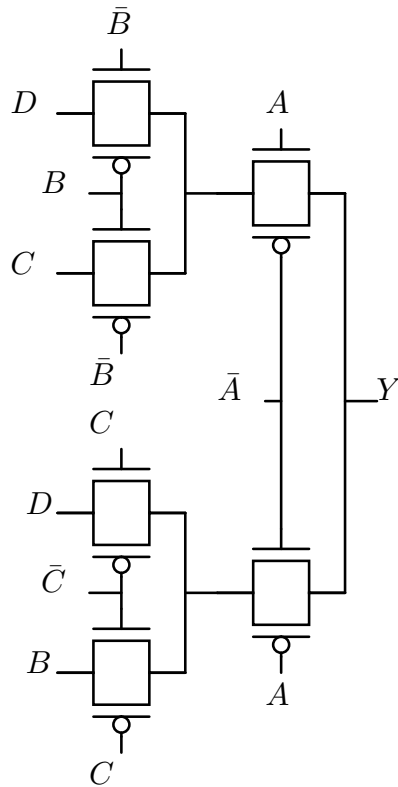


Slika 9.2: Vremenski oblik izlaznog signala

U trenutku uzlazne ivice signala B ostvaruje se putanja prema masi i izlaz Y dobija vrednost 0. U trenutku opadajuće ivice signala C prekida se putanja od izlaza do mase. Vrednost na izlazu bi trebala da bude $Y = 1$, ali se to ne može desiti do prvog sledećeg *precharge*-a.

Zadatak 10

- Za kolo sa slike 10.1, odrediti funkcionalnu tabelu ako ulazi kola mogu biti na nivou logičke nule ili jedinice.
- Modifikovati funkcionalnu tabelu iz tačke **a**, ako ulaz D može biti u stanju visoke impedanse.
- Pomoću transmissionih gejtova projektovati kolo čiji je izlaz dat funkcijom: $Y = AC + BC$.



Slika 10.1: Logička šema kola

REŠENJE:

- a) Funkcionalna tabela kola iz tačke **a**, data je tabelom 10.1. Funkcionalnu tabelu najlakše je odrediti na osnovu logičke funkcije izlaza Y koja se može odrediti direktno na osnovu slike 10.1.

$$Y = A(\bar{B}D + BC) + \bar{A}(CD + \bar{C}B) = A\bar{B}D + ABC + \bar{A}CD + \bar{A}B\bar{C} \quad (10.1)$$

Tabela 10.1: Funkcionalna tabela izlaza Y iz tačke **a**

$ABCD$	Y
0000	0
0001	0
0010	0
0011	1
0100	1
0101	0
0110	0
0111	1
1000	0
1001	1
1010	0
1011	1
1100	0
1101	0
1110	1
1111	1

- b) Funkcionalna tabela za slučaj pod **b**, kada ulaz D može biti i u stanju visoke impedanse, najjednostavnije je predstaviti funkcionalnom tabelom 10.2. Tabelu je najpogodnije odrediti na osnovu izraza 10.1.

Tabela 10.2: Funkcionalna tabela izlaza Y iz tačke **b**

ABC	Y
000	0
001	D
010	1
011	D
100	D
101	D
110	0
111	1

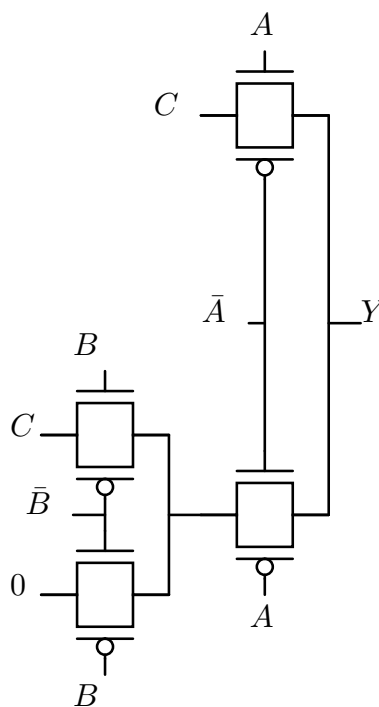
- c) Data logička funkcija se može transformisati na više načina u oblik pogodan za realizaciju pomoću transmisionih gejtova. U nastavku su data dva moguća načina za realizaciju iste funkcije.

$$Y = AC + BC = A(C + BC) + \bar{A}(BC) = A \cdot (C) + \bar{A} \cdot (B \cdot (C) + \bar{B} \cdot (0)) \quad (10.2)$$

ili,

$$Y = AC + BC = C(A + B) + \bar{C}(0) = C \cdot (A \cdot (1) + \bar{A} \cdot (B)) + \bar{C} \cdot (0)$$

Realizacija kola iz tačke **c**, na osnovu jednačine 10.2, data je na slici 10.2.



Slika 10.2: Logička šema kola iz tačke **c**