

VI DEO

**SINTEZA KOMBINACIONIH MREŽA
POMOĆU KOLA SREDNJEG
STEPENA INTEGRACIJE**

Zadatak 6.1.

a) Pomoću jednog multipleksera a1) 4/1 a2) 8/1 i potrebnih logičkih kola, realizovati logičku funkciju $Y = ABCD + CD + \overline{AD}$.

b) Pomoću multipleksera i I, III i NI logičkih kola, realizovati logičku funkciju koja generiše izlaze Y_0 i Y_1 , u zavisnosti od vrednosti kontrolnih ulaza C_1C_0 , prema tabeli 6.1.1.

Tabela 6.1.1. Logička funkcija izlaza Y_1 i Y_0 data tablično

C_1C_0	Y_1	Y_0
00	$\overline{A \oplus B}$	$A \oplus B$
01	$A \oplus B$	$\overline{A \oplus B}$
10	\overline{AB}	\overline{AB}
11	AB	AB

REŠENJE:

a) Prilikom realizacije logičke funkcije pomoću multipleksera, za signale na selekcionim linijama S_1S_0 (u slučaju multipleksera 4/1) treba postaviti one ulaze koji se u logičkoj funkciji zastupljeni sa najviše različitih logičkih kombinacija. U slučaju funkcije iz postavke zadatka, za selekcione ulaze ravnopravni kandidati su kombinacije ulaznih signala AD i CD .

a1) Logičku funkcija odgovarajućeg ulaza D_i multipleksera 4/1 određujemo prema izrazima (za signale na selekcionim ulazima multipleksera uzeti su signali $S_1S_0=AD$):

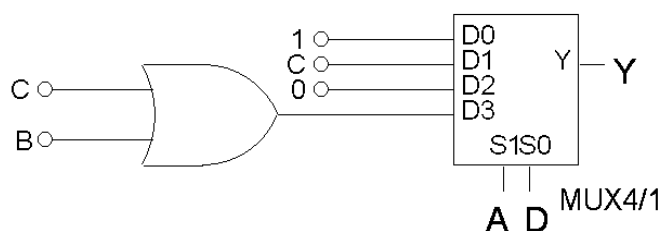
$$D_0 = Y(0, B, C, 0) = 1$$

$$D_1 = Y(0, B, C, 1) = C$$

$$D_2 = Y(1, B, C, 0) = 0$$

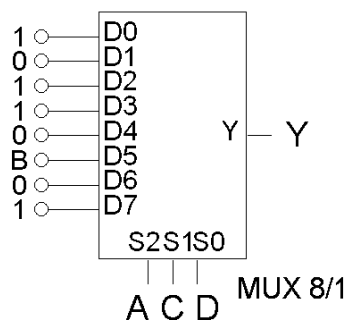
$$D_3 = Y(1, B, C, 1) = B\overline{C} + C = B + C$$

Na slici 5.1.1 data je šema veze realizacije logičke funkcije iz tačke a.



Slika 6.1.1. Realizacija funkcije pomoću multipleksera 4/1

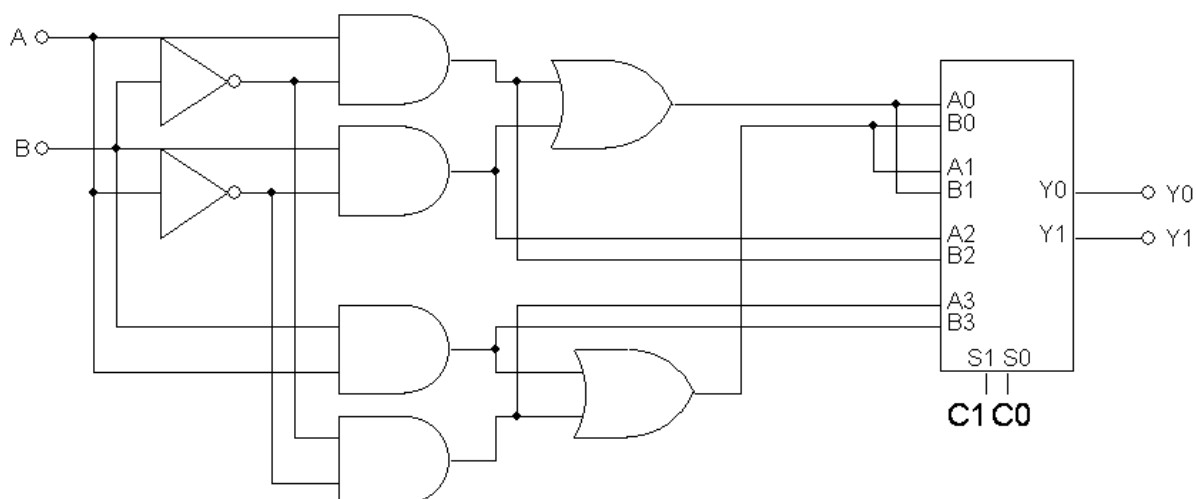
a2) Na isti način određuje se realizacija logičke funkcije pomoću multipleksera 8/1, što je prikazano na slici 6.1.2.



Slika 6.1.2. Realizacija logičke funkcije pomoću multipleksera 8/1

b) Kolo iz tačke **b**, realizovaćemo pomoću dvostrukog multipleksera 4/1 (dva multipleksera 4/1 sa zajedničkim selekcionim ulazima S_1S_0), obzirom da imamo ukupno 2 kontrolna signala na ulazu.

Na slici 6.1.3, prikazan je izgled šeme kola iz tačke **b**.



Slika 6.1.3. Realizacija logičke funkcije pomoću dvostrukog multipleksera 4/1

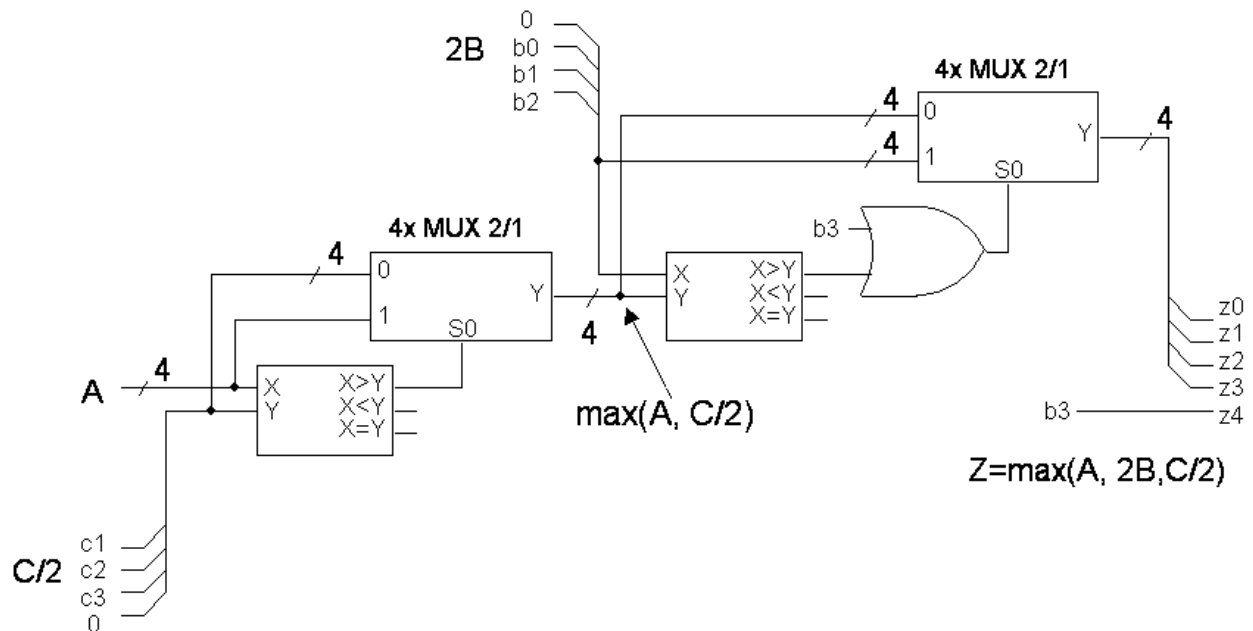
Zadatak 6.2.

Projektovati kombinacionu mrežu koja na izlazu generiše petobitni binarni broj Z određen funkcijom $Z = \max(A, 2B, \frac{C}{2})$, gde su A, B, C četvorobitni neoznačeni binarni brojevi. Na raspolaganju su četvorobitni komparatori i potrebna logička kola.

REŠENJE:

Na slici 6.2.1 prikazana je blok šema realizacije kombinacione mreže iz postavke zadatka. Korišćeni su četvorobitni komparatori i četvorostruki multiplekseri 2/1. Operacije množenja i deljenja sa 2 izvršene su preko pomeranja bita binarnog broja u levu ili desnu stranu, pri čemu je *LSB* bit (prilikom pomeranja u levo), odnosno *MSB* bit (prilikom pomeranja u desno) postavljen na nizak logički nivo.

Pošto su na raspolaganju komparatori četvorobitnih binarnih brojeva, najpre se vrši poređenje brojeva A i $\frac{C}{2}$, obzirom da u slučaju da je bit b_3 binarnog broja B , jednak jedinici, rezultat poređenja mora biti $2B$, tj. $Z=2B$, za $b_3=1$, što se postiže pomoću dodatnog *NILI* kola koje na izlaz kombinacione mreže, postavljanjem selekcionog ulaza četverostrukog multipleksera 2/1 na jedinicu, prosleđuje broj $2B$ ali u formi četvorobitnog broja. Izlazni signal z_4 jednak je bitu b_3 .



Slika 6.2.1. Logička šema kola

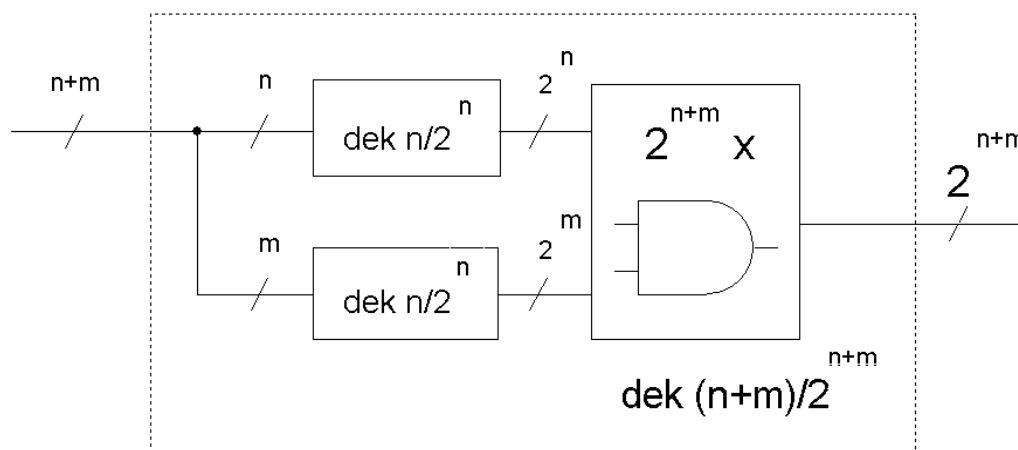
Zadatak 6.3.

- Pomoću dva dekodera $n/2^n$ i $m/2^m$ projektovati dekodera $(n+m)/2^{n+m}$. Na raspolaganju su dvoulazna logička I kola. Dekodere $n/2^n$ i $m/2^m$ crtati kao blokove.
- Pomoću dvoulaznih I kola i invertora, realizovati dekodera 4/16 kod koga su i ulazni i izlazni signali aktivni na logičkoj jedinici. Težiti da broj upotrebljenih logičkih kola bude minimalan.
- Projektovati kolo dekodera koji ima 13 ulaza, tako da realizacija bude izvedena u maksimalno 4 nivoa (maksimalno kašnjenje izlaznih signala $\leq 4t_{dlk}$). Na raspolaganju su dvoulazna I kola i invertori. Težiti da broj upotrebljenih kola bude minimalan. Vreme propagacije signala kroz logičko kolo iznosi t_{dlk} , dok se kašnjenje signala kroz inverter može zanemariti.

Napomena: Korišćeni dekoderi ne poseduju kontrolne ulaze za generisanje signala dozvole (*enable* ulazi).

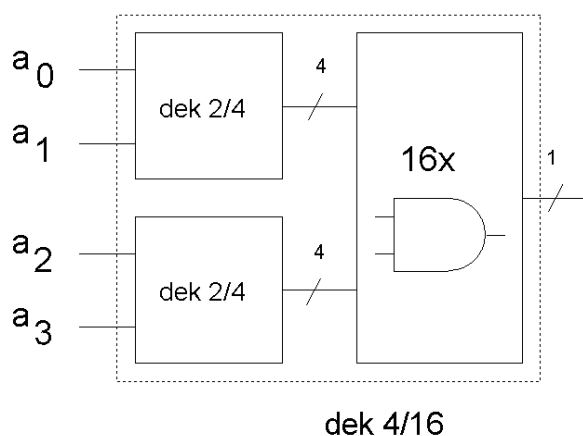
REŠENJE:

- Pomoću dvoulaznih I logičkih kola formiraćemo logičke proizvode izlaza dekodera $n/2^n$ i dekodera $m/2^m$. Na taj način smo formirali ukupno 2^{n+m} logičkih proizvoda koji odgovaraju izlazima traženog dekodera. Logička šema realizacije iz tačke a data je na slici 6.3.1.



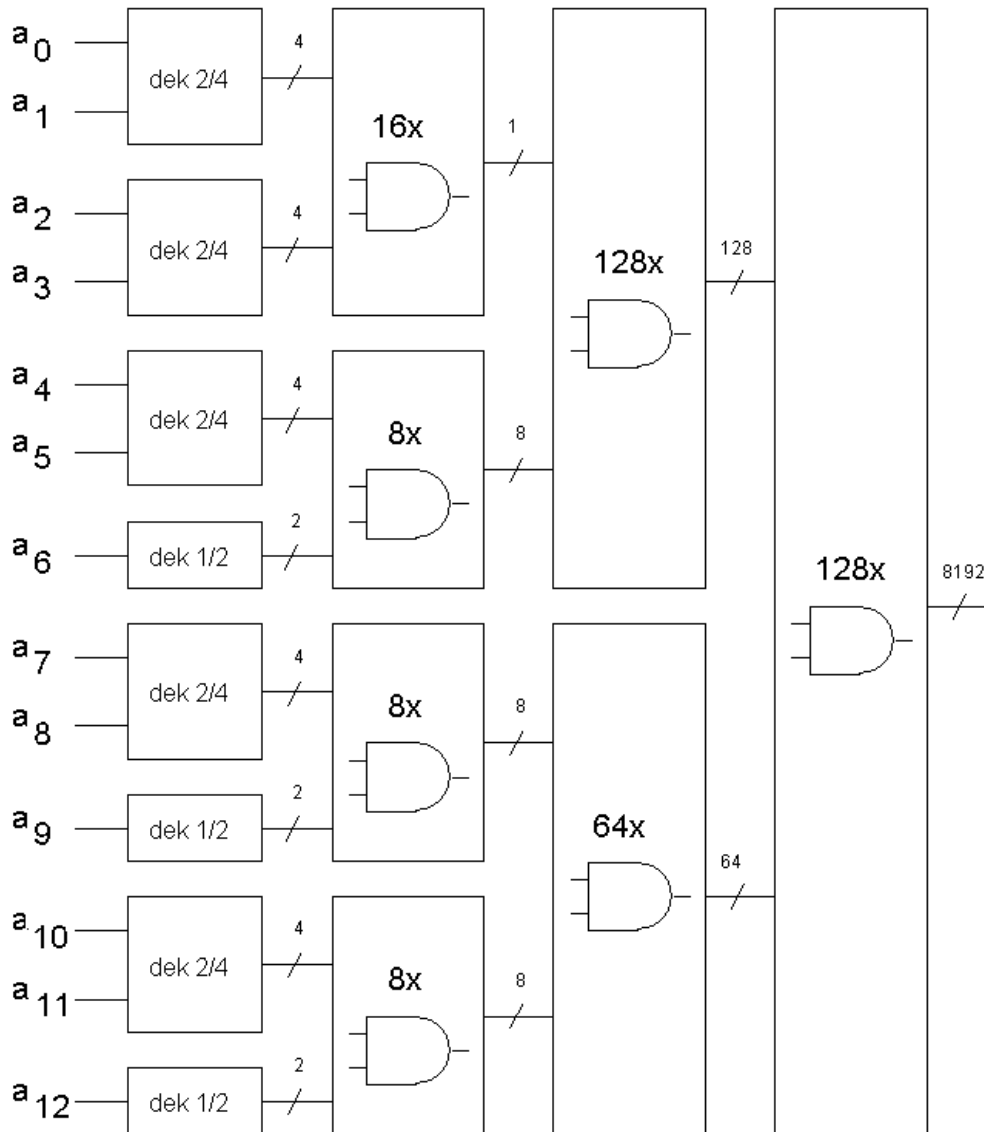
Slika 6.3.1. Logička šema realizacije dekodera iz tačke a

b) Šema realizacije dekodera 4/16 data je na slici 6.3.2 i bazirana je na realizaciji iz tačke **a**. Dekoder je realizovan pomoću dva dekodera 2/4 i 16 dvoulaznih I kola. Ukupan broj korišćenih logičkih kola u realizaciji kombinacione mreže pod tačkom **b** je 4 invertora i 24 logička kola.



Slika 6.3.2. Logička šema realizacije dekodera iz tačke b

c) Na slici 6.3.3 prikazana je realizacija dekodera sa 13 ulaza. Princip realizacije je isti kao i kombinacione mreže iz tačke **b**.



Slika 6.3.3. Logička šema realizacije dekodera iz tačke c

Zadatak 6.4.

a) A i B su 2-bitni neoznačeni binarni brojevi. Projektovati kombinacionu mrežu koja na izlazu generiše binarni broj Y , tako da važi:

$$Y=(A+1)(B+1), A<B$$

$$Y=2(A+1)(B+1), A>B$$

$$Y=0, A=B$$

Na raspolaganju su kola srednjeg stepena integracije i dvoulazna logička kola proizvoljnog tipa. Težiti da broj upotrebljenih integrisanih kola bude minimalan.

b) Nacrtati logičke šeme svih kola srednjeg stepena integracije korišćenih u tački a.

REŠENJE:

a) Najpre ćemo odrediti broj bita na izlazu kola. Obzirom da je maksimalni broj koji se može pojaviti na izlazu kombinacione mreže broj $Y_{max}=2(3+1)(2+1)=24$, na izlazu ćemo imati ukupno 5 bita. Takođe uočavamo da su izrazi za izlaz Y , za slučajeve $A>B$ i $A<B$, praktično isti, sa tom

razlikom što u slučaju $A > B$, treba obezbediti množenje sa dva, odnosno logičko pomeranje rezultata (u odnosu na slučaj $A < B$) za jedno mesto u desno.

Dakle, korišćenjem binarnog komparatora i izlaznog multipleksera logičku funkciju izlaza možemo svesti na oblik:

$$Y = (A+1)(B+1), A \neq B$$

$$Y = 0, A = B$$

Sada je ostalo da projektujemo još kombinacionu mrežu koja realizuje funkciju $Y = (A+1)(B+1)$. Jedna od mogućih realizacija bazira se na korišćenju 4 multipleksera 4/1. Ulaz A ćemo dovesti na selekzione ulaze svih multipleksera 4/1 i u zavisnosti od vrednosti selekcionih signala na odgovarajuće ulaze multipleksera dovest ćemo odgovarajući bit rezultata množenja $(A+1)(B+1)$, gde $A+1$ može imati vrednost 1, 2, 3 ili 4 u zavisnosti od vrednosti ulaza A . Operacije množenja broja $(B+1)$ sa brojevima 1, 2 i 4, nije komplikovano izvesti, obzirom da su rezultati operacije množenja jednaki $(B+1)$, $2(B+1)$ i $4(B+1)$.

Kombinacionu mrežu koja obezbeđuje rezultat operacije $3(B+1)$, moramo posebno projektovati.

Najpre ćemo odrediti logičke funkcije kombinacione mreže koja na svom izlazu generiše trobitni izlaz $S = B+1$. Funkcionalna tabela izlaza S data je u tabeli 6.4.1.

Tabela 6.4.1. Funkcionalna tabela signala S

B $(b_1 b_0)$	$S = B + 1$ $(s_2 s_1 s_0)$
00	001
01	010
10	011
11	100

Logičke funkcije izlaza s_2 , s_1 i s_0 , date su izrazima:

$$s_2 = b_1 b_0 \quad (6.4.1)$$

$$s_1 = b_1 \oplus b_0 \quad (6.4.2)$$

$$s_0 = \overline{b_0} \quad (6.4.3)$$

Sada ćemo odrediti logičke funkcije kombinacione mreže koja na izlazu generiše izlaz $K = 3S$. Funkcionalna tabela izlaza K data je u tabeli 6.4.2.

Tabela 6.4.2. Funkcionalna tabela signala K

S ($s_2s_1s_0$)	$K=3S$ ($k_3k_2k_1k_0$)
000	<i>bbbb</i>
001	0011
010	0110
011	1001
100	1100
101	<i>bbbb</i>
110	<i>bbbb</i>
111	<i>bbbb</i>

Na osnovu tabele 6.4.3, određujemo preko Karnoovih karata logičke funkcije izlaza k_3 .

Tabela 6.4.3. Karnoova karta za signal k_3

s_0	0	1
s_2s_1		
00	<i>b</i>	0
01	0	<i>1</i>
11	<i>b</i>	<i>b</i>
10	<i>1</i>	<i>b</i>

Na osnovu tabele 6.4.3, dobijamo logičku funkciju izlaza k_3 datu izrazom:

$$k_3 = s_2 + s_1s_0 \quad (6.4.4)$$

Na osnovu tabele 6.4.4, određujemo preko Karnoovih karata logičke funkcije izlaza k_2 .

Tabela 6.4.4. Karnoova karta za signal k_2

s_0	0	1
s_2s_1		
00	<i>b</i>	0
01	1	0
11	<i>b</i>	<i>b</i>
10	<i>1</i>	<i>b</i>

Na osnovu tabele 6.4.4, dobijamo logičku funkciju izlaza k_2 datu izrazom:

$$k_2 = \overline{s_0} \quad (6.4.5)$$

Na osnovu tabele 6.4.5, preko Karnoovih karata određujemo logičku funkciju izlaza k_1 .

Tabela 6.4.5. Karnoova karta za signal k_1

s_0	0	1
s_2s_1		
00	b	1
01	1	0
11	b	b
10	0	\overline{b}

Na osnovu tabele 6.4.5, dobijamo logičku funkciju izlaza k_1 datu izrazom:

$$k_1 = s_1 \oplus s_0 \quad (6.4.6)$$

Na osnovu tabele 6.4.6, određujemo preko Karnoovih karata logičku funkciju izlaza k_0 .

Tabela 6.4.6. Karnoova karta za signal k_0

s_0	0	1
s_2s_1		
00	b	1
01	0	1
11	b	b
10	0	b

Na osnovu tabele 6.4.6, dobijamo logičku funkciju izlaza k_0 datu izrazom:

$$k_0 = s_0 \quad (6.4.7)$$

Zamenom izraza 6.4.1-6.4.3 u izraze 6.4.4-6.4.7 dobijamo logičke funkcije izlaza K date izrazima:

$$k_3 = s_2 + s_1s_0 = b_1b_0 + (b_1 \oplus b_0)\overline{b_0} = b_1$$

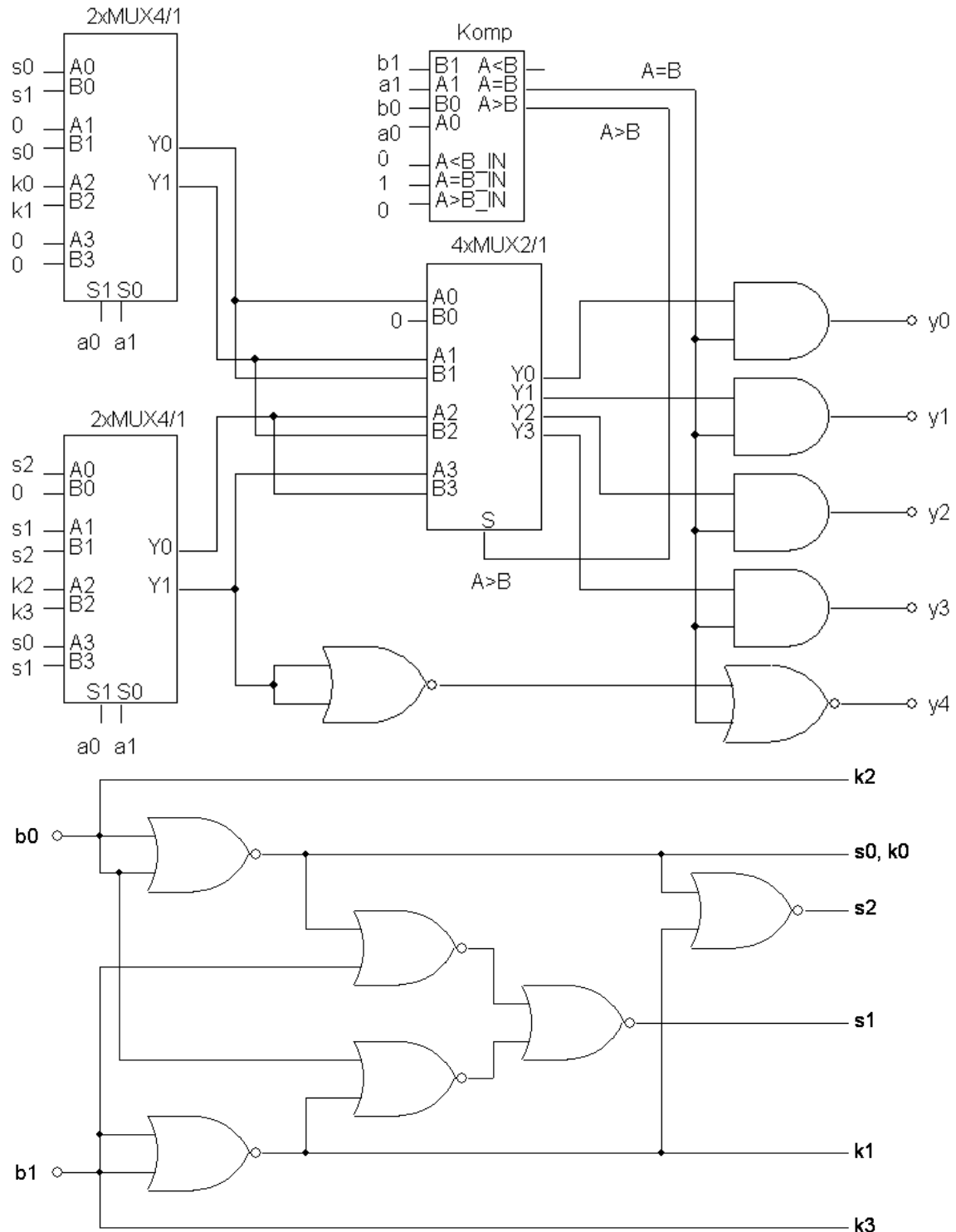
$$k_2 = \overline{s_0} = \overline{b_0}$$

$$k_1 = s_1 \oplus s_0 = b_1 \oplus b_0 \oplus \overline{b_0} = \overline{b_1}$$

$$k_0 = s_0 = \overline{b_0}$$

Treba još obezbediti, da u slučaju $A=B$, izlazi $y_4..y_0$ budu jednaki 00000.

Na slici 6.4.1, data je blok šema realizacije kola iz tačke a.



Slika 6.4.1. Logička šema kombinacione mreže iz tačke a

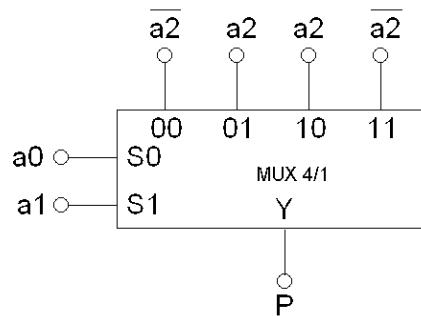
Kod realizacije sa slike 6.4.1, treba napomenuti da su korišćena *NILI* logička kola kako bi realizacija bila sa minimalnim brojem integrisanih kola. Pomoću logičkih *NILI* kola su realizovane funkcije $S=B+1$ i $K=3(B+1)$.

U logičkoj šemi sa slike 6.4.1, upotrebljena su dva dvostruka multipleksera 4/1 za realizaciju aritmetičkog množenja, tj. funkcije $(A+1)(B+1)$. Treba napomenuti da za slučaj $A > B$, vrednost

- a) Pomoću jednog multipleksera 4/1 projektovati kolo koje ispituje parnost 3-bitnog binarnog broja A . Generisati izlaz $P=1$ u slučaju neparne parnosti.
- b) Pomoću realizacije iz tačke a projektovati kolo koje ispituje parnost (parnu i neparnu) 9-bitnog binarnog broja. Ulazni signal PAR/\overline{NEP} definiše dali se izlaz ($P=1$) generiše u slučaju parne ili neparne parnosti. Na raspolaganju su multiplekseri 4/1 i potrebna logička kola.

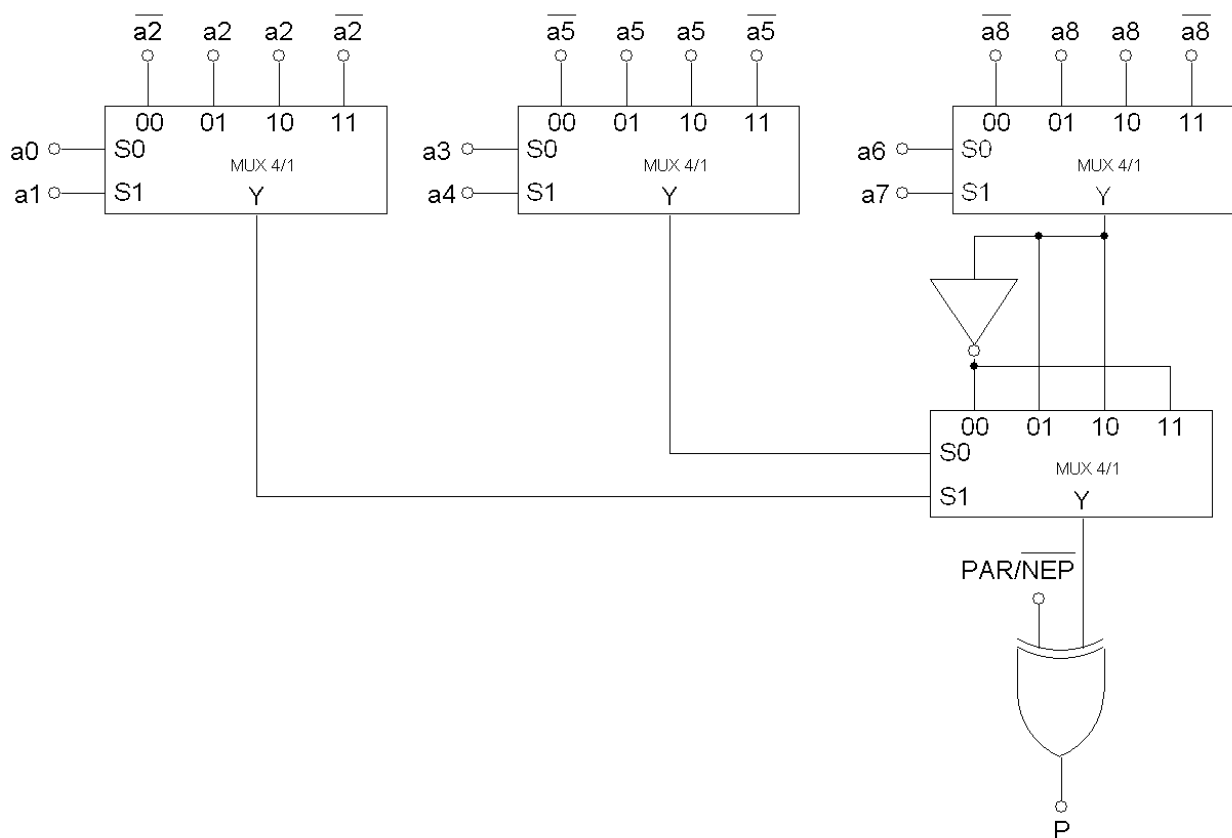
REŠENJE:

- a) Na slici 6.5.1 prikazana je realizacija kola koje pomoću multipleksera 4/1 ispituje parnost trobitnog binarnog broja.



Slika 6.5.1. Kolo za generisanje bita neparne parnosti 3-bitnog binarnog broja

- b) Na slici 6.5.2, prikazano je kolo koje generiše bit neparne/parne parnosti u slučaju 9-bitnog binarnog broja. Realizacija se oslanja na realizaciju kola iz tačke a.



Slika 6.5.2. Kolo za generisanje bita neparne/parne parnosti 9-bitnog binarnog broja

Zadatak 6.6.

a) Pomoću jednog multipleksera 4/1 i potrebnih logičkih kola projektovati kolo koje generiše izlazni signal Y definisan izrazom:

$$Y = A\bar{B} + AC + \bar{A}BC.$$

b) Projektovati kolo u minimalnoj formi pomoću logičkih kola proizvoljnog tipa.

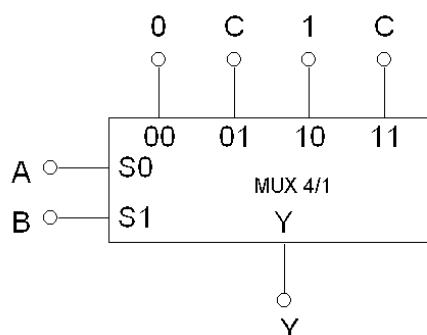
c) Uporediti realizacije pod a i b u pogledu složenosti i kašnjenja ako je vreme propagacije signala kroz multiplekser $t_{dmux}=20\text{ns}$ a kroz logička kola $t_{dl}=10\text{ns}$.

d) Da li se u realizaciji pod tačkom b javlja pojava lažnih nula i ako se javlja objasniti pri kom prelazu i kako se generisanje lažnih nula otklanja.

REŠENJE:

a) Na selekzione ulaze (kontrolne ulaze) multipleksera dovodimo signale A i B , obzirom da se u logičkoj funkciji datoj u obliku zbira logičkih proizvoda, ovi ulazi pojavljuju u formi različitih logičkih proizvoda.

Realizacija kola iz tačke a, prikazana je na slici 6.6.1.



Slika 6.6.1. Realizacija kola iz tačke a

b) Kombinaциона tabela mreže koja generiše izlazni signal Y , data je u tabeli 6.6.1.

Tabela 6.6.1. Kombinaциона tabela za izlaz Y

ABC	Y
000	0
001	0
010	0
011	1
100	1
101	1
110	0
111	1

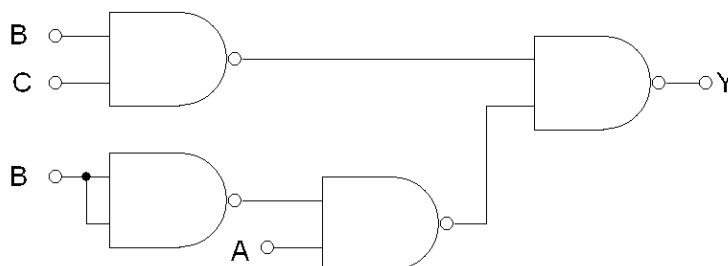
Tabela 6.6.2. Karnoova karta za izlaz Y

<i>C</i>	0	1
<i>AB</i>		
00	0	0
01	0	1
11	0	1
10	1	1

Na osnovu tabele 6.6.2, minimizacijom pomoću Karnoove karte dobija se funkcija izlaza data izrazom:

$$Y = BC + A\bar{B} = \overline{\overline{BC}} + \overline{\overline{A\bar{B}}} = \overline{\overline{BC} \cdot \overline{A\bar{B}}}$$

Logička šema izlaza, realizovana pomoću dvoulaznih NI kola data na slici 6.6.2.

**Slika 6.6.2. Realizacija kola pomoću dvoulaznih NI kola**

c) Kako je u standardnom 14-pinskom integrisanom kolu nalazi 4x dvoulazno NI kolo, potreban broj integrisanih kola za realizaciju pod **a** i **b** je isti i iznosi jedan. Sa druge strane kašnjenje izlaznih signala je u slučaju realizacije pod **a**, iznosi $t_{dy}=20\text{ns}$, dok u slučaju realizacije pod **b**, iznosi $t_{dBY}=30\text{ns}$. Takođe realizacija pod tačkom **a** ne zahteva dodatnu minimizaciju date funkcije obzirom da vrednosti ulaza multipleksera određuju na osnovu konkretnih vrednosti ulaza *A* i *B*.

d) Lažna nula se može javiti pri prelazima *ABC*: $101 \leftrightarrow 111$ i otklanja se uvođenjem u logičku funkciju izlaza mreže, člana koji obuhvata dve susedne konture u Karnoovoj karti (koje se ne seku, tj. nemaju zajedničko polje).

Logička funkcija izlaza kod koje ne postoji mogućnost pojave lažnih nula, određena na osnovu Karnoove karte date u tabeli 6.6.3, data je izrazom:

$$Y = BC + A\bar{B} + AC$$

Tabela 6.6.3. Eliminacija pojave lažnih nula

<i>C</i>	0	1
<i>AB</i>		
00	0	0
01	0	1
11	0	1
10	1	1

Kontura preko koje se eliminiše mogućnost pojave lažne nule pri prelazu *ABC*: 101↔111

Zadatak 6.7.

- a) Pomoću dekodera 3/8 sa *enable* ulazom EN_1 , aktivnim na nivou logičke jedinice, i ulazima EN_2 i EN_3 , aktivnim na nivou logičke nule, projektovati dekodera 4/16. Izlazi dekodera su aktivni na nivou logičke nule, dok su ostali ulazi aktivni na nivou logičke jedinice.
- b) Pomoću dekodera 3/8 iz tačke a i dvoulaznih 1 logičkih kola, realizovati logičku funkciju datu izrazom:

$$Y = \overline{AB} + \overline{ABC} + ABC\overline{C}$$

- c) Pomoću dekodera 3/8 iz tačke a, realizovati dekodera 6/64.

REŠENJE:

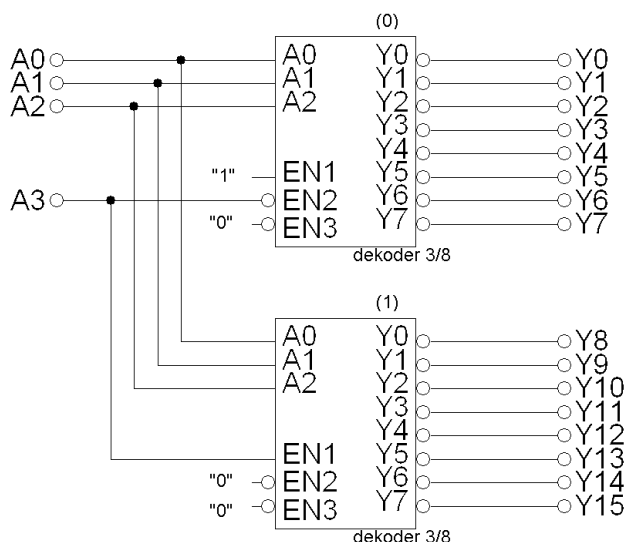
- a) Na osnovu *enable* ulaza generiše se signal dozvole EN (*enable*), čija je logička funkcija data izrazom:

$$EN = EN_1 \overline{EN_2} \overline{EN_3}$$

Ako je signal dozvole $EN=0$, svi izlazi dekodera će biti na logičkoj jedinici, obzirom da je aktivni nivo izlaznih signala logička nula. Ako je $EN=1$, neki od izlaza dekodera će biti na logičkoj nuli u zavisnosti od logičkih nivoa na ulazima $A_2A_1A_0$.

Dakle, realizacija dekodera 4/16 zasniva se na korišćenju *enable* ulaza dekodera, pri čemu su za $A_3=0$ aktivni izlazi dekodera 0, koji odgovaraju izlazima $Y_7..Y_0$ dekodera 4/16, dok su za $A_3=1$, aktivni izlazi dekodera 1, koji odgovaraju izlazima $Y_{15}..Y_0$ dekodera 4/16. Ostali ulazi $A_2A_1A_0$ se dovode na ulaze oba dekodera. Ostali neiskorišćeni kontrolni (*enable*) ulazi oba dekodera su na aktivnom logičkom nivou.

Logička šema mreže iz tačke a, prikazana je na slici 6.7.1.



Slika 6.7.1. Logička šema realizacije dekodera 4/16 pomoću dekodera 3/8

b) Najpre ćemo transformisati logičku funkciju u oblik pogodan za realizaciju pomoću dekodera i 1 logičkih kola.

$$Y = \overline{A}\overline{B} + \overline{A}BC + A\overline{B}\overline{C} = \overline{A}\overline{B}(C + \overline{C}) + \overline{A}C(B + \overline{B}) + \overline{B}C(A + \overline{A}) + \overline{A}BC$$

Nakon sređivanja, logičku funkciju izlaza Y dobijamo u obliku:

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + \overline{A}BC + \overline{A}BC \quad (6.7.1)$$

Izraz 6.7.1, pogodan je za realizaciju pomoću dekodera 3/8 koji ima izlaze aktivne na logičkoj jedinici i ILI kola, zbog toga izraz 6.7.1 dalje transformišemo pomoću Karnoovih karata.

Tabela 6.7.1. Karnoova karta za izlaz Y

C	0	1
AB		
00	0	1
01	0	1
11	1	0
10	1	1

Logičku funkciju na osnovu tabele 6.7.1, ne određujemo u minimalnoj formi, obzirom da logička funkcija svakog od izlaza dekodera funkcija svih ulaznih promenljivih.

Dakle na osnovu tabele 6.7.1, logičku funkciju izlaza Y dobijamo u obliku:

$$Y = (A + B + C)(\overline{A} + \overline{B} + C)(\overline{A} + \overline{B} + \overline{C}) = \overline{A}\overline{B}C \cdot \overline{A}B\overline{C} \cdot \overline{A}BC \quad (6.7.2)$$

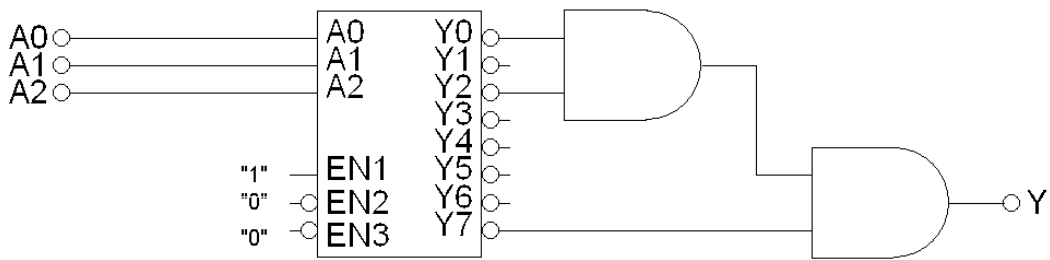
Kako su logičke funkcije izlaza dekodera 3/8, dati izrazima:

$$Y_0 = \overline{A}\overline{B}\overline{C}, Y_1 = \overline{A}\overline{B}C, \dots, Y_7 = \overline{A}BC \quad (6.7.3)$$

Na osnovu izraza 6.7.2 i 6.7.3, logička funkcija izlaza Y može se napisati u obliku:

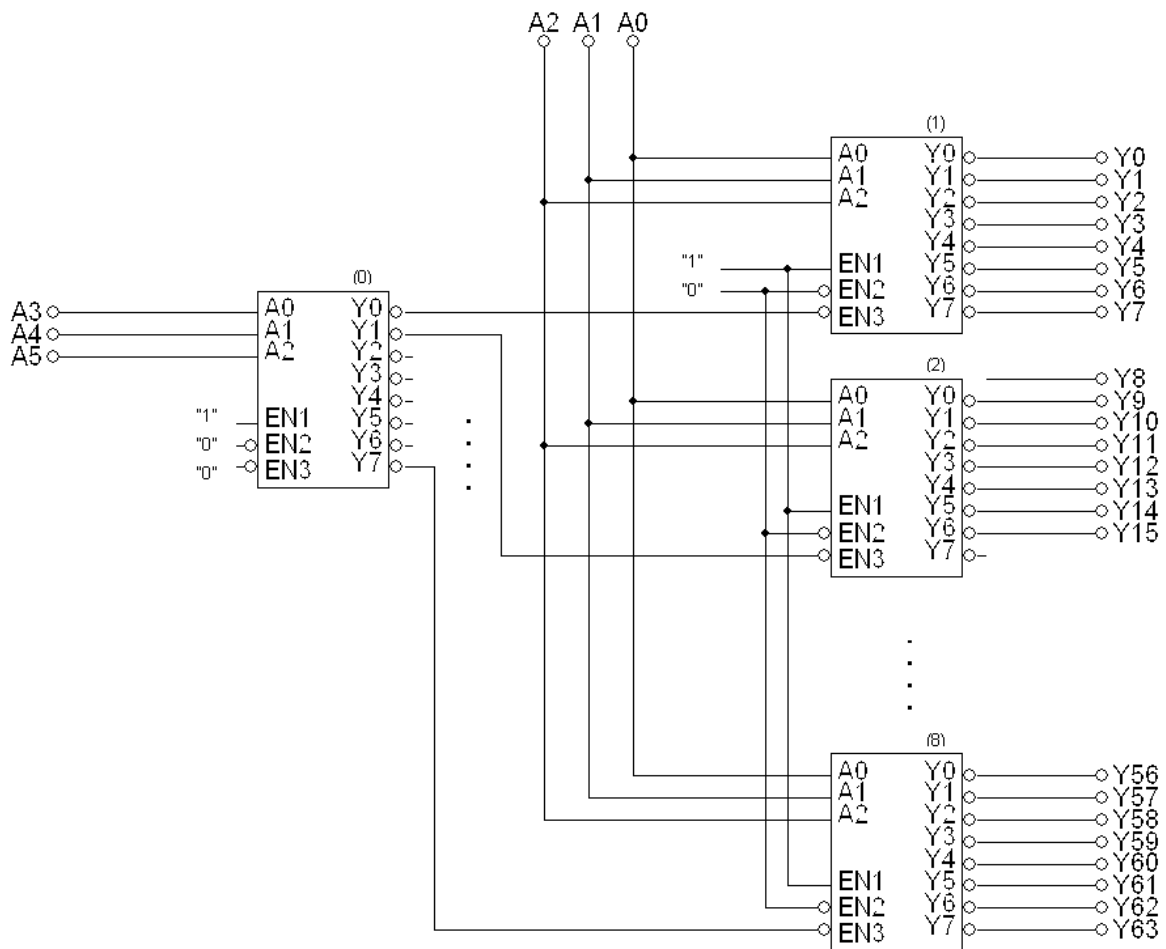
$$Y = Y_0 Y_2 Y_7$$

Logička šema mreže iz tačke **b**, data je na slici 6.7.2.



Slika 6.7.2. Logička šema mreže iz tačke b

c) Slično kao u tački **a**, dekodera 6/64, realizujemo pomoću dekodera 3/8, korišćenjem kontrolnih ulaza dekodera. Logička šema dekodera 6/64 data je na slici 5.7.3. Izlazi dekodera 0, određuju koji od izlaznih dekodera 1-8, će imati signal dozvole *EN* na logičkoj jedinici. Za $A_5A_4A_3=000$, neki od izlaza dekodera 1 će biti na logičkoj nuli u zavisnosti od logičkih nivoa na ulazima $A_2A_1A_0$. Svi ostali izlazi dekodera 1 i svi izlazi svih ostalih dekodera će biti na logičkoj jedinici.



Slika 6.7.3. Logička šema mreže iz tačke c