

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

K1 - Zadatak 1 (a - 8, b - 2, c - 5 poena)

- a) Algoritamskim računanjem, korak po korak, izračunati sledeće i sortirati ih u opadajućem poretku
- A = $0011\ 1000_{BCD8421} + 0101\ 1000_{BCD8421}$ (na raspolaganju je proizvoljan broj bita)
 - B = $001011_{KMV} - 100101_{KMV}$ (na raspolaganju je 6 bita)
 - C = $010110_{KO} * 100110_{KO}$ (na raspolaganju je proizvoljan broj bita)
 - D = $3321_{4KO} - 3321_{4KO}$ (na raspolaganju su 4 cifre)

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, u osnovi i sistemu u kome su dati, i obeležiti ukoliko negde dolazi do prekoračenja.

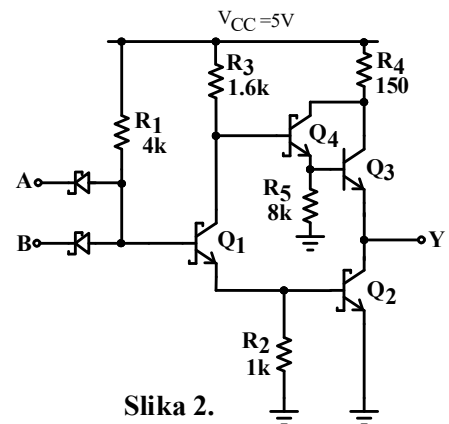
b) Jedna od validnih kodnih reči u kodu kodovanom sa Hamming-ovim rastojanjem $H_d=2$ je 0010 1100. Napisati sve susedne reči koje nisu validne kodne reči.

c) Dan i mesec rođenja predmetnog asistenta su predstavljeni sa po 5 bita, konkatenerani u 10bitni niz a zatim zaštićeni Hamming-ovim kodom sa rastojanjem $H_d=4$. Nakon slanja tako kreirane poruke na prijemnik je stigao sledeći niz bita 111 1100 0100 1011. Koji je horoskopski znak asistent?

K1 - Zadatak 2 (a - 5, b - 5, c - 6, d - 4 poena)

Za logičko kolo sa slike 2:

- Odrediti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.
- Odrediti vrednosti napona $V_{OH}, V_{OL}, V_{IL}, V_{IH}$ za dato logičko kolo.
- Odrediti faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .
- Odrediti kašnjenje t_{pHL} ako je kolo opterećeno sa $C = 100nF$ na izlazu.



Slika 2.

Poznato je:

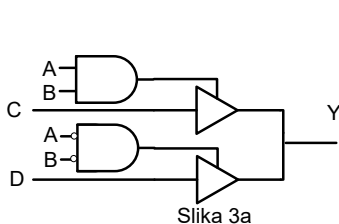
$$V_{BE} = 0.7\text{ V}, V_{\gamma} = 0.65\text{ V}, V_{BE2} = 0.6\text{ V}, V_{\gamma2} = 0.55\text{ V}, V_{D\delta} = 0.3\text{ V}, \beta_F = 60$$

Napomena: Odrediti sve potrebne parametre i na osnovu njih dati odgovor. Postupak je neophodan.

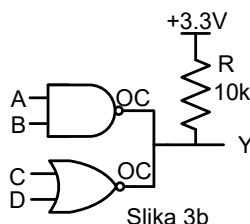
K1 Zadatak 3 (a - 3, b - 3, c - 4, d - 5 poena)

Funkcionalnom tabelom ili na drugi pogodan način prikazati funkciju dela digitalnog sistema realizovanog standardnim LS TTL logičkim kolima sa napajanjem +5V:

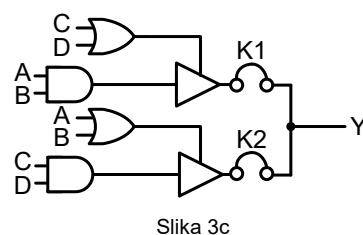
- prikazanog na slici 3a; b) prikazanog na slici 3b. c) Prikazanog na slici 3c,
- Modifikovati šemu sa slike 3c postavljanjem elemenata umesto kratkospojnika K1 i K2 tako da se eventualna neregularna situacija iz tačke c ne može desiti. Koja je funkcija kola u tom slučaju?



Slika 3a



Slika 3b



Slika 3c

K2 - Zadatak 4 (a – 6, b – 3, c -3, d- 3poena)

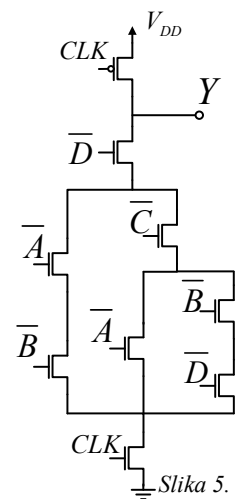
Poznato je: CMOS tehnologija – 180nm, $\mu_n = 417 \frac{cm^2}{Vs}$, $\mu_p = 85 \frac{cm^2}{Vs}$, $V_{Tn} = 0.45V$, $V_{Tp} = -0.45V$,
 $k_n = 351 \times 10^{-6} \frac{A}{V^2}$, $k_p = 71 \times 10^{-6} \frac{A}{V^2}$, $v_{nsat} = v_{psat} = v_{sat} = 8 \times 10^6 \frac{cm}{s}$, $k_{\lambda n} = 0 \frac{\mu m}{V}$, $k_{\lambda p} = 0 \frac{\mu m}{V}$,
 $E_{Cn} = 3.8 \times 10^4 \frac{V}{cm}$, $E_{Cp} = 18.8 \times 10^4 \frac{V}{cm}$, $\gamma = 1$, $V_{DD} = 3.3V$

- Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora minimalne geometrije tako da prag odlučivanja logičkog kola bude približno polovini napona napajanja. Koliki je taj odnos?
- Za odnose širina kanala iz tačke a) izvesti izraz i izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- Za odnose širina kanala iz tačke a) izračunati maksimalnu struju kratkog spoja.
- U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=2nF$, na CMOS inverter minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=5fF$, izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz inverter minimalne geometrije je 50ps pri naponu napajanja $V_{DD}=3.3V$. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju pri naponu napajanja $V_{DD}=2.7V$?

K2 - Zadatak 5 (a - 2, b – 3, c – 3, d – 3, e – 4 poena)

- Na slici 5. data je realizacija funkcije Y kao jednostepeno dinamičko CMOS kolo. Odrediti minimalni oblik funkcije Y u obliku zbira proizvoda.
- Projektovati statičko CMOS kolo koje realizuje funkciju Y . Na ulazu nisu dostupne negacije logičkih promenljivih, već samo njihove prave vrednosti. Težiti da broj upotrebljenih tranzistora bude minimalan.
- Realizovati funkciju Y ukoliko su na raspolaganju samo NILI logička kola. Težiti da broj upotrebljenih kola bude minimalan. Da li postoji mogućnost pojave statičkih hazarda i pri kojim prelazima?
- Realizovati funkciju Y pomoću transmisionih gejtova.
- Realizovati funkciju $Z = \bar{Y}$ ukoliko su na raspolaganju samo multiplexeri 2u1, dok na ulazu postoje samo prave vrednosti logičkih promenljivih.

Napomena: Sve realizacije je potrebno nacrtati i obeležiti odgovarajuće signale.



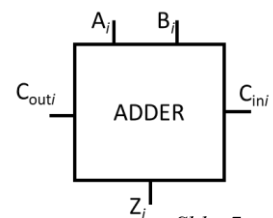
Slika 5.

K2 - Zadatak 6 (a - 6, b - 4 poena)

- Realizovati kolo koderu prioriteta sa četiri ulaza aktivnih sa logičkim jedinicama. Koder prioriteta treba da ima dodatne ulaze i izlaze koji će omogućiti da se kolo „lako“ koristi za pravljenje mreža većih kapaciteta. U tom smislu, neki izlazi mogu biti i trostatički.
- Projektovati kolo koderu prioriteta sa 16 ulaza aktivnih sa logičkim jedinicama, korišćenjem komponenti iz tačke a). Težiti da broj upotrebljenih dodatnih kola bude minimalan.

K2 - Zadatak 7 (a – 4, b – 6 poena)

- Projektovati jednobitni sabirač (slika 7.) sa ulazima A , B , C_{in} i izlazima Z i C_{out} , gde je Z bit rezultata sabiranja bita A i B uz C_{in} ulazni prenos, a C_{out} je izlazni prenos. Na raspolaganju su kola niskog stepena integracije.
- Koristeći kola iz tačke a) projektovati n -tobitni sabirač koji vrši operacije nad označenim brojevima datim u komplementu osnove. Pored generisanja rezultata sabiranja, sabirač treba da ima dodatni jednobitni izlaz OF koji na aktivnom nivou '1' ukazuje na pojavu prekoračenja (*overflow*). Na raspolaganju su i kola niskog stepena integracije.



Slika 7.