

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**K1 - Zadatak 1 (a - 8, b - 7 poena)**

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze:

$$A = 01111_{KMV} + 10100_{KMV} \quad (\text{na raspolaganju je 5 bita})$$

$$B = 0110\ 0011_{BCD} + 0111\ 0101_{BCD}$$

$$C = 101.10_{KO} * 011.01_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 33203_{4KO} - 10002_{4KO} \quad (\text{na raspolaganju je 5 cifara})$$

*Napomena:* Potrebno je postupno i detaljno izračunati vrednosti, računanje uraditi u sistemu u kom su zadati operandi, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Binarnu poruku 10110111 zaštititi Hamming-ovim kodom sa rastojanjem 4. Koliko grešaka je moguće detektovati a koliko korigovati korišćenjem ovog koda?

**K1 Zadatak 2 (a - 7, b - 4, c - 5, d - 4 poena)**

Za logičko kolo sa slike 2:

a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.

b) Odrediti logičke funkcije izlaza

$$Y_1 = f(A, B, C), Y_2 = g(A, B, C).$$

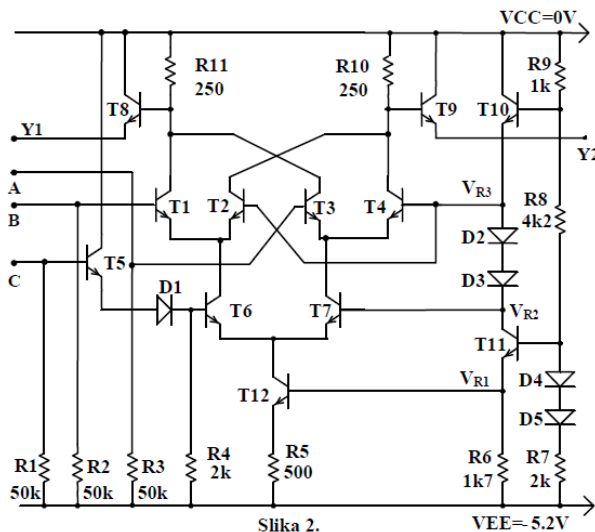
c) Odrediti vrednosti napona  $V_{R1}, V_{R2}, V_{R3}$ .

d) Odrediti vrednosti napona logičke jedinice i nule  $V_{OH}$  i  $V_{OL}$ .

**Poznato je:**

$$V_{BE} = V_D = 0.7V, V_\gamma = 0.6V, V_{BES} = 0.8V,$$

$$V_{CES} = 0.2V, \beta_F = 50$$



Slika 2.

**K1 Zadatak 3 (a - 2, b - 4, c - 4, d - 5 poena)**

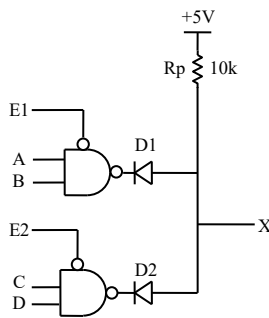
Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

a) Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za  $E1=E2=1$  i  $E1 \neq E2$ . Šta se desilo uređaju kada je bilo  $E1=E2=0$ ?

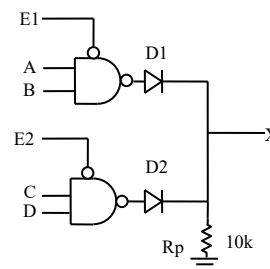
b) Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

c) Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

d) Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik  $R_p$  i ostavi otvorena veza.



Slika 3a.



Slika 3b.

---

**K2 - Zadatak 4 (a – 5, b – 5, c – 3, d – 2, e – 5 poena)**

Poznato je:

$$Wn = 180nm, L_n = L_p = 180nm, \mu_n = 417 \frac{cm^2}{Vs}, \mu_p = 85 \frac{cm^2}{Vs}, V_{Tn} = 0.45V, V_{Tp} = -0.45V,$$

$$k_n = 351 \times 10^{-6} \frac{A}{V^2}, k_p = 71 \times 10^{-6} \frac{A}{V^2}, v_{nsat} = v_{psat} = v_{sat} = 8 \times 10^6 \frac{cm}{s},$$

$$k_{\lambda n} = 0 \frac{\mu m}{V}, k_{\lambda p} = 0 \frac{\mu m}{V}, E_{Cn} = 3.8 \times 10^4 \frac{V}{cm}, E_{Cp} = 18.8 \times 10^4 \frac{V}{cm}, \gamma = 1, VDD = 2.7V$$

- odrediti širinu kanala  $Wp$  tako da prag odlučivanja logičkog CMOS invertora,  $V_S$ , bude približno jednak polovini napona napajanja;
- izvesti izraze i izračunati dinamičke otpornosti  $p$  i  $n$  kanalnog tranzistora potrebne za procenu kašnjenja;
- izračunati struju kratkog spoja u CMOS invertoru iz tačke a)
- kako se menjaju rezultati u tački b) i c) ako se širine kanala oba tranzistora povećaju 10 puta.
- izračunati disipaciju kratkog spoja u CMOS invertoru iz tačke a, ako se na ulazu nalazi signal učestanosti 1GHz, čije je vreme uspona i pada jednako 10ps.

---

**K2 - Zadatak 5 (10 poena)**

- Projektovati kolo dekodera  $2/4$  sa aktivnim logičkim nulama na izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Adresni ulazi su sa aktivnim logičkim jedinicama. Za projektovanje su dozvoljena kola niskog stepena integracije.
- Korišćenjem komponente iz tačke a) realizovati dekodera  $6/64$ .

---

**K2 - Zadatak 6 (a – 4, b – 2, c – 2, d – 2 poena)**

- Za funkciju  $Y = \overline{A}\overline{D} + \overline{C}D + A\overline{C}$  odrediti pri kojim sve prelazima može doći do pojave lažnih nula. Realizovati šemu ako su na raspolaganju NI logička kola. Ako su kašnjenja svih logičkih kola identična identifikovati jedan prelaz kod kog se u datoj realizaciji javlja lažna nula i pokazati to na vremenskom dijagramu.
- Predstaviti zadatu funkciju pomoću proizvoda logičkih zbirova u minimalnoj formi. Da li pri ovoj realizaciji postoji mogućnost pojave lažnih jedinica?
- Realizovati prethodnu funkciju, u minimalnoj formi, kao jednostepeno CMOS logičko kolo. Težiti da broj tranzistora bude minimalan. Odrediti normirane širine kanala svih tranzistora tako da su kašnjenja jednaka sa kašnjenjem jediničnog inverora kod koga su širine kanala  $p$  i  $n$  kanalnog tranzistora u odnosu 2:1.
- Projektovati višestepeno dinamičko kolo u domino logici koje realizuje funkciju  $\overline{Y}$  (iskoristiti rezultat iz tačke b)) i sastoji se isključivo iz dvoulaznih logičkih kola.

---

**K2 - Zadatak 6 (a – 5, b – 5 poena)**

- Pomoću kola niskog stepena integracije projektovati kombinacionu mrežu koja predstavlja komparator 2-bitnih neoznačenih brojeva. Potrebno je da mreža bude minimalne kompleksnosti. Na izlazu je potrebno generisati signale G (*greater* - veće) i L (*less* - manje). Ukoliko su oba signala jednaki 0 onda su dva broja koja se porede jednaka.
- Korišćenjem kola iz prethodne tačke i kola niskog stepena integracije realizovati komparator 5-bitnih označenih brojeva zadatih u predstavi znak + apsolutna vrednost.