

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

K1 - Zadatak 1 (a - 8, b - 2, c - 5 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze, a zatim ih sortirati u opadajućem poretku

$$A = 011.10_{KO} + 101.010_{KO} \quad (\text{na raspolaganju 8 cifara})$$

$$B = 111010_{KMV} + 0100111_{KMV} \quad (\text{na raspolaganju 8 cifara})$$

$$C = 101.10_{KO} * 110.1_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 11101_{ZA} + 00110_{ZA} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Ana je upravo napunila 33 godine. U kom brojnom sistemu Ana i dalje ima 25 godina?

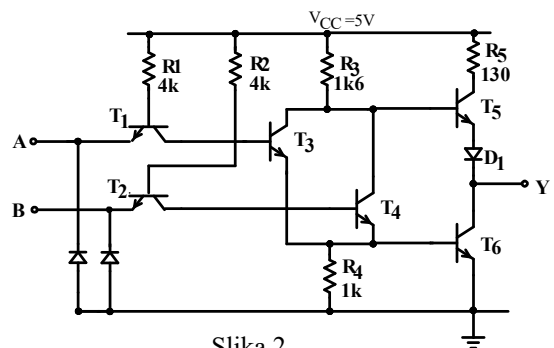
c) Svaka poruka koja se šalje može sadržati broj u opsegu [-100, +100] predstavljen u komplementu osnove. Kolika je minimalna dužina poruke ukoliko se štiti Hamingovim kodom sa minimalnim rastojanjem 3? Koliko je minimalno rastojanje potrebno da bi kod imao mogućnost detekcije a koliko da bi imao mogućnost korekcije 12-bitnih grešaka?

K1 - Zadatak 2 (a - 5, b - 6, c - 3, d - 6 poena)

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.
- Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.
- Odrediti karakteristiku prenosa za lanac ovakvih kola, pri čemu se u lancu nalazi neparan broj kola.
- Odrediti strujne kapacitete kao i faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .

Poznato je: $V_{BE}=V_D=0.7V$, $V_T=0.6V$, $V_{BES}=0.8V$, $V_{CES}=0.2V$, $\beta_F=50$, $\beta_R=0.1$



Slika 2.

K1 Zadatak 3 (a - 2, b - 4, c - 4, d - 5 poena)

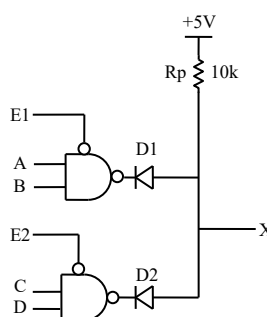
Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

a) Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za $E1=E2=1$ i $E1 \neq E2$. Šta se desilo uređaju kada je bilo $E1=E2=0$?

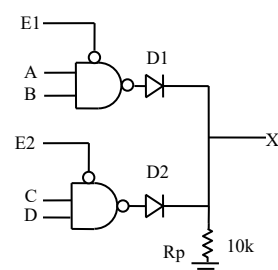
b) Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

c) Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

d) Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik R_p i ostavi otvorena veza.



Slika 3a.



Slika 3b.

K2 - Zadatak 4 (a – 5, b – 5, c - 3, d – 2, e – 5 poena)

Poznato je:

$$W_n = 180\text{nm}, L_n = L_p = 180\text{nm}, \mu_n = 417 \frac{\text{cm}^2}{\text{Vs}}, \mu_p = 85 \frac{\text{cm}^2}{\text{Vs}}, V_{Tn} = 0.45\text{V}, V_{Tp} = -0.45\text{V},$$

$$k_n = 351 \times 10^{-6} \frac{\text{A}}{\text{V}^2}, k_p = 71 \times 10^{-6} \frac{\text{A}}{\text{V}^2}, v_{nsat} = v_{psat} = v_{sat} = 8 \times 10^6 \frac{\text{cm}}{\text{s}},$$

$$k_{\lambda n} = 0 \frac{\mu\text{m}}{\text{V}}, k_{\lambda p} = 0 \frac{\mu\text{m}}{\text{V}}, E_{Cn} = 3.8 \times 10^4 \frac{\text{V}}{\text{cm}}, E_{Cp} = 18.8 \times 10^4 \frac{\text{V}}{\text{cm}}, \gamma = 1, V_{DD} = 2.7\text{V}$$

- odrediti širinu kanala W_p tako da prag odlučivanja logičkog CMOS invertora, V_S , bude približno jednak polovini napona napajanja;
- izvesti izraze i izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja;
- izračunati struju kratkog spoja u CMOS invertoru iz tačke a)
- kako se menjaju rezultati u tački b) i c) ako se širine kanala oba tranzistora povećaju 10 puta.
- izračunati disipaciju kratkog spoja u CMOS invertoru iz tačke a, ako se na ulazu nalazi signal učestanosti 1GHz, čije je vreme uspona i pada jednako 10ps.

K2 - Zadatak 5 (a - 5, b – 5, c – 5 poena)

- Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = f(A, B, C, D)$, gde je $Y = 1$ ukoliko je ABCD validan kod u predstavi BCD2421, a $Y = 0$ ukoliko nije. Na ulazu su dostupne i negacije ulaznih promenljivih. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p:W_n = 2:1$.
- Realizovati funkciju $Z = \bar{Y}$ ukoliko su na raspolaganju samo multiplekseri 4u1. Na ulazu su dostupne samo prave vrednosti promenljivih.
- Za funkciju $Z = \bar{Y}$ odrediti pri kojim prelazima se javljaju statički hazardi. Ilustrovati vremenskim dijagramom jedan slučaj pojave hazarda.

Napomena: Sve realizacije je potrebno nacrtati i obeležiti odgovarajuće signale.

K2 - Zadatak 6 (a – 6, b – 3, c – 6 poena)

- Projektovati kombinacionu mrežu koja sabira dva 1-bitna broja A i B uz ulazni prenos C_{in} . Na izlazu se generiše zbir Y i izlazni prenos C_{out} .
- Korišćenjem kola iz prethodne tačke projektovati 4-bitni sabirač.
- Projektovati kolo koje sabira dva 8-bitna BCD broja. Na raspolaganju su kola projektovana u prethodnim tačkama, komparatori, multiplekseri i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.